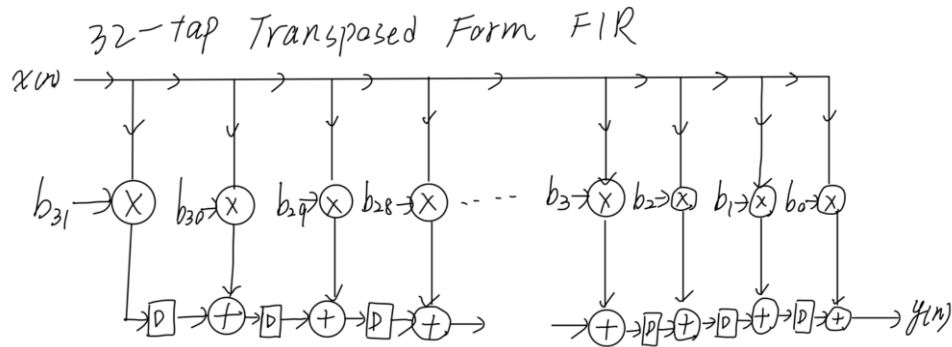


DSP IC Final Project  
FIR Filter optimization  
111061642 王煒翔

1. 介紹

在作業 4 中，我設計的 FIR 為 32-Tap Transposed Form，critical path 為一個加法器跟一個乘法器，以下是我下的 constraints:



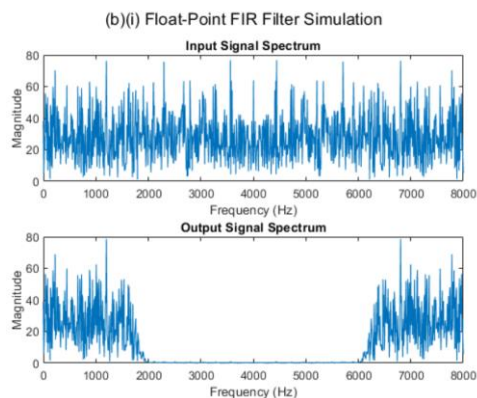
CONSTRAINTS

INPUT DELAY	Clock*0.05 ns
OUTPUT DELAY	Clock*0.05 ns
WIRE LOAD MODE	Top
INPUT DRIVE	1.5
OUTPUT LOAD	slow/CLKBUFX20/A
CONDITIONS	slow

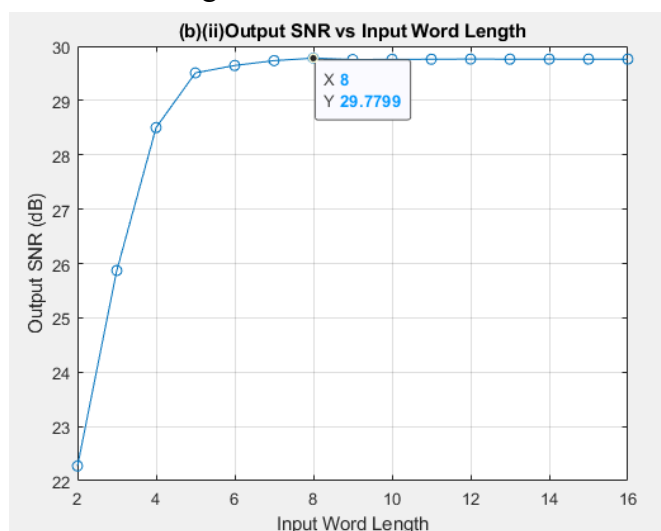
優化方向:可以發現說我們的係數成對稱性，所以乘法器第一步可以省一半，由於上課講到說最好的切法為 Fine-Grain 的方式，不過 RTL 做不到，所以我們切 pipeline 把 critical path 變成一個乘法器，讓我們的 clock speed 上升，但由於切的沒有很好，導致一些效能沒有提升得很明顯，最後就是使用我在網路上找到的 paper，Multiple Constant Multiplication(MCM) [1]，去優化我們乘法的部分，最終提升的效能會在模擬有所介紹

2. Floating Point Simulation

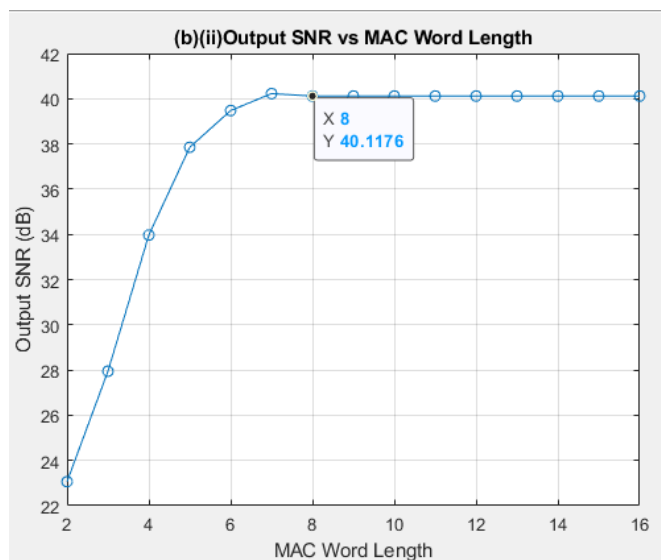
由於這次只有優化硬體的部分，所以在 MATLAB 上的模擬跟作業 4 的相同  
下圖為展示使用 matlab 所達成的濾波效果



下圖為找 input word length 的模擬，這裡的 input 訊號是加了雜訊的訊號，snr 設為 30，可看出 wordlength 到 8bit 的時候達到飽和

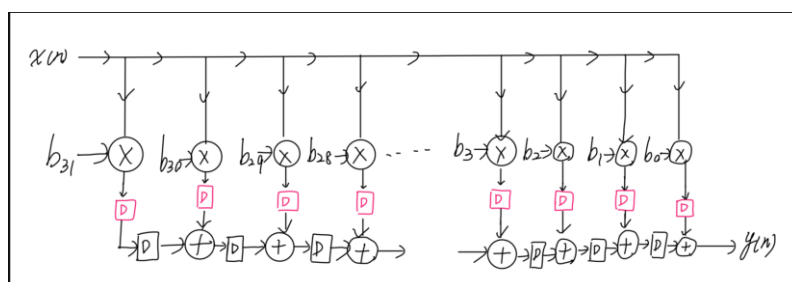


下圖為 mac wordlength 的模擬，注意的是這裡的 input 並沒有加雜訊，而是根據上一次模擬，找到 input wordlength 為 8 的情況下，再對 input 做一次 quantize，來看看累加所造成的影響，也就是說這裡的 input 訊號做了兩次 quantize



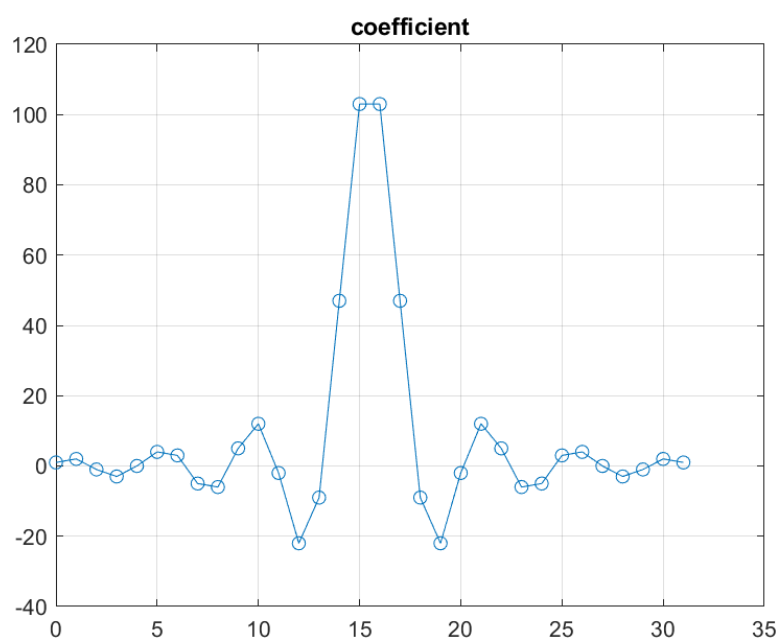
最終找到的 wordlength 為 8bit 不過整數位元再加上符號位元，最終得到 input bit 為 11bit，output bit 為 22bit

### 3. Optimization

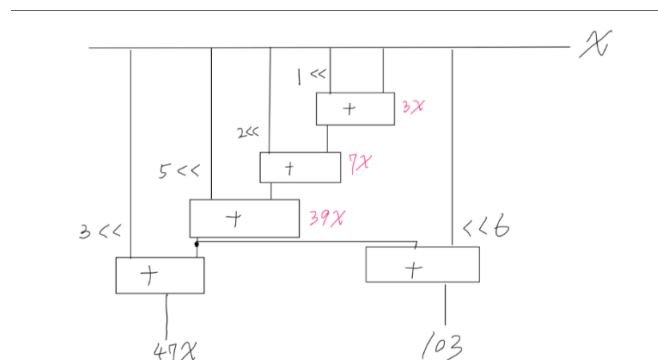


第一個優化方向就是切 pipeline，由上圖所示，在加法器跟乘法器中間加一個 register，但這裡注意的是，在  $b_{31}$  這裡，由於這裡沒有加法器存在，所以這裡必須浪費一個 register，這是一個小缺點

第二個優化方向為優化乘法，由下圖可見



係數成對稱性，可以省去一半的乘法器，接下來就是使用 MCM 的方式，MCM 就是指利用右移就是乘 2 的特性，去減少乘法器的硬體，以下是實現的例子



$47x=32+8+4+2+1=(2^5 + 2^3 + 2^2 + 2^1 + 1)x=(x<<5)+(x<<3)+(x<<2)+(x<<1)+x$   
 $103x=64+32+4+2+1=(2^6 + 2^5 + 2^2 + 2^1 + 1)x=(x<<6)+(x<<5)+(x<<2)+(x<<1)+x$   
 還可以實現硬體共享，進而減少數量

#### 4. Simulation

```

3000 Correct_Answer: 26214, OUT_DATA: 26214
3001 /////////////// Successful !! ///////////////
3002
3003 Correct_Answer: -9700, OUT_DATA: -9700
3004 /////////////// Successful !! ///////////////
3005
3006 Correct_Answer: -63970, OUT_DATA: -63970
3007 -----
3008 Congratulations!
3009 You have passed all patterns!
3010
3011 Your execution cycles = 999 cycles
3012 Your clock period = 10.0 ns
3013 -----
3014 $finish called from file "FIR_syn_tb.v", line 130.
3015 $finish at simulation time 10020000
3016 VCS Simulation Report
3017 Time: 10020000 ps
3018 CPU Time: 1.430 seconds; Data structure size: 1.0Mb
3019 Thu Jan 4 15:01:04 2024
3020 CPU time: .846 seconds to compile + .397 seconds to elab + .655 seconds to link + 1.481 seconds in simulation
  
```

本次使用的模擬為 vcs，合成使用 Synopsys，使用 TSMC 90nm 製成，  
 均會在檔案中附上 log 檔，以方便檢視  
 上圖的模擬是 gate-level 的模擬，看的出來合成出來的結果相符，以下是 performance 比較

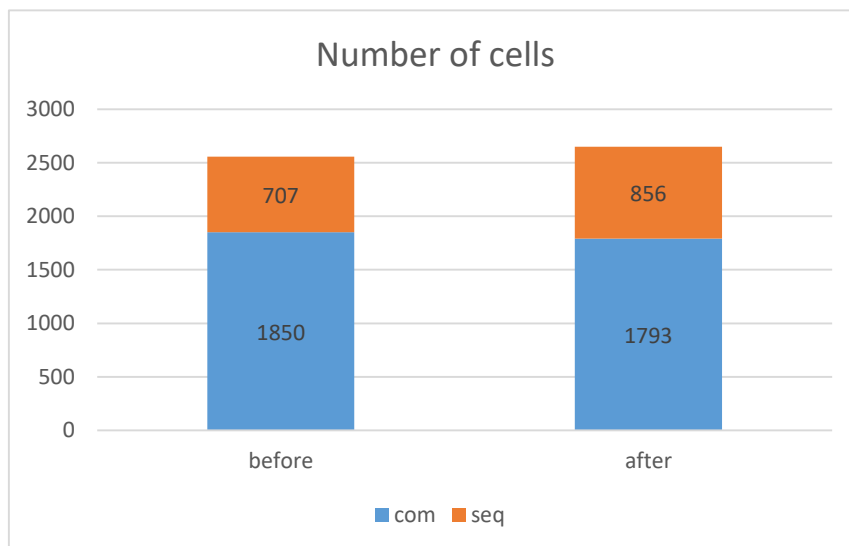
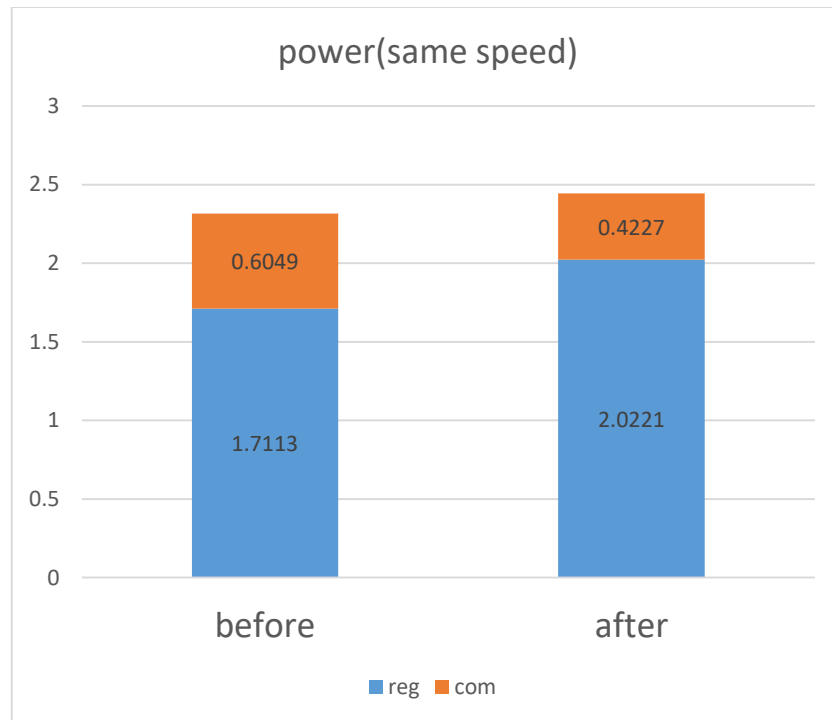
#### FIR BEFORE (使用 TSMC 90nm 進行合成)

CLOCK SPEED (PERIOD)	5.16ns
THROUGHPUT	1 signal/clock cycle
AREA	24885.100363
NUMBER OF COMBINATIONAL CELLS	1850
NUMBER OF SEQUENTIAL CELLS	707
PWOER	2.3162 mW

#### FIR AFTER (使用 TSMC 90nm 進行合成)

CLOCK SPEED (PERIOD)	4.58ns
THROUGHPUT	1 signal/clock cycle
AREA	27344.821954
NUMBER OF COMBINATIONAL CELLS	1793
NUMBER OF SEQUENTIAL CELLS	856
PWOER	2.7764 mW

Clock speed 提升了 12%，並且對比在同樣速度下的 power，可以發現 power 還是比原來的高，原因是因為 pipeline 沒有切得很好，導致 register 大幅增加，speed 沒有跟 register 數量成線性增加，所以會造成 power 變高，也可以發現，因為切 pipeline 後，area 上升，但因為係數對稱性，乘法器少一半，以及使用 MCM 方法，組合電路比之前的少，但又因為切 pipeline 的關係，register 數量增加，導致 sequential 數量變多，但可以發現，總 cell 數比優化前的多



## 5. Conclusion

可以發現，此次優化 clock speed 提升 12%，但捨棄的是 power 跟 area 的上升，原因是因為 pipeline 沒有切得很好，造成 power 跟 area 沒有成線性的優化

## 6. Reference

[1] Optimization Of Fir Filters Using Mcm And Cse Techniques  
Pankaj Gupta, Mandeep Kaur