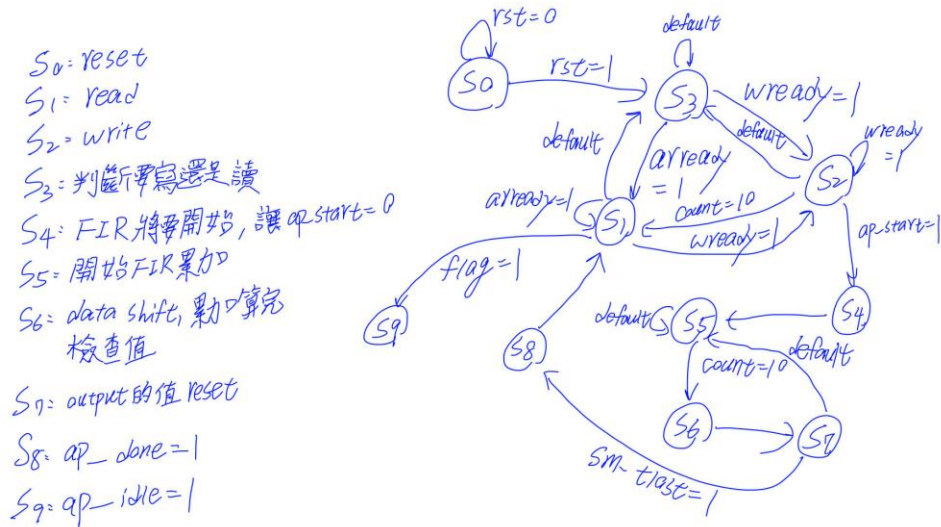


Lab3 FIR

111061642 王煒翔

1. design

因為我全都寫在一個 block 裡，故我這裡用狀態圖來描述我的電路比較好懂



2. 描述怎麼運作的

一開始在 write 的時候，我會先把 tap data 先寫進我自己宣告的 register address map 裡面，之後在 read 的時候，會讀出我 map 裡面的資料到 r_data 裡面，同時把 tap data 寫進 bram 裡面，檢查完之後 ok 了，開始 fir 運算，同時把 ap_start=0，data 在 fir 運算的之前，會先把第一筆資料先寫進 bram，即可開始第一輪運算，運算完之後進行 shift，檢查值，同時就可以做 data transfer，進到 s7 狀態，把 output reset，同時把新一筆 data 送進去 bram，再回到 s5 狀態去做累加，最後 ss_tlast 跳起來代表最後一筆 input data 已進來，就會讓 flag=1，告訴系統即將做最後一筆運算，最後一筆檢查完，讓 sm_tlast=1，跳到 s8 狀態把 ap_done=1，再回去 read 去讀他是不是等於 010，再到 s9 狀態，把 ap_idle=1，再回去 read 去檢查是不適等於 100 以上的電路有些會用 3 個不同步的 count 去控制

3. Resource usage

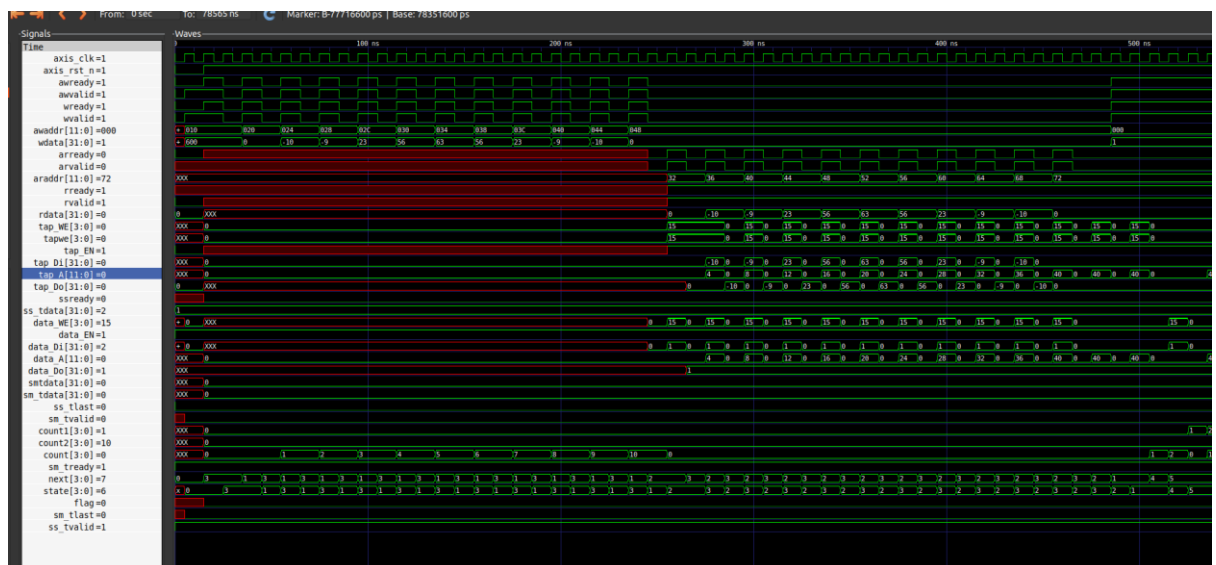
Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	1166	0	0	53200	2.19
LUT as Logic	1166	0	0	53200	2.19
LUT as Memory	0	0	0	17400	0.00
Slice Registers	2741	0	0	106400	2.58
Register as Flip Flop	2741	0	0	106400	2.58
Register as Latch	0	0	0	106400	0.00
F7 Muxes	288	0	0	26600	1.08
F8 Muxes	128	0	0	13300	0.96

4. Timing Report

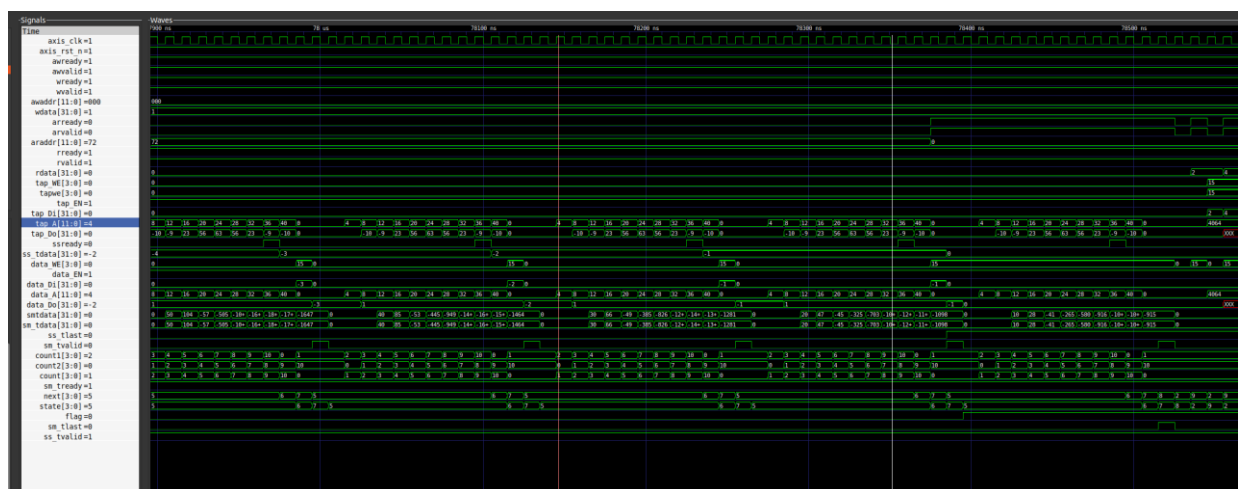
```
Max Delay Paths
-----
Slack (MET) : 0.000ns (required time - arrival time)
Source:      xin_reg[7][16]/C
              (rising edge-triggered cell FDRE clocked by axis_clk {rise@0.000ns fall@6.900ns period=13.800ns})
Destination: smtdata_reg[29]/D
              (rising edge-triggered cell FDRE clocked by axis_clk {rise@0.000ns fall@6.900ns period=13.800ns})
Path Group:  axis_clk
Path Type:   Setup (Max at Slow Process Corner)
Requirement: 13.800ns (axis_clk rise@13.800ns - axis_clk rise@0.000ns)
Data Path Delay: 13.663ns (logic 8.882ns (65.006%) route 4.781ns (34.994%))
Logic Levels: 12 (CARRY4=5 DSP48E1=2 LUT2=2 LUT6=3)
Clock Path Skew: -0.145ns (DCD - SCD + CPR)
Destination Clock Delay (DCD): 2.128ns = ( 15.928 - 13.800 )
Source Clock Delay (SCD): 2.456ns
Clock Pessimism Removal (CPR): 0.184ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.071ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns
```

最終找到的最快頻率為 72.4MHz，電路的速度其實蠻慢的，經過最大化改良，最終還是很慢

5. 波形圖



最後一筆附近的波形圖



最後，我是住宿生，是受到停電波及的學生，半夜做到一半停電，很常沒存檔到，希望趕快修好