

Laboratório de Sistemas Digitais**Trabalho Prático nº 6****Simulação com *testbenches* em VHDL****Objetivos**

- Construção e utilização de *testbenches* para simulação em VHDL de circuitos combinatórios e sequenciais.

Sumário

Este trabalho prático está dividido em quatro partes. A primeira e segunda partes são dedicadas à simulação dos exemplos de *testbenches* apresentadas nas aulas TP. Na terceira e quarta partes pretende-se que os alunos escrevam (de raiz) *testbenches* para um componente combinatório (ALU) e para um sequencial (registo de deslocamento).

Parte I

1. Abra a aplicação "Altera Quartus II" e crie um novo projeto para a FPGA Altera Cyclone IV EP4CE115F29C7. Poderá designar o projeto e a entidade *top-level* como "Dec2_4En".
2. O código VHDL que se apresenta de seguida implementa um decodificador binário de 2→4. Crie um novo ficheiro VHDL, introduza esse código e grave o ficheiro com o nome "Dec2_4En.vhd".

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity Dec2_4En is
    port(enable : in std_logic;
          inputs  : in std_logic_vector(1 downto 0);
          outputs : out std_logic_vector(3 downto 0));
end Dec2_4En;

architecture RTL of Dec2_4En is
begin
    process(enable, inputs)
    begin
        if (enable = '0') then
            outputs <= "0000";
        else
            if (inputs = "00") then
                outputs <= "0001";
            elsif (inputs = "01") then
                outputs <= "0010";
            elsif (inputs = "10") then
                outputs <= "0100";
            else
                outputs <= "1000";
            end if;
        end if;
    end process;
end RTL;
```

3. Selecione o ficheiro "Dec2_4En.vhd" como o *top level* do projeto e execute a opção "Analysis & Synthesis".
4. O código VHDL que se apresenta de seguida implementa uma *testbench* para o decodificador apresentado no ponto 2. Crie um novo ficheiro VHDL, introduza esse código e grave o ficheiro com o nome "Dec2_4EnTb.vhd".

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

-- Entidade sem portos
entity Dec2_4EnTb is
end Dec2_4EnTb;

architecture Stimulus of Dec2_4EnTb is

    -- Sinais para ligar às entradas da uut
    signal s_enable  : std_logic;
    signal s_inputs  : std_logic_vector(1 downto 0);
    -- Sinal para ligar às saídas da uut
    signal s_outputs : std_logic_vector(3 downto 0);

begin
    -- Instanciação da Unit Under Test (UUT)
    uut: entity work.Dec2_4En(RTL)
        port map(enable => s_enable,
                  inputs  => s_inputs,
                  outputs => s_outputs);

    --Process stim
    stim_proc : process
    begin
        wait for 100 ns;

        s_enable <= '0';
        wait for 100 ns;

        s_enable <= '1';
        wait for 100 ns;

        s_inputs <= "00";
        wait for 100 ns;

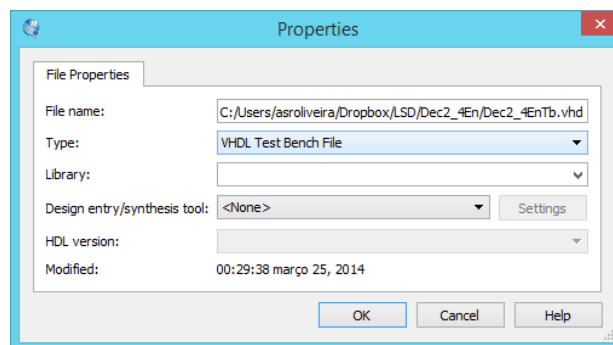
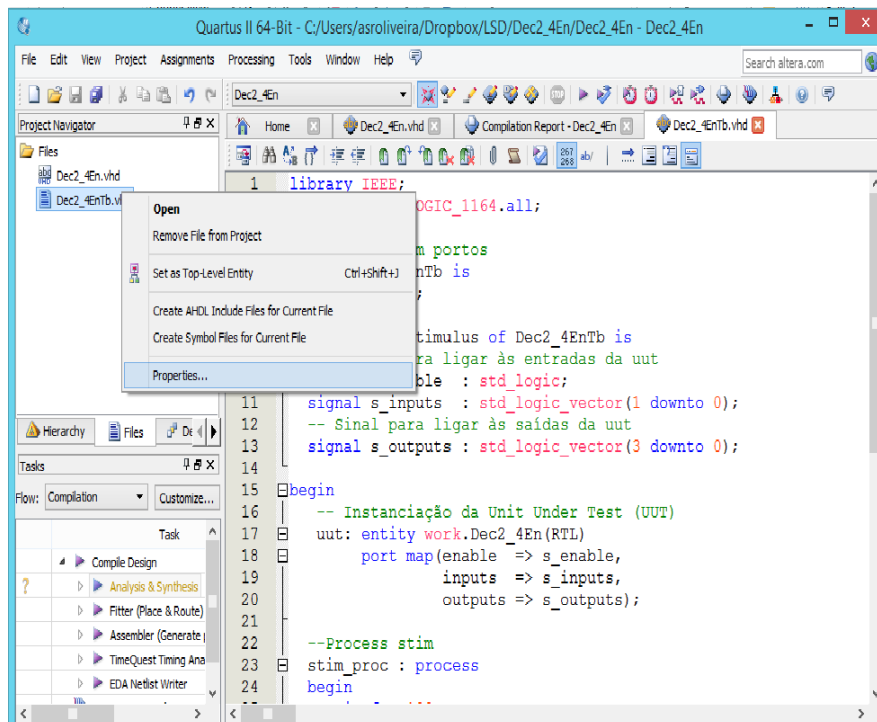
        s_inputs <= "10";
        wait for 100 ns;

        s_inputs <= "01";
        wait for 100 ns;

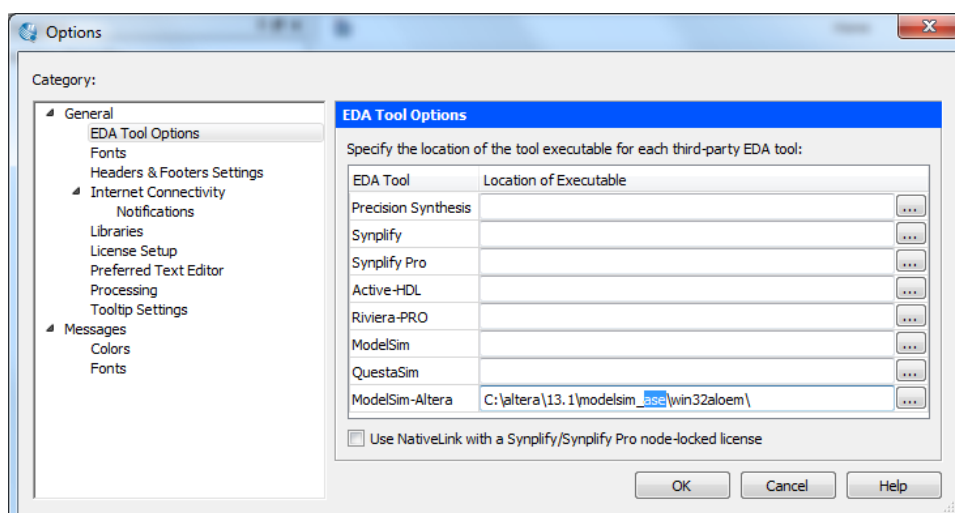
        s_inputs <= "11";
        wait for 100 ns;

    end process;
end Stimulus;
```

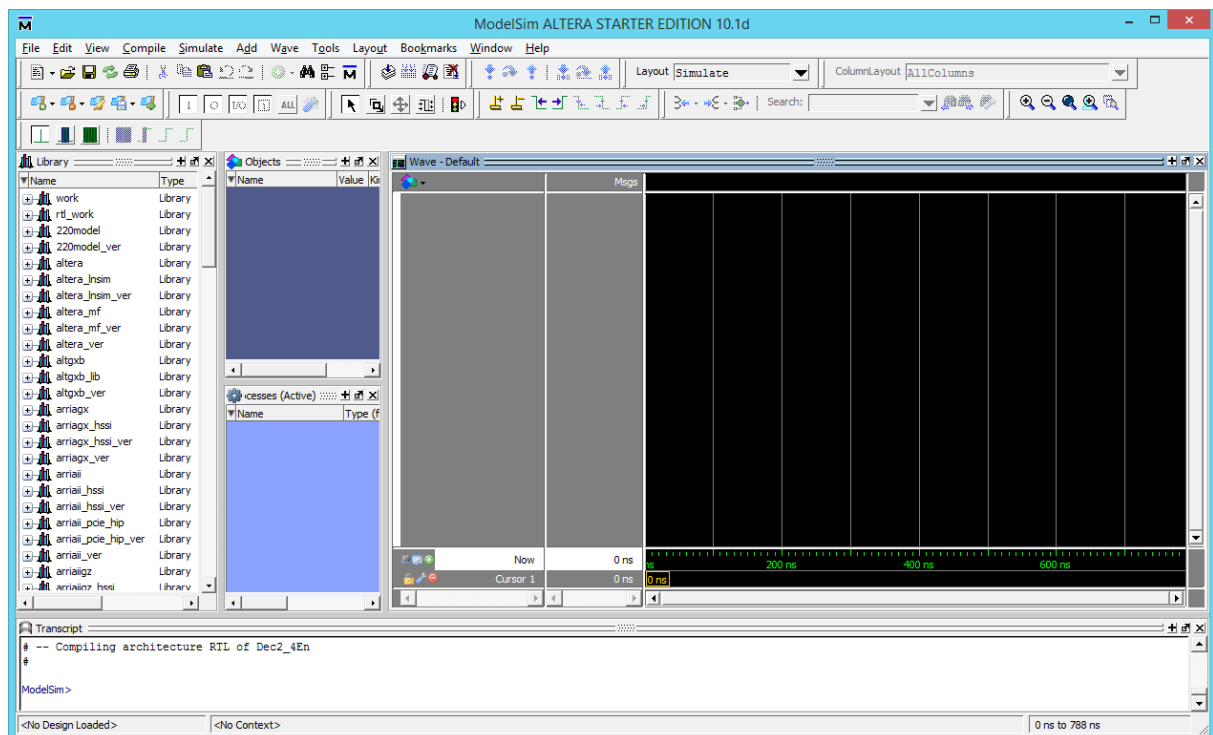
5. Altere as propriedades do ficheiro "Dec2_4EnTb.vhd" da forma indicada nas figuras seguintes (Type: "VHDL File" → "VHDL Test Bench File").



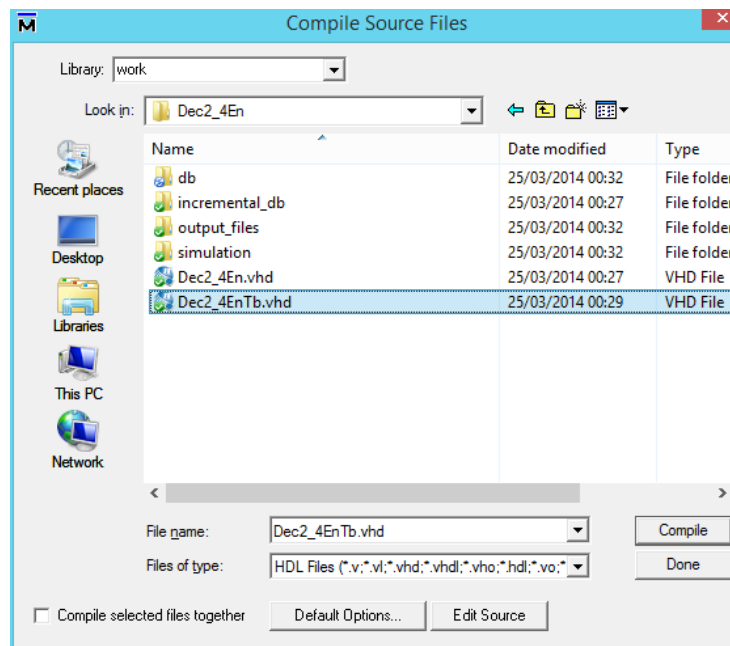
6. Execute a ferramenta de simulação "ModelSim ALTERA STARTER EDITION", através do menu "Tools → Run Simulation Tool → RTL Simulation". Nota: verifique previamente se a path "ModelSim-Altera" em "Tools → Options" está de acordo com a figura seguinte ("C:\...\ase ...").



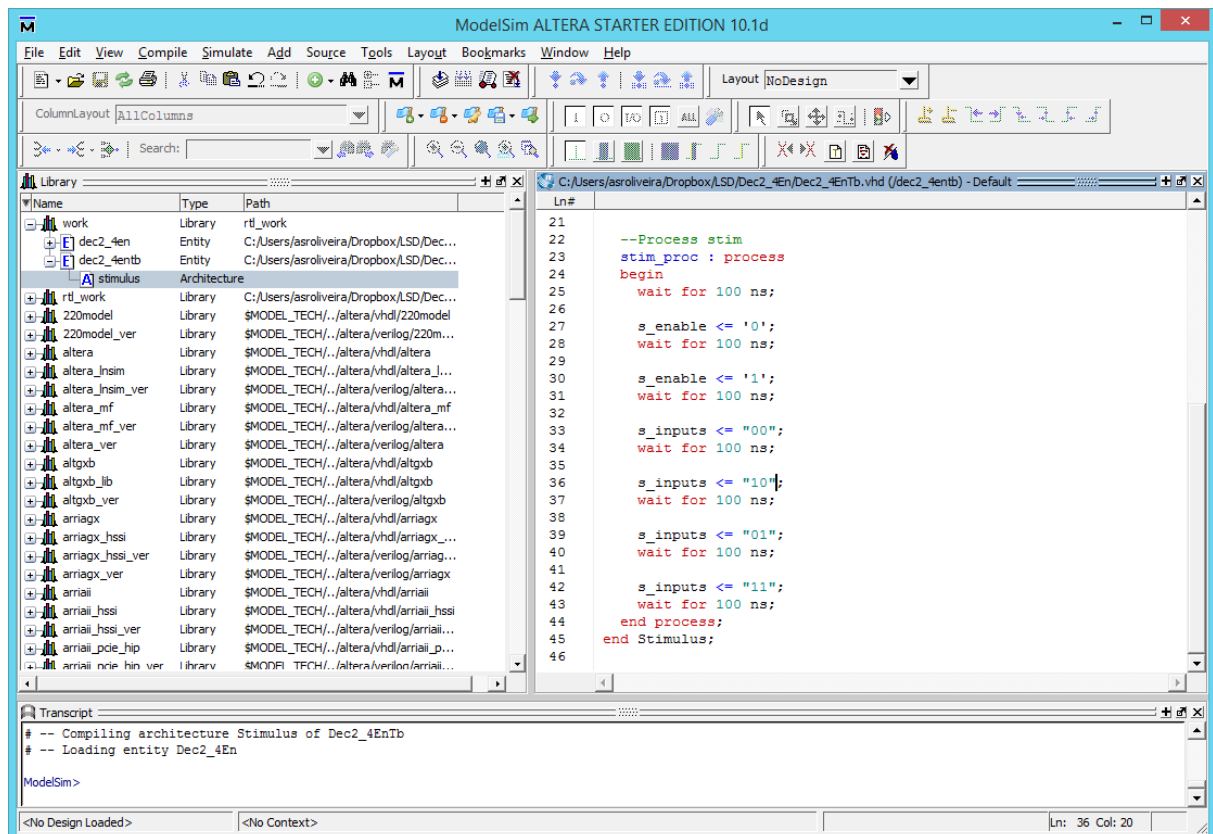
7. Quando executada, a ferramenta de simulação “*ModelSim ALTERA STARTER EDITION*” deve apresentar o seguinte aspeto.



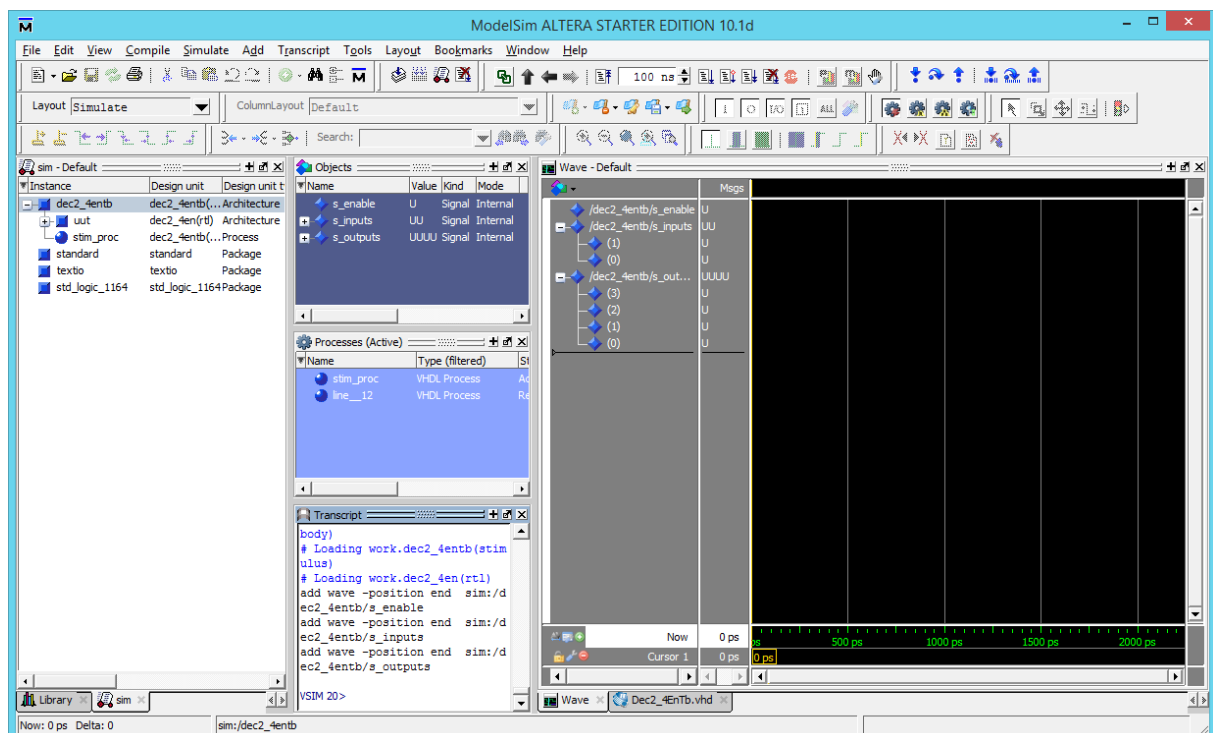
8. Compile a *testbench* através do menu “*Compile* → *Compile*”, seleccionando o ficheiro “*Dec2_4EnTb.vhd*” e premindo “*Compile*”.



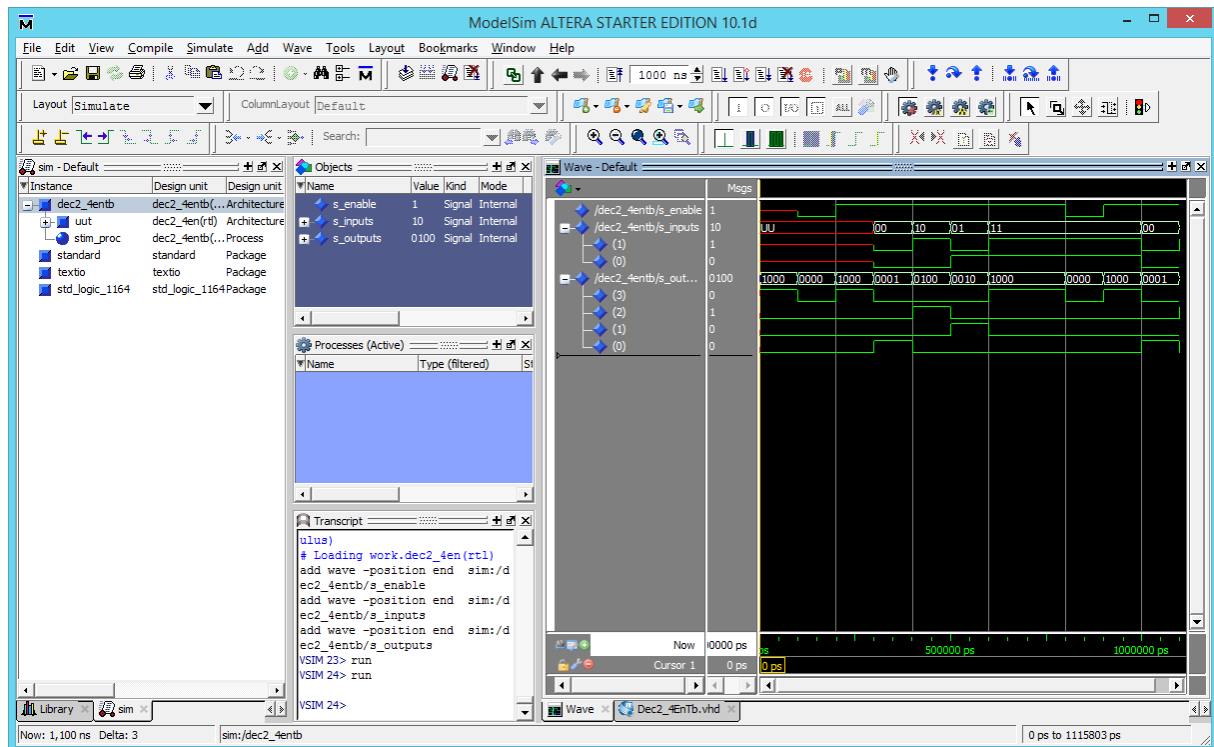
9. Inicie a simulação através de um duplo clique na arquitetura “*stimulus*” da entidade “*dec2_4entb*” apresentada na biblioteca “*work*” (projeto atual) na janela “*Library*” (ver figura seguinte).



10. Adicione à janela “Wave” (por *drag-and-drop* da janela “Objects”) os sinais da *testbench* ligados aos portos da entidade a simular (“s_enable”, “s_inputs” e “s_outputs”).



11. Execute a simulação, especificando o intervalo de tempo (*step*) pretendido (e.g. 1000 ns) e selecionando o menu “*Simulate → Run → Run*” (alternativamente, pode premir F9). A janela “*Wave*” deve ser atualizada à medida que a simulação progride (pode executar o comando “*Run*” múltiplas vezes).



Parte II

Repita os passos da parte I deste guião para a simulação (com uma *testbench* em VHDL) do contador binário *up/down* de 4 bits apresentado na aula TP6.

Parte III

Repita os passos da parte I deste guião para a simulação (com uma *testbench* em VHDL) da ALU de 4 bits da parte III do trabalho prático 3.

Parte IV

Repita os passos da parte I deste guião para a simulação (com uma *testbench* em VHDL) do registo de deslocamento da parte II do trabalho prático 5.

PDF criado em 26/03/2015 às 12:07:45