

京都大学大学院情報学研究科
通信情報システム専攻 修士課程入学選抜試験問題
(平成 27 年度 10 月期入学・平成 28 年度 4 月期入学)

Admissions for October 2015 and for April 2016

Entrance Examination for Master's Program

Department of Communications and Computer Engineering

Graduate School of Informatics, Kyoto University

平成27年8月6日 13:00－16:00

August 6, 2015 13:00 - 16:00

専門基礎B

Problem Set B

注意 (NOTES)

1. 解答開始の合図があるまで中を見てはいけない。
2. これは「**専門基礎B**」の問題用紙で、表紙共に 21 枚 ある。解答開始の合図があった後、枚数を確認、落丁または不鮮明なものがあれば直ちに申し出ること。
3. 問題は10問(B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, B-10)ある。**4問を選択して解答すること。**答案用紙の問題番号欄に問題番号を記入すること。
4. 解答は問題ごとに答案用紙1枚を使うこと。答案用紙1枚に2問以上の解答もしくは1問の回答を2枚以上の答案用紙に書いた場合は無効にすることがある。なお、必要な場合「裏に続く」と明記した上で裏面を使用してもよい。
5. 答案用紙は4枚綴じたまま使用し、切り離さないこと。
6. 答案用紙の綴じ込みがはずれた場合は、直ちに申し出ること。
7. 解答は日本語または英語で行うこと。

1. Do not open the pages before a call for starting.
2. This is the “**Problem Set B**” in 21 pages including this front cover.
After the call of starting, check all pages are in order and notify proctors (professors) immediately if missing pages or with unclear printings are found.
3. **Answer 4 of the following 10 questions;** B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, and B-10. State the Question Numbers you choose on the Answer Sheet.
4. Use one sheet for each question. If required, the reverse side may be used, stating “Over” at the end of the page. Note that in case two or more questions are answered in one sheet or two or more sheets are used for one question, they may be regarded as no answers.
5. Do not separate the pages of answer sheets; keep them bound.
6. Notify proctors (professors) immediately if the pages are separated for some reason.
7. Answer the questions either in Japanese or English.

専門基礎B

B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, B-10の10問から4問を選択して解答せよ。

Problem Set B

Choose and answer 4 questions out of **B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, and B-10**.

B-1

下記のすべての問に答えよ。

(English translation is given on the next page.)

(1) デジタル伝送技術に関する以下の問に答えよ。

- (a) 最高周波数が 20 kHz のオーディオ信号を 16 ビット量子化を用いて PCM 伝送する場合に必要なビット速度を求めよ。
- (b) 問 (a) のビット列を 64QAM 変調によって伝送する場合の理想帯域通過フィルタの帯域幅はいくらか。
- (c) 問 (b) の 64QAM 変調信号を遅延時間差が $10\ \mu\text{s}$ である 2 波を持つ伝搬路で OFDM 伝送する。必要となるガードインターバルの時間割合を 10%以下とするためには OFDM のサブキャリア数はいくらか以上必要か。

(2) 通信ネットワークに関する以下の問に答えよ。

- (a) ある通信ネットワークにおいてノードがパケットを送出するモデルを M/M/1 で表す。M/M/1 では、バッファ数、サーバ数、到着分布、サービス時間分布がどのように与えられるか述べよ。
- (b) 単位時間の平均到着数、平均パケット送信時間をそれぞれ λ , h とし、 $h\lambda < 1$ とする。送信中のパケットを含むバッファ内のパケット数が i である確率 $p(i)$ ($i=0, 1, 2, \dots$) を導出せよ。
- (c) 問 (b) の $p(i)$ から呼の待ち合わせ率を求めよ。
- (d) OSI 参照モデルについて述べよ。

| | | | |
|------------------------|---|---|---|
| continued on next page | | | |
| 次 | 頁 | へ | 続 |

Answer all the following questions.

(1) Answer the following questions related to digital transmission techniques.

- (a) Find the required bit rate of PCM transmission using 16-bit quantization to transmit an audio signal with frequency up to 20 kHz.
- (b) Find the required bandwidth of an ideal bandpass filter to transmit a bit stream of Question (a) by 64QAM.
- (c) Suppose OFDM transmission of the 64QAM signal in Question (b) over the channel with two paths of $10\ \mu\text{s}$ delay time difference. Find the minimum number of subcarriers in order for the guard interval to be less than or equal to 10% of the OFDM signal.

(2) Answer the following questions related to communication networks.

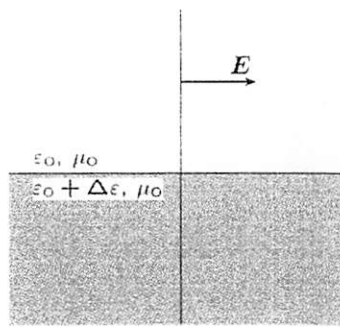
- (a) Consider packet forwarding at a node in a communication network that is represented by the M/M/1 model. Describe how the buffer capacity, the number of servers, the arrival distribution, and the service time distribution are given in M/M/1.
- (b) Assume that the average arrival rate and the average transmission time are given as λ and h , respectively, and $h\lambda < 1$. Find $p(i)$ ($i=0, 1, 2, \dots$), which is the probability that the number of packets in the buffer is equal to i . Note that the currently forwarded packet is included in the number of packets.
- (c) Find the probability of call waiting by using $p(i)$ of Question (b).
- (d) Explain the OSI reference model.

B-4

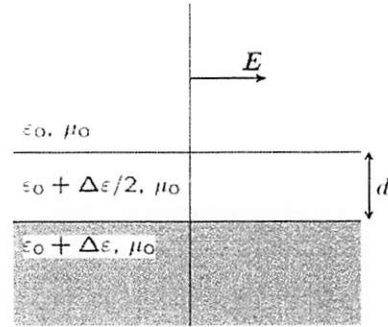
下記のすべての問に答えよ。(English translation is given on the next page.)

- (1) 2つの媒質1および2が無限大平面境界において接しているとする。媒質1および2の誘電率は、それぞれ ϵ_0 および $\epsilon_0 + \Delta\epsilon$ とする。ただし $\Delta\epsilon \ll \epsilon_0$ とする。両媒質はともに透磁率 μ_0 および導電率0を持つとする。下図(a)に示すように、媒質1において平面電磁波が境界面に垂直に入射したとする。媒質1中の波長を λ とする。このとき下記のすべての問に答えよ。

- (a) この境界面において電磁界について成り立つ境界条件を述べ、電界に関する反射率および透過率を導け。
- (b) 図(b)に示すように、媒質1と媒質2の間に厚さ d 、誘電率 $\epsilon_0 + \Delta\epsilon/2$ 、透磁率 μ_0 、導電率0の平面層状媒質を挿入する。このとき $\Delta\epsilon \ll \epsilon_0$ であることを用いて媒質1から見た電界の反射率を導き、これが0となる条件を求めよ。



図(a)



図(b)

- (2) 自由空間中に置かれた指向性アンテナについて考える。このアンテナを電流 I で励振したとき、このアンテナから距離 r ($r \gg \lambda$, λ は波長)における放射電界の強度が、 z 軸方向となす角 θ に対して以下の式で与えられるものとする。

$$E(\theta) = \begin{cases} E_0 & (0 \leq \theta \leq \pi/3) \\ 0 & (\pi/3 < \theta \leq \pi) \end{cases}$$

ここに E_0 は定数である。このとき下記のすべての問に答えよ。

- (a) このアンテナの指向性利得を与える式を示し、 $\theta = 0$ における値を求めよ。
- (b) 同じアンテナ2本を z 軸方向に $\lambda/2$ 離して設置し、それぞれ電流 I で励振したとする。このときの距離 r における放射電界の強度を与える式を導き、これが最大となる角度 θ を求めよ。

Answer all the questions below.

- (1) Suppose that two media 1 and 2 are separated by an infinite planar boundary. The permittivity of medium 1 and 2 are ϵ_0 and $\epsilon_0 + \Delta\epsilon$, respectively, where $\Delta\epsilon \ll \epsilon_0$ holds. The both media have the same permeability of μ_0 and conductivity of 0. As shown in Figure (a) below, we consider a planar electromagnetic wave in medium 1 incident vertically on the boundary. The wavelength in medium 1 is λ . Answer all the questions below.

- (a) Show the boundary conditions that the electromagnetic field should satisfy, and derive the reflectivity and transmissivity of the electric field.
- (b) Consider that a planar layered medium of thickness d , permittivity $\epsilon_0 + \Delta\epsilon/2$, permeability μ_0 , and conductivity 0 is inserted between medium 1 and 2 as shown in Figure (b). Considering that $\Delta\epsilon \ll \epsilon_0$, derive the reflectivity seen from medium 1, and find the condition that makes it 0.

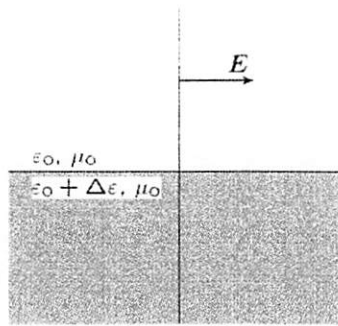


Figure (a)

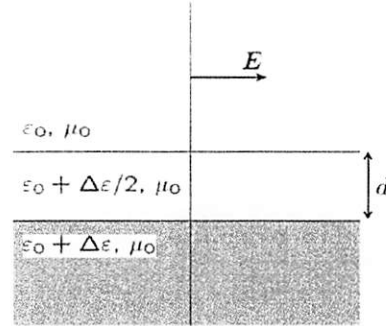


Figure (b)

- (2) Consider a directional antenna placed in a free space. Suppose that when this antenna is driven by current I , the intensity of the radiation electric field at distance r ($r \gg \lambda$, λ is the wavelength) is given as a function of angle θ measured from the z axis by

$$E(\theta) = \begin{cases} E_0 & (0 \leq \theta \leq \pi/3) \\ 0 & (\pi/3 < \theta \leq \pi) \end{cases},$$

where E_0 is a constant. Answer all the questions below.

- (a) Show the formula that gives the directivity of this antenna, and give its value at $\theta = 0$.
- (b) Suppose that two identical antennas are placed along the z axis at an interval of $\lambda/2$, and each antenna is excited by current I . Derive the formula that gives the intensity of the radiation electric field for this case at distance r , and determine the angle θ that maximizes it.

B-5

下記のすべての設問に答えよ。

Answer all the following questions.

- (1) 以下に示す論理関数 f について、以下の問に答えよ。

Answer the following questions on the logic function f defined below.

$$f = (a + \bar{b} + \bar{c} + d) \cdot (\bar{a} + \bar{b} + c + d) \cdot (a + b + \bar{d}) \cdot (\bar{a} + b + \bar{d}) \cdot (b + d)$$

- (a) 論理関数 f の最小積和形表現を求めよ。

Give a minimal sum-of-products expression of f .

- (b) 論理関数 f の最小和積形表現を求めよ。

Give a minimal product-of-sums expression of f .

- (c) 論理関数 $g = b \cdot d + b \cdot \bar{c}$, $r = (a \oplus b \oplus c) \cdot (\bar{a} \cdot \bar{b} \oplus c)$ とする。 $f = g \cdot h + r$ を満足する全ての論理関数 h の中から、積項数が最小でリテラル数が最も少ない積和形論理式を持つ論理関数の最小積和形表現を求めよ。

Assume $g = b \cdot d + b \cdot \bar{c}$ and $r = (a \oplus b \oplus c) \cdot (\bar{a} \cdot \bar{b} \oplus c)$. Among all the logic functions of h that satisfies $f = g \cdot h + r$, derive a minimal sum-of-products expression of a logic function that has the minimum number of product terms with the minimum number of literals in its minimal sum-of-products form.

- (d) 入力として、 a , b , c , d およびそれらの否定 \bar{a} , \bar{b} , \bar{c} , \bar{d} が与えられるものとする。NAND ゲート (3 入力以下) のみを用いて、論理関数 f を出力とするゲート数最小の論理回路を示せ。

Assume a , b , c , d and their complements \bar{a} , \bar{b} , \bar{c} , \bar{d} are available as inputs. Derive a logic circuit that realizes f with the minimum number of logic gates which are 2-input and/or 3-input NAND gates.

- (2) 可変長符号を固定長符号に変換する Mealy 型同期式順序回路を設計する。可変長符号と固定長符号の対応を表 (a) に示す。この回路は、1 ビットの入力 x と、3 ビットの出力 (y_1, y_2, y_3) を持つ。可変長符号は、 x に 1 ビットずつシリアルに入力され、符号語が認識される毎に対応する固定長符号が (y_1, y_2, y_3) に出力される。符号語が認識されない間は、 $(y_1, y_2, y_3) = (0, 0, 0)$ が出力される。以下の問に答えよ。

Suppose that we design a Mealy-type synchronous sequential circuit that converts a variable-length code to a fixed-length code. Table (a) shows the correspondence between the variable-length code and the fixed-length code. The circuit has a one-bit input of x and a three-bit output of (y_1, y_2, y_3) . A sequence of variable-length code-words is fed to x bit-by-bit serially, and upon the recognition of a code-word, corresponding fixed-length code-word is generated at (y_1, y_2, y_3) . While a code-word is not recognized, the circuit outputs $(y_1, y_2, y_3) = (0, 0, 0)$. Answer the following questions.

- (a) この回路の状態遷移図を示せ。

Derive a state transition diagram of the circuit.

- (b) 状態数を最小化した状態遷移表と出力表を求めよ。状態数が最小であることをどのようにして確認したかを説明せよ。

Show the state transition table and the output table with the minimum number of states. Explain how you have verified that the number of states is minimal.

- (c) この回路を最少数の D フリップフロップを用いて実現する。各フリップフロップの入力を与える論理関数の最小積和形表現を求めよ。なお、D フリップフロップの初期値は 0 とする。D フリップフロップの出力と入力を表す論理変数をそれぞれ q と d で表し、各フリップフロップは添字 1, 2, ... で区別する。添字は状態に割り当てた符号の左端ビットから 1, 2, ... と振るものとする。状態割り当てを明記すること。

We would like to implement the circuit with the minimum number of D flip-flops. Derive the excitation function of each D flip-flop in a minimal sum-of-products form. Here, the initial value of a D flip-flop is assumed to be 0, and logic variables of the output and the input of a D flip-flop are q and d , respectively. D flip-flop(s) should be distinguished by subscripts 1, 2, ... from the leftmost bit of the assigned states. The state assignment should be explained clearly.

- (d) 出力 (y_1, y_2, y_3) の最小積和形表現を求めよ。

Derive the output (y_1, y_2, y_3) in a minimal sum-of-products form.

表 (a): 可変長符号と固定長符号の対応表

Table (a): Correspondence between variable-length codes and fixed-length codes

| Variable-length Code | Fixed-length Code |
|----------------------|-------------------|
| 0 | 001 |
| 10 | 010 |
| 110 | 011 |
| 1110 | 100 |
| 1111 | 101 |

B-6

下記の全ての問に答えよ。

Answer all the following questions.

- (1) 32 ビット語長の RISC プロセッサ P が、表 (a) に示す命令形式からなる命令セットを持つものとする。例えば add は R 形式の命令であり、レジスタ R[rs] と R[rt] の和をレジスタ R[rd] に書き込む。lw は I 形式の命令であり、レジスタ R[rs] に即値を加えたアドレスのメモリから読みだしたデータをレジスタ R[rt] に格納する。ただし、R[x], M[x] はアドレス x のレジスタおよびメモリを表す。

また、op, funct, shamt はそれぞれ命令コード、機能コード、およびシフト量を表す。Imm は即値、SignExtImm は符号拡張した即値、ZeroExtImm はゼロ拡張した即値である。命令実行前、全てのレジスタとメモリにはゼロが書き込まれているものとする。以下の問に答えよ。

A 32-bit word RISC processor, P, has instruction formats and supports an instruction set listed in Table (a). For example, “add” is an R-type instruction that writes the sum of contents of registers R[rs] and R[rt] to register R[rd]. “lw” is an I-type instruction that reads data from memory at the address given by adding an immediate to the contents of R[rs] and writes it to register R[rt], where R[x] and M[x] represent a register of and a memory of address x, respectively.

Here, op, funct, and shamt fields denote opcode, function code, and shift amount, respectively. Imm, SignExtImm, and ZeroExtImm, represent immediate, sign extended immediate, and zero extended immediate, respectively. All register and memory contents are zero before the instructions are executed. Answer the questions below.

- (a) 図 (a) に示す機械語命令 1, 2, 3 を、アセンブリ・コードを用いて書け。表 (a) 中にボールド体で示しているアセンブリ・コード記述を用いよ。レジスタ名はすべて、「\$ + レジスタ・アドレス」(\$0, \$1, ...) と表記すること。ただし表にない命令はすべて nop (no operation) とみなせ。

Answer assembly codes for machine code instructions 1, 2, and 3 in Figure (a). Use the assembly code representations in Table (a) shown using a bold font. Registers should be represented as “\$ + register address” (\$0, \$1, ...). The instructions not in the table should be considered as “nop” (no operation).

- (b) 図 (a) に示す機械語命令 1, 2, 3 を順に実行する。これにより値が変化するレジスタまたはメモリを、各命令実行後の値とともに 16 進数で示せ。必要であれば、エンディアンは任意に定義してよい。

Assume machine code instructions 1, 2, and 3 in Figure (a) are sequentially executed. Answer the changes in register or memory values in hexadecimal after each instruction is executed. Define endian if necessary.

表 (a) 命令形式と命令セット (表内の数字はすべて 10 進数).

Table (a) Instruction formats and instruction set (all numbers in this table are decimal).

| 命令 Inst- ruction | 形式 Format | フィールド Field | | | | | | アセンブリ・コード Assembly code |
|------------------------|--------------|----------------|----|----|-----|-----------|-------|---|
| | R width | op | rs | rt | rd | shamt | funct | 動作 Operation |
| | | 6b | 5b | 5b | 5b | 5b | 6b | |
| | | I width | op | rs | rt | Immediate | | |
| | | 6b | 5b | 5b | 16b | | | |
| add | R | 0 | rs | rt | rd | 0 | 32 | add rd, rs, rt addition: $R[rd] = R[rs] + R[rt]$ |
| sub | R | 0 | rs | rt | rd | 0 | 34 | sub rd, rs, rt subtraction: $R[rd] = R[rs] - R[rt]$ |
| and | R | 0 | rs | rt | rd | 0 | 36 | and rd, rs, rt logical AND: $R[rd] = R[rs] \& R[rt]$ |
| or | R | 0 | rs | rt | rd | 0 | 37 | or rd, rs, rt logical OR: $R[rd] = R[rs] R[rt]$ |
| nor | R | 0 | rs | rt | rd | 0 | 39 | nor rd, rs, rt logical NOR: $R[rd] = \sim(R[rs] R[rt])$ |
| addi | I | 8 | rs | rt | Imm | | | addi rt, rs, Imm add immediate: $R[rt] = R[rs] + \text{SignExtImm}$ |
| andi | I | 12 | rs | rt | Imm | | | andi rt, rs, Imm AND immediate: $R[rt] = R[rs] \& \text{ZeroExtImm}$ |
| ori | I | 13 | rs | rt | Imm | | | ori rt, rs, Imm OR immediate: $R[rt] = R[rs] \text{ZeroExtImm}$ |
| lw | I | 35 | rs | rt | Imm | | | lw rt, Imm(rs) load word: $R[rt] = M[R[rs] + \text{SignExtImm}]$ |
| sw | I | 43 | rs | rt | Imm | | | sw rt, Imm(rs) store word: $M[R[rs] + \text{SignExtImm}] = R[rt]$ |
| sll | R | 0 | 0 | rt | rd | shamt | 0 | sll rd, rt, shamt logical shift left: $R[rd] = R[rt] \ll \text{shamt}$ |
| srl | R | 0 | 0 | rt | rd | shamt | 2 | srl rd, rt, shamt logical shift right: $R[rd] = R[rt] \gg \text{shamt}$ |
| sra | R | 0 | 0 | rt | rd | shamt | 3 | sra rd, rt, shamt arithmetic shift right: $R[rd] = R[rt] \gg \text{shamt}$ |

Instruction 1: 340e000f

Instruction 2: 21cfff00

Instruction 3: 000fa103

図 (a) 機械語命令列 (16 進数)

Figure (a) Sequence of machine code instructions (hexadecimal).

continued on next page
次 頁 へ 続 く

- (2) プロセッサがデータ・キャッシュを介して図(b)に示す主記憶のアドレス(16進数で書かれている)へ上から順にアクセスする。データ・アクセスはすべて語(1語は4バイト)単位で行われ、図(b)に示すとおり load と store の2種類がある。このキャッシュはライト・バック・キャッシュである。図(b)に示す “Data to be stored” は、キャッシュに書き込まれるデータ(16進数で書かれている)を意味する。キャッシュは当初は空であり、主記憶のすべてのアドレスには当初はすべてゼロが書き込まれているとする。以下の問に答えよ。

A processor accesses a main memory through a data cache according to the memory addresses (represented in hexadecimal) shown in Figure (b) from top to bottom. Data is accessed in unit of word (1-word = 4-byte), and each access is either a load or a store as shown in Figure (b). The cache is a write-back cache. The “Data to be stored” shown in Figure (b) represents data (represented in hexadecimal) to be written to the cache. The cache is initially empty and all contents of the main memory are initially zero. Answer the questions below.

- (a) 上記データ・キャッシュがブロック・サイズが2語で総容量が32語の2ウェイ・セット・アソシアティブ・キャッシュであるとき、図(b)に示すアドレスごとのアクセスがそれぞれヒットするかミスするかをその理由と合わせて示せ。キャッシュの置き換えアルゴリズムはLRU (Least Recently Used) とせよ。

Assume the data cache is a two-way set-associative cache whose block size is 2 words and the total capacity is 32 words. The cache replacement policy is LRU (Least Recently Used). Answer whether each access to the addresses shown in Figure (b) is a hit or a miss. Also explain the reason of your answer.

- (b) 上記データ・キャッシュがブロック・サイズが4語で総容量が32語のダイレクト・マップ・キャッシュであるとき、図(b)に示す全てのアドレスへのアクセスが完了した後の主記憶アドレス 00000000、00000004、00000008 に格納されているデータの値をそれぞれその理由と合わせて示せ。

Assume the data cache is a direct-mapped cache whose block size is 4 words and the total capacity is 32 words. Show values of data stored in addresses 00000000, 00000004, and 00000008 of the main memory once the processor has completed accessing all the addresses shown in Figure (b). Also explain the reason of your answer.

| Address | Access type | Data to be stored |
|----------|-------------|-------------------|
| 00000000 | load | —— |
| 00000008 | store | 00000001 |
| 00000004 | store | 00000002 |
| 00000000 | store | 00000003 |
| 00000100 | load | —— |
| 00000108 | store | 00000004 |
| 00000008 | store | 00000005 |
| 00000004 | store | 00000006 |

図(b):メモリアクセス系列

Figure (b): Sequence of memory accesses.

本設問でのモデルは（標準的な）1本の右方向無限読み書きテープを持つチューリング機械であり1TMと記す。以下の設問に答えよ。(2)と(3)においては、状態遷移関数の書き下しまでは要求しない。十分分かりやすい動作の説明を行うこと。逆に単に状態遷移関数を書き下しただけの解答には点を与えない。

(1) 1TMの定義を与えよ。その動作の説明も与えよ。

(2) 与えられた長さ n の入力 1^n に対して正確に $3n$ ステップの動作の後に停止する1TMを設計せよ。

(3) 与えられた長さ n の入力 1^n に対して、 n^2 以上 n^3 以下のステップ数の動作後に停止する1TMを設計せよ。ステップ数が全ての n に対してこの範囲内に収まることを証明すること。

なお、質問は一切受け付けない。問題に不審のある場合はそのことを明記し、妥当な仮定を設定して解答すること。解答は細部にこだわりすぎるよりは、アイデアを分かりやすく説明することが重要である。ただ、説明が大雑把過ぎて基本的事項を誤解していると採点者が判断することが無いように注意すること。

Our model in this problem is a (standard) Turing machine with a single, right-infinite, read-write tape, denoted by 1TM. Answer the following questions. In questions (2) and (3), you do not have to write down the state-transition function, but it suffices to give a detailed description of the operation of your 1TM. On the other hand, an answer including only a write-down of a state-transition function will get no score.

(1) Give a formal definition of a 1TM as well as a description of how it works.

(2) Design a 1TM which halts, for a given length- n input 1^n , after its operation of exactly $3n$ steps.

(3) Design a 1TM which halts, for a given length- n input 1^n , after its operation of at least n^2 and at most n^3 steps. Prove that the number of steps is within this range for all n .

Your questions about the problem will NOT be answered. If you think there is a flaw in the problem, first make it clear. Then make some reasonable assumption or correction and give your answer. Your answer should be easy to read, namely it is more important to make the basic idea clear rather than to go to too much detail. At the same time, if your answer is too sloppy, it would cause a doubt that you are making some fundamental misunderstanding or confusion.

B-8

以下の全ての問に答えよ。

English translation is given on the next page.

(1) 生成規則の集合

$$P = \{E \rightarrow aBc \mid Bc, B \rightarrow bBb \mid b\}$$

を持つ文法 $G = \langle P, E \rangle$ に関して以下の問に答えよ。

ただし、 E, B は非終端記号、 a, b, c は終端記号である。

(a) G が LL(1) 文法であるか否か、理由とともに答えよ。

(b) G が生成する言語が正規言語であるか否か、理由とともに答えよ。

(2) 以下の C プログラム断片に関して以下の問に答えよ。

```
i=0;
d=1;
f=0;
if (x==i) {
    f=d;
} else {
    for (i=1; i<=x; i++) {
        f=d+e; d=e; e=f;
    }
}
```

(a) このプログラムの基本ブロックを作成し、コントロールフローグラフを示せ。

(b) 定数伝搬および不要コード削除を行い最適化したコントロールフローグラフを示せ。
いくつかの変数はこの C プログラム断片より前で代入された値を保持することに注意せよ。

(c) 適当な機械命令を仮定し、このプログラム断片に対応するアセンブリコードを示せ。
使用可能なレジスタ数は十分あり、全ての変数はレジスタに割り付けられるとする。

| |
|------------------------|
| continued on next page |
| 次 頁 へ 続 く |

Answer all the following questions.

- (1) Answer the following questions on grammar $G = \langle P, E \rangle$ with the production rules

$$P = \{E \rightarrow aBc \mid Bc, \quad B \rightarrow bBb \mid b\}.$$

Here, E and B are nonterminal symbols and a, b , and c are terminal symbols.

- (a) Decide if G is an LL(1) grammar or not. Describe the reason.
- (b) Decide if the language generated by G is a regular language or not. Describe the reason.

- (2) Answer the following questions on the fragment of C program described below.

```
i=0;
d=1;
f=0;
if (x==i) {
    f=d;
} else {
    for (i=1; i<=x; i++) {
        f=d+e; d=e; e=f;
    }
}
```

- (a) Create basic blocks and show the control flow graph for the program.
- (b) Show the control flow graph after optimization with constant propagation and dead code elimination. Note that some variables hold values assigned before this fragment of C program.
- (c) Show assembly code for the program. Assume appropriate machine instructions. Assume that enough registers are available and all variables are allocated to registers.

B-9

下記のすべての設問に答えよ。

(English translation is given on the next page.)

- (1) インターネット上の書店における以下の関係データベーススキーマを考える。下線を施した属性集合は主キーを表すものとする。

本 (本 ID, 題名, 出版社, 価格)

顧客 (顧客 ID, 氏名, 配送先)

購買履歴 (本 ID, 顧客 ID, 年, 月, 日)

次の問に答えよ。

- (a) 上記の関係データベーススキーマを SQL で定義せよ。外部キーや参照動作も妥当と思われるものを適宜指定すること。
- (b) 以下の問合せを、関係論理式で表現せよ。

「2014 年に購入された本の題名をすべて求めよ。」

- (c) 関係「購買履歴」には、次の索引が存在するとする。

- 属性「年」「月」「日」を複合探索キーとする B+木を用いたクラスタ化索引
- 属性「本 ID」の上の拡張ハッシュを用いた非クラスタ化索引

このとき、索引を含む関係「購買履歴」のファイル編成を図を用いて説明せよ。

- (d) 問(b)の問合せを 2 種類の異なる関係代数式で表現せよ。ただし、データベース内には大量のデータが存在するとし、問(c)の索引を持つファイル編成のもとで、それら 2 種類の関係代数式を実行した場合は問合せ処理時間が異なるようなものとせよ。また、なぜ問合せ処理時間が異なるか理由を説明せよ。
- (e) 本には一人以上の著者が存在し、著者が顧客となることもあり得る。このような情報も格納できるように関係データベーススキーマを拡張するためにはどのようにすれば良いか説明せよ。

- (2) 並行処理制御のための二相ロックプロトコルについて次の問いに答えよ。

- (a) 二相ロックプロトコルが直列化可能性を保証することを説明せよ。
- (b) 二相ロックプロトコルに従うトランザクションから成るスケジュールがデッドロックに陥る可能性について論ぜよ。

continued on next page
次 頁 へ 続 く

Answer all the following questions.

- (1) Consider the following relational database schema for a bookstore on the Internet. The set of underlined attributes represents a primary key.

Book (book-id, title, publisher, price)

Customer (c-id, name, address)

Purchase-History (book-id, c-id, year, month, day)

Answer all the following questions.

- (a) Describe the above relational database schema in SQL. Specify appropriate foreign keys and referential actions.

- (b) Represent the following query in relational calculus.

“Obtain all the titles of books purchased in 2014.”

- (c) Assume there are the following indexes on the relation “Purchase-History.”

- A clustering index using B+ tree on a composite search key of three attributes “year,” “month,” and “day.”
- A non-clustering index using extensible hash on the attribute “book-id”

Explain the file organization of the relation “Purchase-History” by using a figure.

- (d) Provide two relational algebra expressions that represent the query in question (b). Here, we assume a huge amount of data is stored in the database. The execution time of the two relational algebra expressions under the file organization in question (c) should not be the same. Explain why the query processing time is different for the two expressions.
- (e) There are one or more authors for each book. Also, authors might be customers of books. Explain how the relational database schema could be extended to accommodate such information.

- (2) Answer all the following questions on the two-phase locking protocol for concurrency control.

- (a) Explain that the two-phase locking protocol guarantees serializability.
- (b) Discuss the possibility that schedules of transactions following the two-phase locking protocol are subject to deadlocks.

B-10

制約充足問題(CSP)に関する以下の5つの問いに答えよ。(English translation is given on the next page.)

5つの講義があり、それら講義を担当する3人の講師がいるとする。各講義は一人の講師が担当する。講師は各時間帯で1つの講義のみ担当可能である。

講義

- ・ Class 1・ アルゴリズム 時間 13:00-14:30 場所 RoomX1
- ・ Class 2・ 人工知能 時間 13:00-14:30 場所 RoomY1
- ・ Class 3・ ソフトウェア工学 時間 14:40-16:10 場所 RoomX1
- ・ Class 4・ オペレーティングシステム 時間 14:40-16:10 場所 RoomX2
- ・ Class 5・ データベース 時間 16:20-17:50 場所 Room Y1

ここで、RoomX1とRoomX2は建物Xの中にあり、RoomY1は建物Yの中にある。建物Xと建物Y間の移動には20分以上かかる。

講師

- ・ Professor A Class 1, 2, 3, 4, 5 を担当可能
- ・ Professor B Class 2, 3, 4, 5 を担当可能
- ・ Professor C Class 3, 4 を担当可能

- (1) この講師と講義の組を決定する問題を制約充足問題として正確に定式化せよ。ただし、講義を変数とせよ。
- (2) 問(1)での定式化に対応する制約ネットワークを描け。
- (3) アーク無矛盾性について説明し、問(2)で得たネットワーク上でアーク無矛盾性を検査した後の制約ネットワークを示せ。
- (4) この制約充足問題に対する解を一つ示せ。計算過程も略さず示せ。
- (5) この問題に対する制約充足問題としての別の定式化を示せ。ただし、講師を変数とせよ。また、問(1)での定式化と比較して、効率的に解を得るにはどちらの定式化が良いかを説明せよ。

continued on next page
次 頁 へ 続 く

Answer the following five questions about a constraint satisfaction problem (CSP).

There are five classes and three instructors who will be teaching these classes. Each class is taught by an instructor. An instructor can only teach one class at a time.

The classes are:

- Class 1 - Algorithms: meets from 13:00 to 14:30 at RoomX1
 - Class 2 - Artificial Intelligence: meets from 13:00 to 14:30 at RoomY1
 - Class 3 - Software Engineering: meets from 14:40 to 16:10 at RoomX1
 - Class 4 - Operating Systems: meets from 14:40 to 16:10 at RoomX2
 - Class 5 - Database: meets from 16:20 to 17:50 at Room Y1,
- where RoomX1 and RoomX2 are in the building X, RoomY1 is in the building Y, and the travel time between the building X and the building Y is longer than or equal to 20 minutes.

The instructors are:

- Professor A, who is available to teach Classes 1, 2, 3, 4, and 5.
- Professor B, who is available to teach Classes 2, 3, 4, and 5.
- Professor C, who is available to teach Classes 3 and 4.

- (1) Give a precise formulation for the above problem of determining the pair of classes and instructors as a constraint satisfaction problem, where the classes are the variables.
- (2) Draw the constraint network associated with the CSP obtained in question (1).
- (3) Explain arc consistency and show the constraint network obtained by checking arc consistency on the network in question (2).
- (4) Give one solution to this CSP. Show the calculation process as well as a solution.
- (5) Show another formulation for the above problem as a constraint satisfaction problem, where the instructors are the variables. In addition, compare the formulation with that of question (1) and explain which formulation is more efficient in solving this problem.