

京都大学大学院情報学研究科
通信情報システム専攻 修士課程入学選抜試験問題
(平成 28 年度 10 月期入学・平成 29 年度 4 月期入学)

Admissions for October 2016 and for April 2017

Entrance Examination for Master's Program

Department of Communications and Computer Engineering

Graduate School of Informatics, Kyoto University

平成28年8月8日 13:00－16:00

August 8, 2016 13:00 - 16:00

専門基礎B

Problem Set B

注意 (NOTES)

1. 解答開始の合図があるまで中を見てはいけない。
2. これは「専門基礎B」の問題用紙で、表紙共に 20 枚 ある。解答開始の合図があった後、枚数を確認、落丁または不鮮明なものがあれば直ちに申し出ること。
3. 問題は10問(B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, B-10)ある。4問を選択して解答すること。答案用紙の問題番号欄に問題番号を記入すること。
4. 解答は問題ごとに答案用紙1枚を使うこと。答案用紙1枚に2問以上の解答もしくは1問の解答を2枚以上の答案用紙に書いた場合は無効にすることがある。なお、必要な場合「裏に続く」と明記した上で裏面を使用してもよい。
5. 答案用紙は4枚綴じのまま使用し、切り離さないこと。
6. 答案用紙の綴じ込みがはずれた場合は、直ちに申し出ること。
7. 解答は日本語または英語で行うこと。

1. Do not open the pages before a call for starting.
2. This is the “**Problem Set B**” in 20 pages including this front cover.
After the call of starting, check all pages are in order and notify proctors (professors) immediately if missing pages or with unclear printings are found.
3. **Answer 4 of the following 10 questions;** B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, and B-10. State the Question Numbers you choose on the Answer Sheet.
4. Use one sheet for each question. If required, the reverse side may be used, stating “Over” at the end of the page. Note that in case two or more questions are answered in one sheet or two or more sheets are used for one question, they may be regarded as no answers.
5. Do not separate the pages of answer sheets; keep them bound.
6. Notify proctors (professors) immediately if the pages are separated for some reason.
7. Answer the questions either in Japanese or English.

専門基礎B

B-1, **B-2**, **B-3**, **B-4**, **B-5**, **B-6**, **B-7**, **B-8**, **B-9**, **B-10**の10問から4問を選択して解答せよ。

Problem Set B

Choose and answer 4 questions out of **B-1**, **B-2**, **B-3**, **B-4**, **B-5**, **B-6**, **B-7**, **B-8**, **B-9**, and **B-10**.

B-1

下記のすべての問に答えよ。(English translation is given on the next page.)

(1) デジタル伝送技術に関する以下の問に答えよ。

- (a) オーディオ信号を標準化周波数 96 kHz, 24 ビット量子化を用いて PCM (Pulse Code Modulation) 伝送する場合に必要なビット速度を求めよ。
- (b) 問 (a) のビット列を 256QAM (Quadrature Amplitude Modulation) 変調によって伝送する場合の理想帯域通過フィルタの帯域幅はいくらか。
- (c) 問 (b) の 256QAM 変調信号を遅延時間差が $20\mu\text{s}$ である 2 波を持つ伝搬路で伝送する。必要となるガードインターバルの時間割合を 10% 以下とするためには OFDM (Orthogonal Frequency Division Multiplexing) 信号のサブキャリア数はいくら以上必要か。

(2) IP ネットワークに関する以下の問に答えよ。

- (a) NAT(Network Address Translation) の役割と利点を次の用語を用いて説明せよ: グローバルアドレス, プライベートアドレス。
- (b) IP アドレス 192.168.2.4/24 のネットワークアドレス部を答えよ。
- (c) ネットワーク A とネットワーク B がある。これら 2 つのネットワークをある 1 つのノードを介し相互接続するとき、そのノードは一般的にどのような機器であるべきかを答えよ。
- (d) 問 (c) のノードを介し相互接続されたネットワーク A と B にはそれぞれ 2 つのホストが属している。IP による通信を正常に行なうためには問 (c) のノードも含めネットワーク内の各ノードにどのような IP アドレスを割り当てるのが適切かを説明するとともに例を示せ。
- (e) ARP(Address Resolution Protocol) の役割を説明せよ。

Answer all the following questions.

- (1) Answer the following questions related to digital transmission techniques.
 - (a) Find the required bit rate of PCM (Pulse Code Modulation) transmission using 24-bit quantization to transmit an audio signal with the sampling frequency of 96 kHz.
 - (b) Find the required bandwidth of an ideal bandpass filter to transmit a bit stream of Question (a) by 256QAM (Quadrature Amplitude Modulation).
 - (c) Suppose OFDM (Orthogonal Frequency Division Multiplexing) transmission of the 256QAM signal in Question (b) over the channel with two paths of $20\text{ }\mu\text{s}$ delay time difference. Find the minimum number of subcarriers in order for the guard interval to be less than or equal to 10% of the OFDM signal.
- (2) Answer the following questions related to the IP network.
 - (a) Explain the roles and the benefits of Network Address Translation (NAT) using the following terms: global address and private address.
 - (b) Find the network address part in IP address 192.168.2.4/24.
 - (c) Consider networks A and B. Explain what equipment works in general as the node that interconnects these two networks.
 - (d) Networks A and B are interconnected with each other via the node in Question (c). Two host computers belong to network A, while other two host computers belong to network B. Explain how IP addresses should be assigned to each of the nodes in networks A and B, which include the node in Question (c), to operate IP communication in networks A and B. Also, show an example of the address assignment.
 - (e) Explain the roles of Address Resolution Protocol (ARP).

下記のすべての問に答えよ。(English translation is given on the next page.)

- (1) 2つの媒質1および2が無限大平面境界において接しているとする。媒質1および2の誘電率をそれぞれ ϵ_1 および ϵ_2 ($\epsilon_2 < \epsilon_1$) とし、両媒質はともに透磁率 μ_0 および導電率 0 を持つとする。図 (a) に示すように、媒質1において、この境界面の法線と θ の角をなす方向から平面電磁波が境界面に入射したとする。ただしその磁界 \mathbf{H} は、法線と入射波の進行方向が作る平面内にあるものとする。このとき以下の問に答えよ。
- (a) 媒質1中における入射平面電磁波の電界と磁界の間に成り立つ関係を述べよ。
- (b) この境界面において電磁界について成り立つ境界条件を述べよ。
- (c) 全反射が起こる条件を求めよ。
- (d) 問 (a), (b) の結果から、電界に関する反射率を導け。
- (e) $0 \leq \theta \leq \pi/2$ のとき、反射率は0とならないことを示せ。

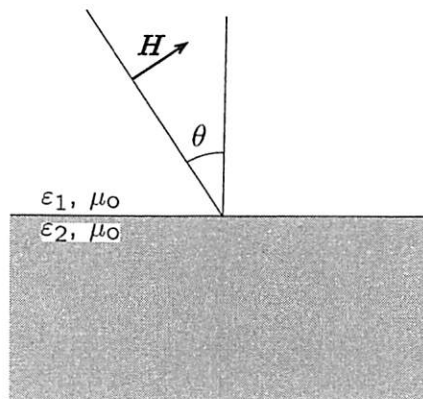


図 (a)

- (2) 下記のすべての問に答えよ。
- (a) z 軸方向となす角を θ としたとき、あるアンテナの十分遠方における指向性が $\cos \theta$ で与えられるものとする。このときの指向性利得を与える式を示し、その最大値を求めよ。
- (b) 問 (a) の特性を持つ2本のアンテナを z 軸方向に半波長離して設置し、これらを同位相、同振幅の電流で励振したとする。このときの十分遠方における指向性を与える式を示し、その概略を図示せよ。

Answer all the following questions.

- (1) Suppose that two media 1 and 2 are separated by an infinite planar boundary. The permittivity of medium 1 and 2 are ϵ_1 and ϵ_2 ($\epsilon_2 < \epsilon_1$), respectively, and the both media have the same permeability of μ_0 and the conductivity of 0. As shown in Figure (a), we consider a planar electromagnetic wave in medium 1 incident on the boundary at an angle θ measured from the normal line of the boundary. Here the magnetic field of the wave is contained in the plane determined by the normal line and the direction of propagation. Answer all the questions below.

- (a) Show the relations between the electric and magnetic fields of the incident planar wave in medium 1.
- (b) Show the boundary conditions that the electromagnetic field should satisfy.
- (c) Give the condition for the total reflection.
- (d) Derive the reflectivity of the electric field from conditions given in Questions (a) and (b).
- (e) For $0 \leq \theta \leq \pi/2$, show that the reflectivity does not become 0.

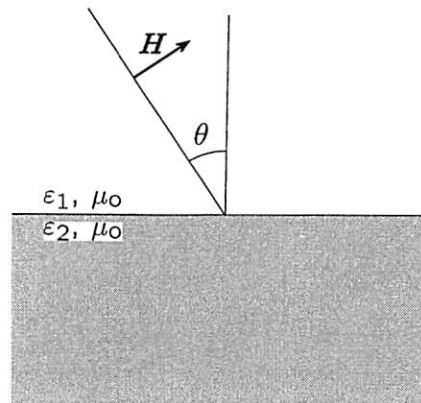


Figure (a)

(2) Answer all the following questions.

- (a) Suppose that the directivity of an antenna at a sufficiently distant point is given by $\cos \theta$, where θ is the angle measured from z axis. Show the formula that gives the directional gain of this antenna, and compute its maximum value.
- (b) Suppose that two such antennas as in Question (a) are placed along z axis at a distance of half wavelength, and excited by currents of equal amplitude and phase. Show the formula that gives the directivity for this case at a sufficiently distant point, and roughly sketch its pattern.

下記のすべての設問に答えよ。

Answer all the following questions.

- (1) 以下に示す論理関数 f について、以下の問に答えよ。

Answer the following questions on the logic function f defined below.

$$f = (\bar{a} + c + d) \cdot (b + c + d) \cdot (a + b + \bar{d}) \cdot (\bar{a} + b + \bar{c}) \cdot (b + \bar{c} + d)$$

- (a) 論理関数 f の最小積和形表現を求めよ。

Give a minimal sum-of-products expression of f .

- (b) 論理関数 f の最小和積形表現を求めよ。

Give a minimal product-of-sums expression of f .

- (c) 入力として、 a 、 b 、 c 、 d およびそれらの否定 \bar{a} 、 \bar{b} 、 \bar{c} 、 \bar{d} が与えられるものとする。3入力 NAND ゲートのみを用いて、論理関数 f を出力とするゲート数が最も少ない論理回路を示せ。

Assume a , b , c , d and their complements \bar{a} , \bar{b} , \bar{c} , \bar{d} are available as inputs. Derive a logic circuit that realizes f with the minimum number of 3-input NAND gates.

- (d) $f(a, b, c, d)$ の b による微分を $\frac{\partial f}{\partial b} = f(a, 0, c, d) \oplus f(a, 1, c, d)$ と定義する。 $\frac{\partial f}{\partial b}$ の最小積和形表現を求めよ。

The difference of $f(a, b, c, d)$ with respect to b is defined as

$\frac{\partial f}{\partial b} = f(a, 0, c, d) \oplus f(a, 1, c, d)$. Derive a minimal sum-of-products expression of $\frac{\partial f}{\partial b}$.

- (e) 論理関数 $g = a + b$ 、 $r = b \cdot c$ とする。 $f = g \oplus h + r$ を満足する全ての論理関数 h の中から、積項数が最小でリテラル数が最も少ない積和形論理式を持つ論理関数の最小積和形表現を求めよ。

Assume $g = a + b$ and $r = b \cdot c$. Among all the logic functions of h that satisfies $f = g \oplus h + r$, derive a minimal sum-of-products expression of a logic function that has the minimum number of product terms with the minimum number of literals in its minimal sum-of-products form.

- (2) 2個の1ビット信号 X および Y を入力とし、1個の1ビット信号 Z を出力とする Mealy 型同期式順序回路を設計する。この回路は、現在の時刻を含む直近の3時刻において、2回以上 $X \neq Y$ である場合に Z に1を出力し、それ以外の場合に Z に0を出力する。なお、回路の動作開始時には、過去の時刻において $X = Y$ であったものと仮定する。この回路の動作例を表 (a) に示す。以下の問に答えよ。

Suppose that we design a Mealy-type synchronous sequential circuit that has two one-bit inputs X and Y with one one-bit output Z . If the number of occurrences that $X \neq Y$ is more than or equal to two in the most recent three clock cycles including the current cycle, the circuit outputs 1 to Z . Otherwise, the circuit outputs 0 to Z .

When the circuit starts operating, it is assumed that $X = Y$ held in the previous clock cycles. An example of the circuit operation is shown in Table (a). Answer the following questions.

- (a) この回路の状態遷移図を示せ。

Derive a state transition diagram of the circuit.

- (b) 状態数を最小化した状態遷移表と出力表を求めよ。状態数が最小であることをどのようにして確認したかを説明せよ。また、表 (a) の入力 X 、 Y に対する状態遷移と出力の様子を説明せよ。

Show the state transition table and the output table with the minimum number of states. Explain how you have verified that the number of states is minimal. Also, explain the state transition and the output sequence for the input sequences of X and Y shown in Table (a).

- (c) この回路を最少数の D フリップフロップを用いて実現する。各 D フリップフロップの入力を与える論理関数の最小積和形表現を求めよ。なお、D フリップフロップの初期値は 0 とする。D フリップフロップの出力と入力を表す論理変数をそれぞれ Q と D で表し、各 D フリップフロップは添字 1, 2, ... で区別する。添字は状態に割り当てた符号の左端ビットから 1, 2, ... と振るものとする。状態割り当てを明記すること。

We would like to implement the circuit with the minimum number of D flip-flops. Derive the excitation function of each D flip-flop in a minimal sum-of-products form. Here, the initial value of a D flip-flop is assumed to be 0, and logic variables of the output and the input of a D flip-flop are Q and D , respectively. D flip-flop(s) should be distinguished by subscripts 1, 2, ... from the leftmost bit of the assigned states. The state assignment should be explained clearly.

- (d) 出力 Z を表す論理関数の最小積和形表現を求めよ。

Derive the output Z in a minimal sum-of-products form.

表 (a) 回路動作の一例

Table (a) An example of the circuit operation.

Clock Cycle	1	2	3	4	5
X	1	0	0	1	1
Y	0	1	0	0	0
Z	0	1	1	1	1

下記のすべての問に答えよ。

Answer all the following questions.

- (1) 32 ビット語長の RISC プロセッサが、表 (a) に示す命令形式からなる命令セットを持つものとする。例えば add は R 形式の命令であり、レジスタ R[rs] と R[rt] の和をレジスタ R[rd] に書き込む。lw は I 形式の命令であり、レジスタ R[rs] に即値を加えたアドレスのメモリから読みだしたデータをレジスタ R[rt] に格納する。ただし、R[x], M[x] はアドレス x のレジスタおよびメモリを表す。

また、op, funct, shamt はそれぞれ命令コード、機能コード、およびシフト量を表す。Imm は即値、SignExtImm は符号拡張した即値、ZeroExtImm はゼロ拡張した即値である。命令実行前、すべてのレジスタとメモリにはゼロが書き込まれているものとする。以下の問に答えよ。

A 32-bit word RISC processor has instruction formats and supports an instruction set listed in Table (a). For example, "add" is an R-type instruction that writes the sum of contents of registers R[rs] and R[rt] to register R[rd]. "lw" is an I-type instruction that reads data from memory at the address given by adding an immediate to the contents of R[rs] and writes it to register R[rt], where R[x] and M[x] represent a register of and a memory of address x, respectively.

Here, op, funct, and shamt fields denote opcode, function code, and shift amount, respectively. Imm, SignExtImm, and ZeroExtImm, represent immediate, sign extended immediate, and zero extended immediate, respectively. All register and memory contents are zero before the instructions are executed. Answer the questions below.

- (a) 図 (a) に示すアセンブリ・コード 1, 2, 3 を機械語命令に翻訳し、それぞれ 16 進数で書け。翻訳の手順も示すこと。

Answer hexadecimal machine codes translated from assembly code instructions 1, 2, and 3 in Figure (a). Also show the translation process.

- (b) 図 (a) に示すアセンブリ・コード 1, 2, 3 を順に実行する。各命令の実行により値が変化するレジスタまたはメモリを、各命令実行後の値とともに 16 進数で示せ。必要であれば、エンディアンは任意に定義してよい。

Assume assembly code instructions 1, 2, and 3 in Figure (a) are sequentially executed. Answer the changes in register or memory values in hexadecimal after each instruction is executed. Define endian if necessary.

表 (a) 命令形式と命令セット (表内の数字はすべて 10 進数).

Table (a) Instruction formats and instruction set (all numbers in this table are decimal).

命令 Inst- ruction	形式	フィールド						アセンブリ・コード
	Format	Field						Assembly code
	R width	op 6b	rs 5b	rt 5b	rd 5b	shamt 5b	funct 6b	動作
	I width	op 6b	rs 5b	rt 5b	Immediate 16b			Operation
add	R	0	rs	rt	rd	0	32	add rd, rs, rt addition: $R[rd] = R[rs] + R[rt]$
sub	R	0	rs	rt	rd	0	34	sub rd, rs, rt subtraction: $R[rd] = R[rs] - R[rt]$
and	R	0	rs	rt	rd	0	36	and rd, rs, rt logical AND: $R[rd] = R[rs] \& R[rt]$
or	R	0	rs	rt	rd	0	37	or rd, rs, rt logical OR: $R[rd] = R[rs] R[rt]$
nor	R	0	rs	rt	rd	0	39	nor rd, rs, rt logical NOR: $R[rd] = \sim(R[rs] R[rt])$
addi	I	8	rs	rt	Imm			addi rt, rs, Imm add immediate: $R[rt] = R[rs] + \text{SignExtImm}$
andi	I	12	rs	rt	Imm			andi rt, rs, Imm AND immediate: $R[rt] = R[rs] \& \text{ZeroExtImm}$
ori	I	13	rs	rt	Imm			ori rt, rs, Imm OR immediate: $R[rt] = R[rs] \text{ZeroExtImm}$
lw	I	35	rs	rt	Imm			lw rt, Imm(rs) load word: $R[rt] = M[R[rs] + \text{SignExtImm}]$
sw	I	43	rs	rt	Imm			sw rt, Imm(rs) store word: $M[R[rs] + \text{SignExtImm}] = R[rt]$
sll	R	0	0	rt	rd	shamt	0	sll rd, rt, shamt logical shift left: $R[rd] = R[rt] \ll \text{shamt}$
srl	R	0	0	rt	rd	shamt	2	srl rd, rt, shamt logical shift right: $R[rd] = R[rt] \gg \text{shamt}$
sra	R	0	0	rt	rd	shamt	3	sra rd, rt, shamt arithmetic shift right: $R[rd] = R[rt] \gg \text{shamt}$

Instruction 1: ori R[10], R[0], 4097

Instruction 2: sll R[9], R[10], 16

Instruction 3: sw R[9], 32(R[9])

図 (a) アセンブリ・コード (数値は全て 10 進数)

Figure (a) Assembly code instructions (all numbers in this figure are decimal).

- (2) プロセッサがダイレクト・マップ・データ・キャッシュを介して図 (b) に示す主記憶のアドレス (16 進数で記載) へ上から順にアクセスする。データ・アクセスはすべて語 (1 語は 4 バイト) 単位で行われ、図 (b) に示すとおり load と store の 2 種類がある。このキャッシュはライト・バック・キャッシュであり、タグが 16 ビット、セット番号 (インデックス) が 12 ビット、キャッシュ・ブロックは 4 語からなっている。図 (b) に示す “data to be stored” は、主記憶に書き込まれるデータ (16 進数で記載) を表す。このキャッシュの一部には当初は表 (b) に示すデータが格納されており、すべて有効である。次の問に答えよ。

A processor accesses a main memory through a direct-mapped data cache according to the memory addresses (represented in hexadecimal) shown in Figure (b) from top to bottom. Data is accessed in unit of word (1-word = 4-byte), and each access is either a load or a store as shown in Figure (b). The cache is a write-back cache with a 16-bit tag field and a 12-bit set number (index) field, and four words in a cache block. The “data to be stored” shown in Figure (b) represents data (represented in hexadecimal) to be written to the main memory. A part of the cache is initially set as shown in Table (b) and all the data is valid. Answer all the questions below.

- (a) 図 (b) に示すアドレスごとのアクセスがそれぞれヒットするかミスするかをその理由と合わせて示せ。

Answer whether each access to the address shown in Figure (b) is a hit or a miss. Also explain the reason of your answer.

- (b) 図 (b) に示す全てのアドレスへのアクセスが完了した後に、4c284c00, 4c204c2c, 4c204c38 で始まる主記憶アドレスに格納されているデータ語の値をそれぞれその理由と合わせて示せ。データの値が不明な場合は、理由とともにその旨答えよ。

Show values of data words in addresses of the main memory starting at 4c284c00, 4c204c2c, and 4c204c38 once all the accesses shown in Figure (b) have completed. Also explain the reason of your answer. If the data value is unknown, describe the reason.

Address	Access type	Data to be stored
4c284c00	store	00000001
4c204c2c	store	00000002
4c204c18	store	00000003
4c204c00	load	_____
4c284c38	load	_____

図 (b) メモリアクセス系列

Figure (b) Sequence of memory accesses.

表 (b) データ・キャッシュの一部に記憶されたデータ

Table (b) Data in a part of data cache.

タグ Tag (2 進数/binary)	ダーティフラグ Dirty flag (2 進数/binary)	セット番号 Set number (2 進数/binary)	ブロック内の語の値 Values of words in a block (16 進数/hexadecimal)			
			11	10	01	00
0100 1100 0010 1000	0	0100 1100 0000	518ae45b	eb1ed594	1ffc6699	be4816f9
0100 1100 0010 1000	1	0100 1100 0001	320ce5cc	27571bec	ed69a07b	6be99dd7
0100 1100 0010 0000	0	0100 1100 0010	2fa145f0	d6addfc7	dda6674a	874fa835
0100 1100 0010 0000	1	0100 1100 0011	4e7c0f13	4bf661ab	0bb50d10	1d442dc3

(English translation is given on the next page.)

本設問ではアルファベット $\{A, C, G, T\}$ 上の記号列を扱う。

二つの記号列 $Z = Z_1Z_2\ldots Z_k$ と $X = X_1X_2\ldots X_m$ について、 $i_1 < i_2 < \cdots < i_k$ 及びすべての $j \in \{1, \ldots, k\}$ に対し $X_{i_j} = Z_j$ を満たす整数 $i_1, i_2, \ldots, i_k \in \{1, \ldots, m\}$ が存在するとき、 Z を X の部分列と呼ぶ。例えば、 $Z = ACGA$ は $X = AGCGTAG$ の部分列 ($i_1 = 1, i_2 = 3, i_3 = 4, i_4 = 6$) である。また、二つの記号列 X と Y について、記号列 Z がそれぞれ X と Y の部分列であるとき、 Z は X と Y の共通部分列であるという。

二つの記号列 $X = X_1X_2\ldots X_m$ と $Y = Y_1Y_2\ldots Y_n$ を考える。ただし、 m と n は任意の正の整数である。以下のすべての問に答えよ。

- (1) 以下の例($m = 7$ と $n = 6$)について、 X と Y の共通部分列をすべて求めよ。

$$X = AGCGTAG \quad Y = GTCAGA$$

この例において、共通部分列の最大の長さも求めよ。

- (2) 任意の $i \in \{1, \ldots, m\}$ と $j \in \{1, \ldots, n\}$ に対し、 $X_1X_2\ldots X_i$ と $Y_1Y_2\ldots Y_j$ の共通部分列の最大の長さを $l_{i,j}$ とする。すべての $i \in \{1, \ldots, m\}$ と $j \in \{1, \ldots, n\}$ に対し、以下の式が成り立つことを証明せよ。

$$l_{i,j} = \begin{cases} l_{i-1,j-1} + 1 & \text{if } X_i = Y_j \\ \max(l_{i,j-1}, l_{i-1,j}) & \text{if } X_i \neq Y_j \end{cases}$$

ただし、この式ではすべての $i \in \{0, \ldots, m\}$ と $j \in \{0, \ldots, n\}$ に対し、 $l_{i,0} = 0, l_{0,j} = 0$ と置く。

- (3) 問(2)の式を用いて、問(1)の例における $l_{i,j}$ の値をすべての $i \in \{1, \ldots, 7\}$ と $j \in \{1, \ldots, 6\}$ に対して求めよ。
- (4) 問(2)の式を用いて、 X と Y の共通部分列の最大の長さを $O(mn)$ 時間で求めるアルゴリズムを構成せよ。
- (5) X と Y の最長共通部分列（すなわち、長さ $l_{m,n}$ の共通部分列）の一つを $O(mn)$ 時間で求めるアルゴリズムを構成せよ。

In this problem we consider strings over the alphabet $\{A, C, G, T\}$.

We say that a string $Z = Z_1Z_2 \dots Z_k$ is a substring of a string $X = X_1X_2 \dots X_m$ if there exist integers $i_1, i_2, \dots, i_k \in \{1, \dots, m\}$ such that $i_1 < i_2 < \dots < i_k$ and $X_{i_j} = Z_j$ for each $j \in \{1, \dots, k\}$. For instance, $Z = ACGA$ is a substring of the string $X = AGCGTAG$, corresponding to $i_1 = 1, i_2 = 3, i_3 = 4, i_4 = 6$. Given two strings X and Y , we say that a string Z is a common substring of X and Y if Z is a substring of both X and Y .

We now consider two strings $X = X_1X_2 \dots X_m$ and $Y = Y_1Y_2 \dots Y_n$, for two arbitrary positive integers m and n . Answer all the following questions.

- (1) Give all the common substrings of X and Y in the following example (corresponding to $m = 7$ and $n = 6$):

$$X = AGCGTAG \text{ and } Y = GTCAGA.$$

Give the maximal length of a common substring of X and Y in this example.

- (2) For each $i \in \{1, \dots, m\}$ and each $j \in \{1, \dots, n\}$, let $\ell_{i,j}$ denote the maximal length of a common substring of the two strings $X_1X_2 \dots X_i$ and $Y_1Y_2 \dots Y_j$. Show that

$$\ell_{i,j} = \begin{cases} \ell_{i-1,j-1} + 1 & \text{if } X_i = Y_j, \\ \max(\ell_{i,j-1}, \ell_{i-1,j}) & \text{if } X_i \neq Y_j, \end{cases}$$

for all $i \in \{1, \dots, m\}$ and all $j \in \{1, \dots, n\}$. Here we use the convention $\ell_{i,0} = 0$ for any $i \in \{0, \dots, m\}$ and $\ell_{0,j} = 0$ for any $j \in \{0, \dots, n\}$.

- (3) Using the formula of Question (2), compute $\ell_{i,j}$ for all $i \in \{1, \dots, 7\}$ and all $j \in \{1, \dots, 6\}$ for the example of Question (1).
- (4) Using the formula of Question (2), describe an algorithm that computes the maximal length of a common substring of X and Y in time $O(mn)$.
- (5) Describe an algorithm that computes a longest common string of X and Y (i.e., a common substring of length $\ell_{m,n}$) in time $O(mn)$.

以下の全ての問に答えよ。(English translation is given below.)

- (1) 計算機のユーザモードとカーネルモード (スーパバイザモード) について説明せよ。また、これらとオペレーティングシステムの関係の説明せよ。
- (2) ユーザモードで禁止される代表的な特権操作を列挙せよ。
- (3) ユーザプログラムからシステムコールを行う手順を説明せよ。通常関数呼び出しとの違いを明確にすること。
- (4) 最小特権の原則を説明せよ。
- (5) マイクロカーネルとモノリシックカーネルの違いを説明し、それぞれの利点・欠点を議論せよ。
- (6) 仮想化システムにおいて、ゲストオペレーティングシステムのシステムコールがどのように実行されるか説明せよ。

Answer all the following questions.

- (1) Explain user mode and kernel mode (also called supervisor mode) of a computer. Also explain their relationship to operating systems.
- (2) Enumerate typical privileged operations which are inhibited in user mode.
- (3) Explain the steps in making a system call from a user program. Differences from a normal function call should be clarified.
- (4) Explain the principle of least privilege.
- (5) Explain the difference between microkernel and monolithic kernel and discuss their advantages and disadvantages.
- (6) Explain how system calls of the guest operating system are executed in a virtualized system.

下記のすべての設問に答えよ。(English translation is given on the next page.)

1. 関係スキーマ

大学(教員, 学生, 学科, 科目番号, 教室)

の上に以下の関数従属性が成立するものとする.

FD_1 : 科目番号 \rightarrow 教室, 学科

FD_2 : 教員 \rightarrow 学科

FD_3 : 学生 \rightarrow 学科

以下の問に答えよ.

- (a) これらの関数従属性を用いて分解法により関係データベーススキーマを設計せよ.
- (b) これらの関数従属性を用いて合成法により関係データベーススキーマを設計せよ.
- (c) (a) と (b) の結果を比較し考察を加えよ.

2. データベース管理システム内で複数のトランザクションから構成されるスケジュールを考える.

あるスケジュールはそのスケジュール中の任意の二つのトランザクション T_i, T_j ($i \neq j$) に対し, 以下のことが成立するならば回復可能なスケジュールであると言う.

T_i が書き込んだデータを T_j が読み込んだ場合は, スケジュールにおいて T_i のコミットが T_j のコミットよりも先に現れる.

以下の問に答えよ.

- (a) 衝突直列化可能であるが, 回復可能ではないスケジュールの例を一つ挙げよ.
- (b) 回復可能であるが, 衝突直列化可能ではないスケジュールの例を一つ挙げよ.

Answer all of the following questions.

1. Consider the relational schema:

Univ(faculty, student, department, class_number, classroom).

Assume that the following functional dependencies hold on **Univ**.

FD₁: class_number → classroom, department,

FD₂: faculty → department,

FD₃: student → department.

Answer the following questions:

- (a) Using these functional dependencies, design a relational database schema by the decomposition method.
 - (b) Using these functional dependencies, design a relational database schema by the synthesis method.
 - (c) Compare the results of (a) and (b), and discuss it.
2. Consider schedules comprising of multiple transactions in database management systems.

A schedule is *recoverable* if the following statement holds for any two transactions T_i and T_j ($i \neq j$) in the schedule:

If T_j reads a data written by T_i , T_i 's commit appears before T_j 's commit in the schedule.

Answer the following questions:

- (a) Give an example of a schedule which is conflict serializable, but is not recoverable.
- (b) Give an example of a schedule which is recoverable, but is not conflict serializable.

B-10

決定木（同定木）学習に関する以下の5つの間に答えよ。

Answer the following five questions about learning decision trees (identification trees).

以下のデータは、属性情報（色，形，匂い）とキノコが食用であるかどうかの関係を示している。ここでは、あるキノコの属性情報が与えられたときに、食用であるかどうかを予測する決定木を作成したい。

The following dataset shows the relation between the attribute information (color, shape, and odor) and whether the mushroom is edible or not. Here, edible means “can be eaten.” The aim here is to build a decision tree for predicting whether a mushroom is edible or not based on the attribute information.

No.	Attributes			Class: Edible?
	Color	Shape	Odor	
1	Brown	Round	Mild	Yes
2	White	Flat	Mild	Yes
3	White	Flat	None	Yes
4	Brown	Flat	None	Yes
5	Brown	Round	None	Yes
6	White	Flat	Strong	No
7	White	Round	Strong	No
8	Brown	Round	Strong	No
9	Red	Round	Mild	No
10	Yellow	Flat	Mild	No
11	Brown	Flat	Mild	No

- (1) できるだけ単純な決定木を獲得したい。このとき、決定木の各節点として用いる属性の選択基準について説明せよ。

We want to obtain the decision tree as simple as possible. Explain the criteria for choosing an attribute that is used for each node of the decision tree.

- (2) 問(1)の解答に基づいて、与えられたデータに関して、決定木の根節点として用いるべき属性を答えよ。選んだ属性がどのように選択基準を満たしているかも説明せよ。

Based on the answer for question (1), give an attribute that is used for the root node of the decision tree for the above data. Also, explain how the selected attribute satisfies the criteria.

- (3) 問(1)の解答に基づいて、与えられたデータを学習して得られる決定木を示せ。

Based on the answer for question (1), draw the full decision tree that would be learned for the above data.

- (4) 非食用キノコに対して学習された決定木をルール集合として表現せよ。また、簡単化が可能な場合には、簡単化したルール集合も示せ。

Write the learned decision tree for inedible mushrooms as a set of rules. Also, if simplification is possible, write a set of simplified rules.

- (5) ニューラルネットを用いて得られる識別器と比較して，決定木の利点を説明せよ.

Explain the advantages of decision trees, compared to the classifiers obtained by neural networks.