**实验四 JFET-CS放大电路测试报告**

**班级： 姓名：**

**实验目的：**

学习了解场效应晶体管放大电路的基本结构、原理、测试过程。通过实验、仿真，了解JFET主要参数的获取、电路的静态工作点、增益等参数的计算和测试方法。

**注意：实验开始前请阅读后续的两个附录。**

**实验设备及器件：**

笔记本电脑（软件环境：Multisim13.0、WaveForms2015）

AD2口袋仪器

电容：0.1μF（独石或瓷片等无极性电容） 10μF（电解电容）

电阻： 300Ω、1kΩ、10kΩ、100kΩ

FET：2SK30A（或其他JFET，封装为TO-92）

面包板、杜邦线

**实验内容：**

电路如图4.1所示。



图4.1实验电路

1. 测量FET的主要参数（Voff、IDSS）

鉴于FET参数非常分散，例如2SK30A，其后缀为GR(2SK30AGR)漏极饱和电流IDSS的范围是2.6—6.5mA，截止电压Voff的范围为-0.4⁓-5V（具体手册参数见附件）。因此本实验需要先行测试元件的主要参数，所实际测得的参数用于计算电路静态工作点及增益等，也用于修改仿真软件模型参数，以便获得相对准确的仿真结果。

在面包板上搭建图4.2（a）电路（栅源为0偏压，即：VGS=0），测试此时源极电阻的电压，进而得到源极（也是漏极）电流，该电流就是漏极饱和电流IDSS。再通过图4.2（b）电路（静态自给偏压偏置电路）测源极电阻两端电压，从而得到此时的栅源电压及漏极电流，也就是得到一个栅源的负偏压值VGS及漏极电流ID，利用这两个值并通过漏极电流公式计算出Voff。填入表4-1。



图4.2 FET参数测试电路

公式：

表4-1 实测FET主要参数

|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | IDSS（测试得出） | Voff（计算得出） |  |
| 数值 |  |  |  |

1. 用得到的参数IDSS、Voff修改仿真模型：在仿真软件中结型场效应晶体管的模型是Shichman-Hodges模型，需要根据测得的参数修改Multisim模型中的两个参数：截止电压VT0及跨导系数BETA（β）。修改后的模型用于仿真（注意：跨导系数不是理论教学中的跨导gm）。





1. 搭建图4.1电路，计算、仿真及测试静态工作点，并填入表4-2：
2. 通过理论计算计算IDQ、VGSQ并填入表4-2。

1. 使用新建的模型仿真静态工作点并填入表4-2。
2. 通过测试源极电阻直流电压，获取静态工作点并填入表4-2。

表4-2 FET电路的主要静态和动态参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 静态IDQ | 静态VGSQ | 静态VDSQ | 交流电压增益Av |
| 计算值 |  |  |  |  |
| 仿真值 |  |  |  |  |
| 测试值 |  |  |  |  |

1. 理论计算增益，并测试、仿真输入输出波形，仿真和测试时选择输入峰值50mV 1kHz正弦信号。屏幕拷贝波形于下方，并通过输入、输出信号的峰-峰值之比计算仿真及测试的增益值，将计算、仿真、测试的增益值填入表4-2。

（1）理论计算增益：





（2）仿真输入、输出波形，并贴于下方：

图4.3 仿真所得输入、输出波形（屏幕拷贝贴图）

仿真增益为：



（3）搭建电路并使用AD2实测输入、输出波形，并贴于下方

图4.4 测试所得输入、输出波形（屏幕拷贝贴图）

测试增益为：



1. 思考并回答：

（1）为什么输入端可以使用较低容量的耦合电容（0.1μF），而输出端使用10μF的耦合电容？

（2）若将FET的源极与漏极对调，电路的参数（如静态工作点、交流增益等）会如何变化？为什么？

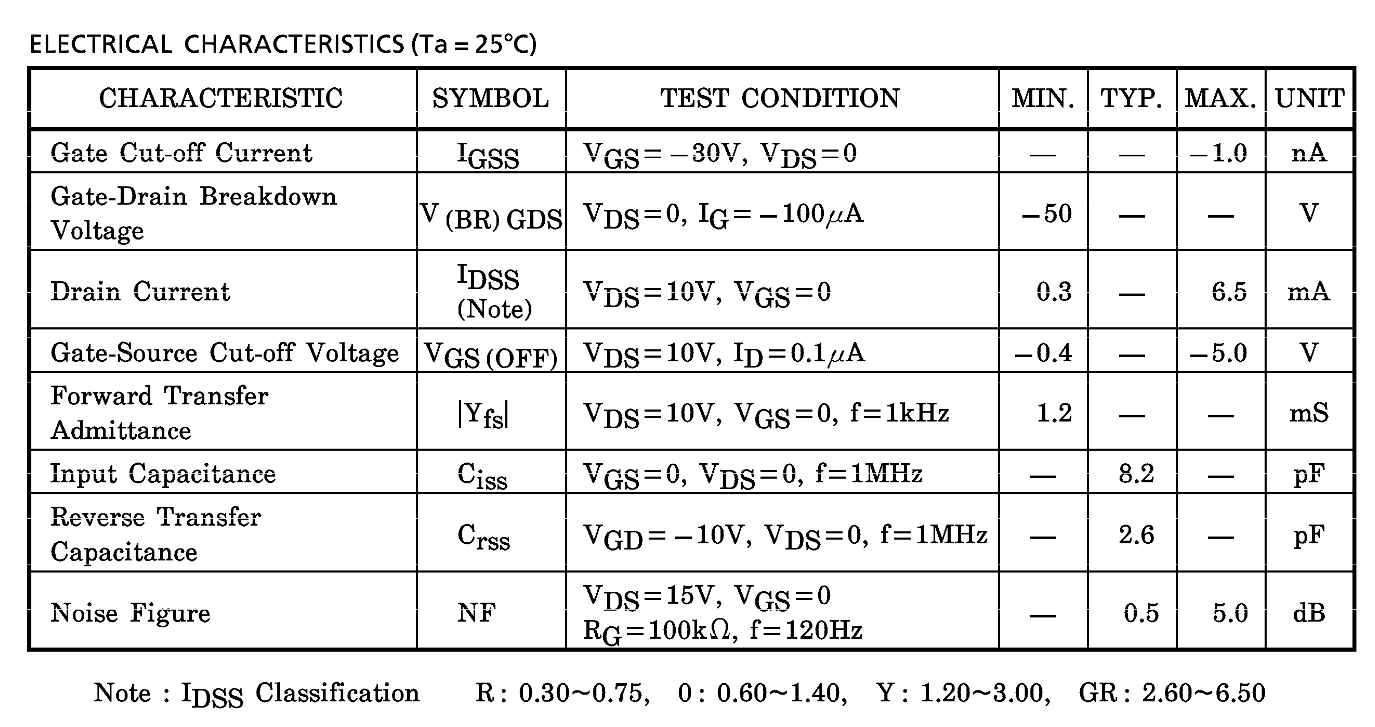
（3）若源极电阻并联一个旁路电容，工作点及交流增益将如何变化？

（4）若漏极电阻增大到多少时，FET将工作于可变电阻区？

（5）如果负载RL减小，本级的增益将会减小、不变、增大？

1. 分析计算、仿真、测试误差的来源。
2. 本部分实验体会。

附录一 2SK30A参数



附录二 结型场效应晶体管JFET Shichman-Hodges模型

仿真时需要通过测试得到夹断电压Voff及饱和电流IDSS。并修改模型参数中的： 

