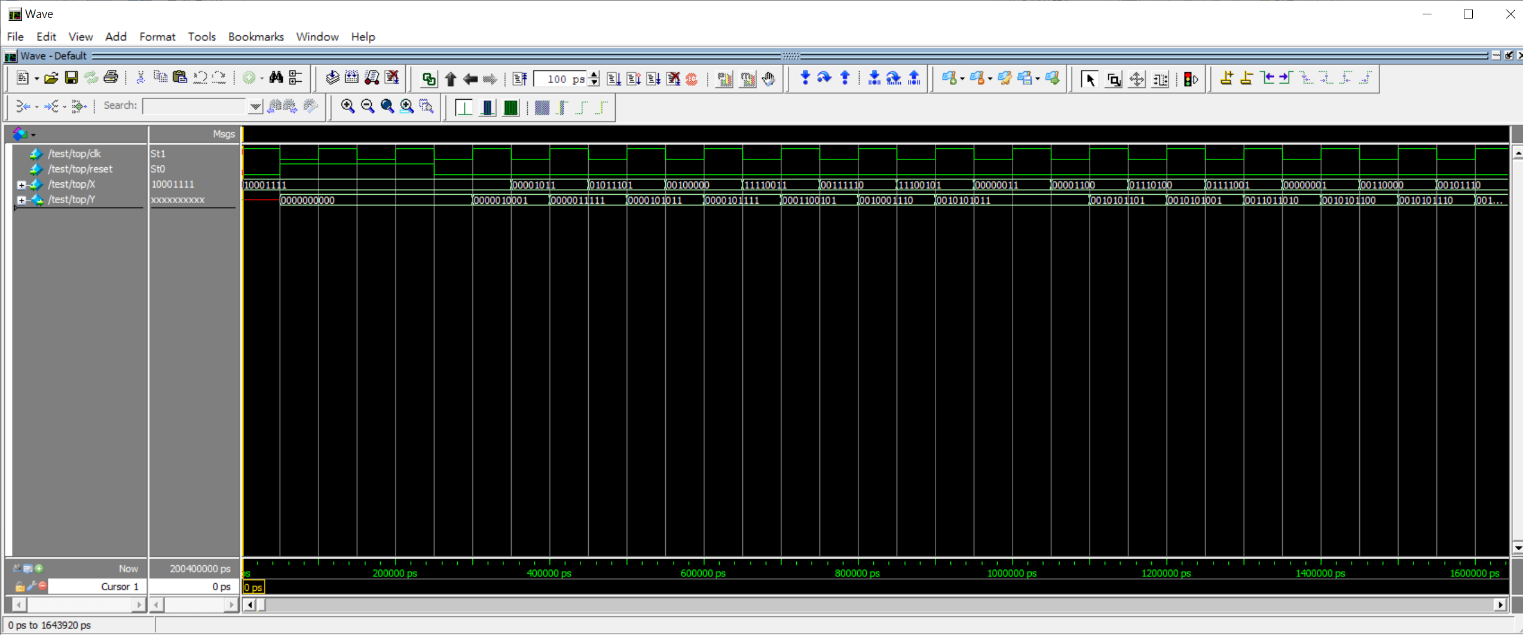
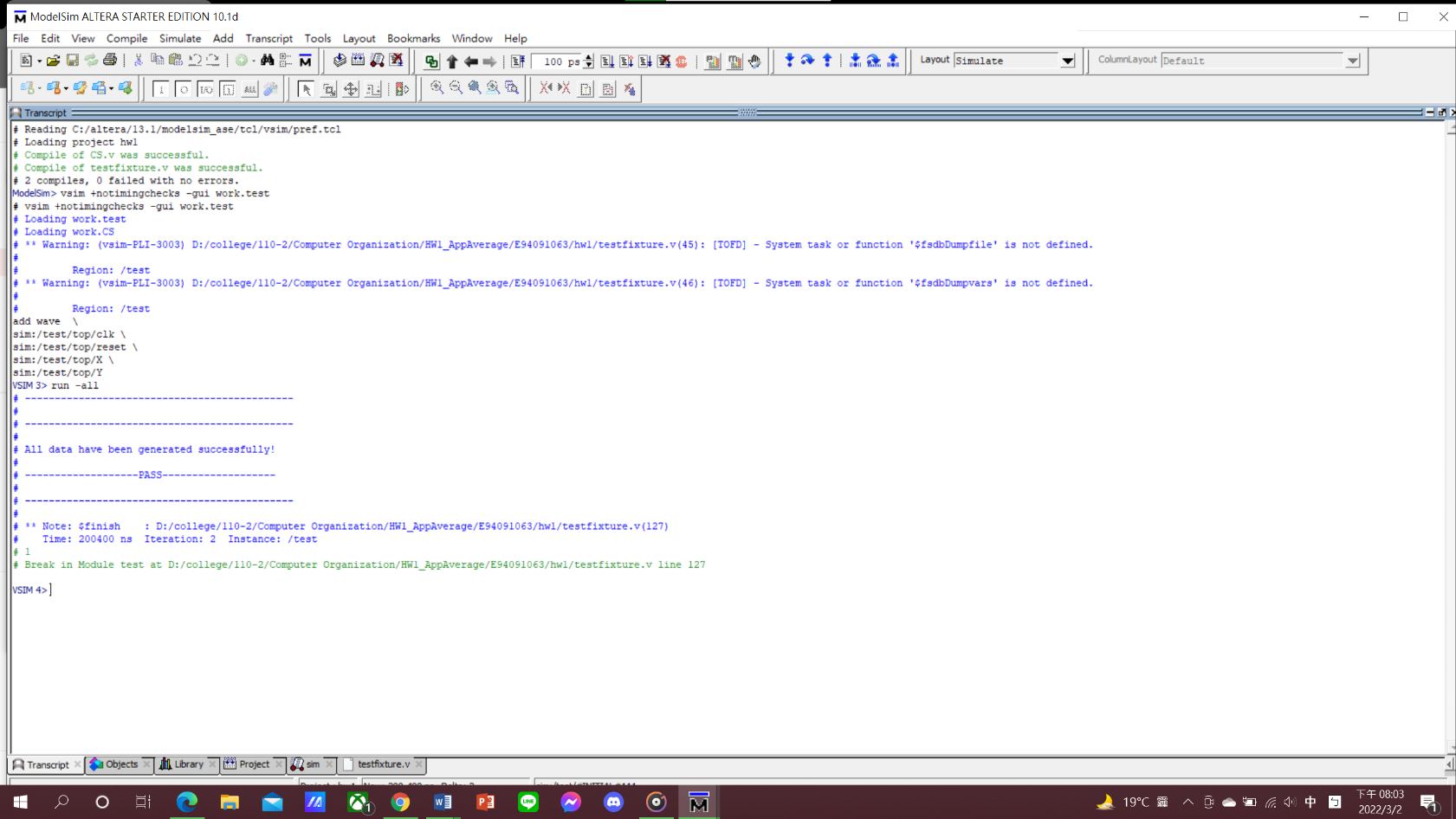
**Computer Organization 2022**

**HOMEWORK 1**

系級: 資訊113 學號: E94091063 姓名: 鄭鈞智

**實驗結果圖:**

(波形圖及模擬完成截圖)



**程式運作流程:**

(簡單說明波形變化的意義)

每次收到clk的positive edge時，若同時reset屬於正輸入，則重置目前資料（單純收到reset的positive edge也會重置目前資料）。若收到clk的positive edge且無reset正輸入，則會做一次運算得到Y輸出。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

這是我第一次使用Modelsim。本次作業讓我學會如何操作Modelsim，以及如何用testbench來跑模擬。因為我在Verilog上也沒什麼基礎，所以在開學前兩週時我都在惡補Verilog，幸好老師在課堂上講解很多關於Verilog撰寫方法與觀念，讓我寫這份作業順利許多。寫這份作業時，除了不熟悉Verilog之外，一開始我也對介面不熟悉，像是一開始無法在Modelsim寫Verilog程式碼，以及有一陣子點不出Object頁面導致無法跑波形圖，還有模擬時常常跳出hold up time error的錯誤訊息等等。不過助教們都很罩也很貼心，寄信問問題助教都會回覆，最終得以完成此作業。