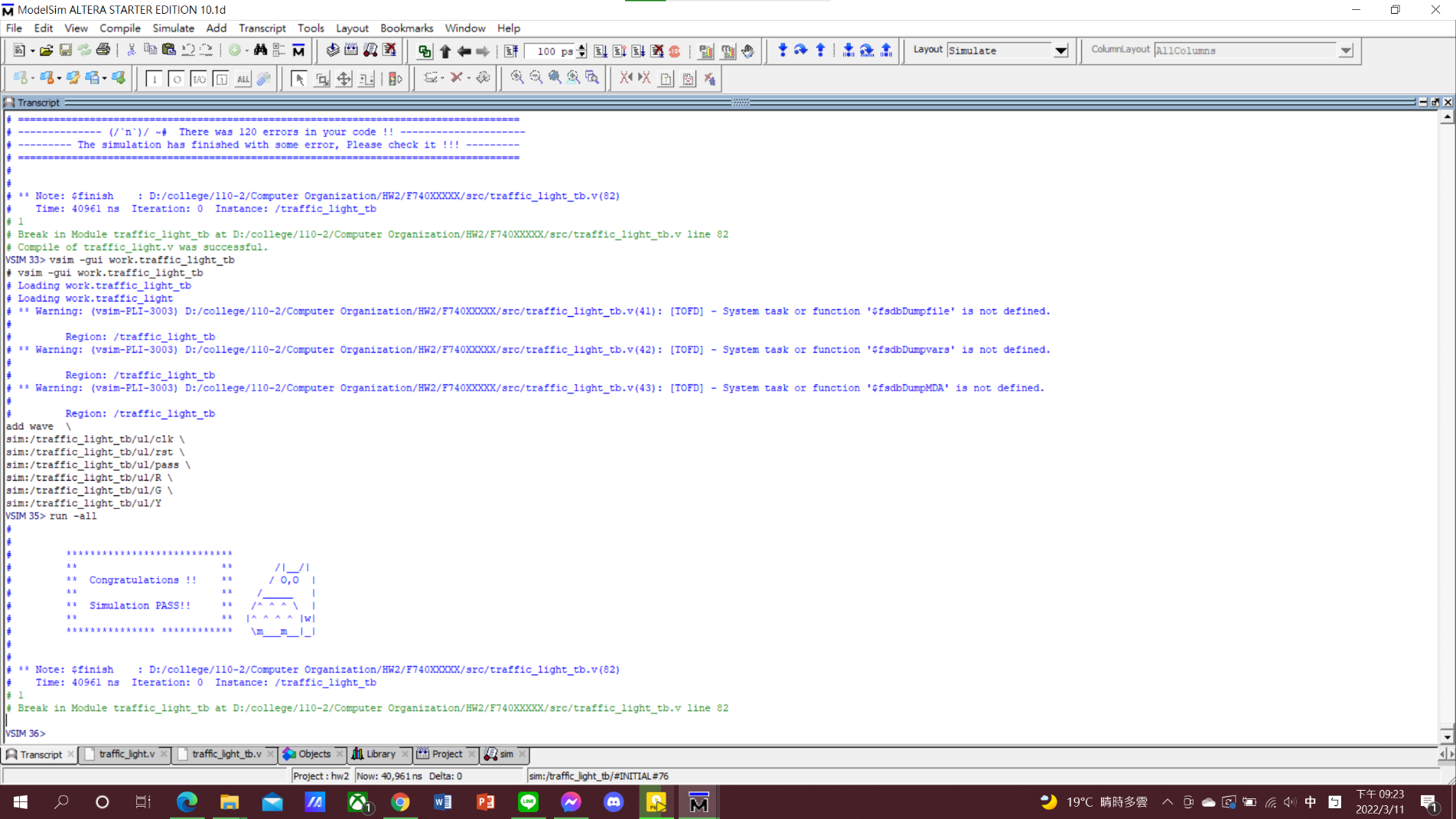
**Computer Organization 2022**

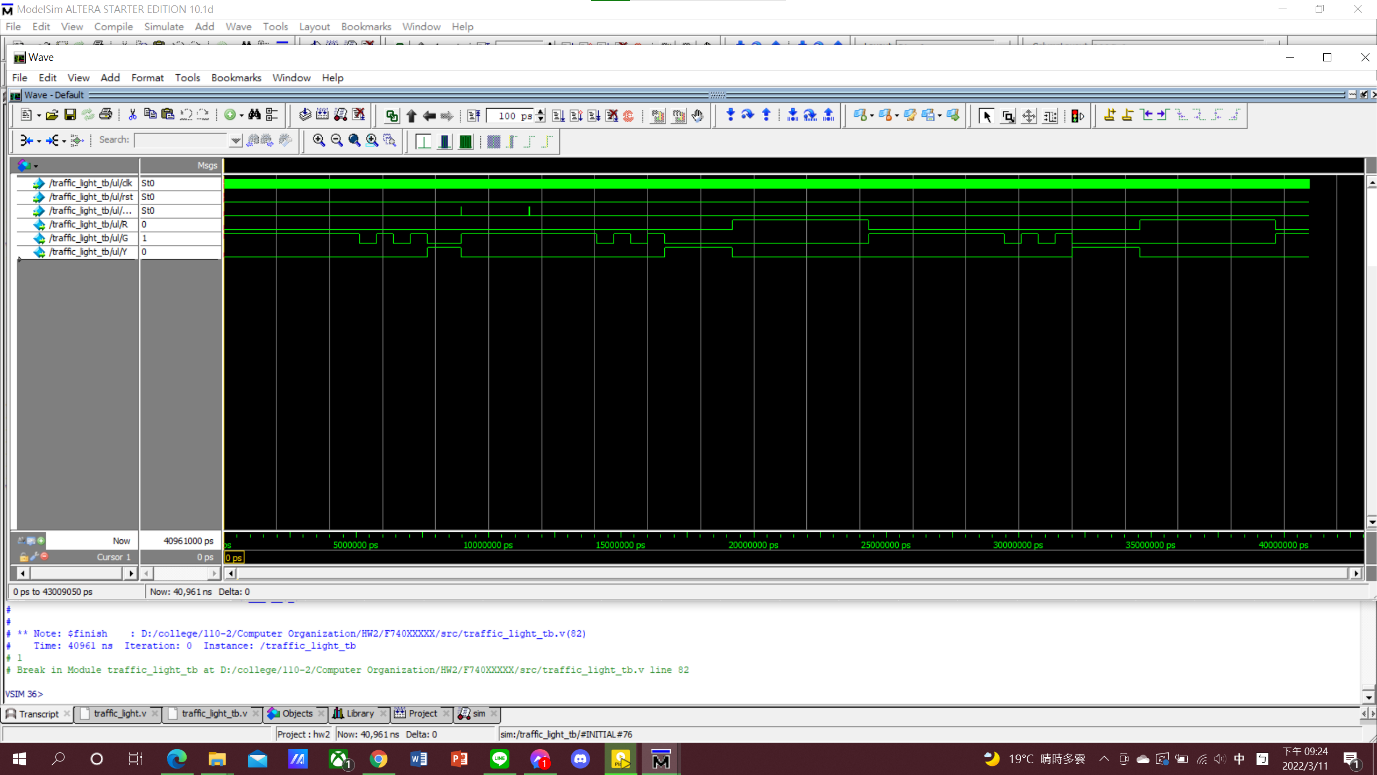
**HOMEWORK 2**

系級: 資訊113 學號: E94091063 姓名: 鄭鈞智

**實驗結果圖:**

(波形圖及模擬完成截圖)

****

****

**程式運作流程:**

(簡單說明波形變化的意義)

rst會重進行重置（紅綠燈狀態、cycle數）。每次到clk的posedge時，若pass（在我的波形圖中為rst下面那條）為0或是pass為1且目前狀態在初始綠燈狀態（512 cycles那個綠燈狀態）時，則繼續累加cycle數，並將next state輸入至current state。若到了clk的posedge，pass為1且current state不為初始狀態時，則回到初始綠燈狀態並且cycle數重置。

波形圖中的R、G、Y個別代表紅燈、綠燈、黃燈輸出。若輸出為1，屬於激活（亮燈）狀態，並且同時至多亮一個燈。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

本次比較熟悉Modelsim介面及Verilog撰寫方法了，因此作業完成速度也快了很多。本次作業讓我學到實際撰寫Moore Machine架構。這次寫紅綠燈時有注意將code分為State Register, Next State Logic, Output Logic三個區塊，在每次接收clk訊號時將next state存入current state中。本次作業遇到最大的問題是clk重置時要將cycle重置為1（以我的code邏輯），一開始重置為0時，常常出現錯誤，而且連錯的號碼數是遞增（line 512, line 576, line 577…）當時就有思考是我重置cycle時出問題，果然重置為1後就正常了。

非常感謝老師在學期前3週教我們Verilog，這對我寫作業受益良多。