

TXW80X 硬件设计指南



责任与版权

责任限制

由于产品版本升级或者其他原因，本文档会不定期更新。除非另行约定，泰芯半导体有限公司对本文档所有内容不提供任何担保或授权。

客户应在遵守法律、法规和安全要求的前提下进行产品设计，并做充分验证。泰芯半导体有限公司对应用帮助或客户产品设计不承担任何义务。客户应对其使用泰芯半导体有限公司的产品和应用自行负责。

在适用法律允许的范围内，泰芯半导体有限公司在任何情况下，都不对因使用本文档相关内容及本文档描述的产品而产生的损失和损害进行超过购买支付价款的赔偿（除在涉及人身伤害的情况中根据适用的法律规定的损害赔偿外）。

版权申明

泰芯半导体有限公司保留随时修改本文档中任何信息的权利，无需提前通知且不承担任何责任。

未经泰芯半导体有限公司书面同意，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。除非获得相关权利人的许可，否则，任何人不能以任何形式对前述软件进行复制、分发、修改、摘录、反编译、反汇编、解密、反向工程、出租、转让、分许可等侵犯本文档描述的享有版权的软件版权的行为，但是适用法禁止此类限制的除外。

修订记录

日期	版本	描 述	修订人
2022-05-30	V1.0	初始版本	YJZ

目录

TXW80X 硬件设计指南.....	1
1. 最小系统.....	4
1.1. 电源.....	4
1.1.1. 外部供电电源.....	4
1.1.2. 内部集成电源:	6
1.1.3. BUCK 模块电源:	7
1.2. 晶振.....	8
1.2.1. 无源晶振.....	8
1.2.2. RTC 时钟晶振 (可选)	10
1.2.3. 有源晶振 (可选)	10
1.3. 复位和 Watchdog 电路.....	11
1.4. Debug 接口.....	11
2. 射频 (RF)	12
3. 外设接口.....	14
3.1. 高速接口.....	14
3.1.1. SD host/SDIO device.....	14
3.1.2. QSPI.....	16
3.1.3. DVP.....	16
3.1.4. USB2.0.....	16
3.1.5. SPI.....	17
3.1.6. RMII MAC.....	17
3.2. 低速接口.....	18
4. 热设计建议.....	18
4.1. 器件布局.....	18
4.2. PCB 走线处理.....	18

1. 最小系统

1.1. 电源

TXW80X 系列需要外部供电的电源包括：VCCPA、VCCRF、VCC1、VCC、VCCA。内部集成的电源包括：VDD、VCAM、VDD150（VDD15L、VDD15R 均由 VDD150 供电）。在采用单电源供电时，选取的电源芯片输出电流应可达 500mA 及以上。

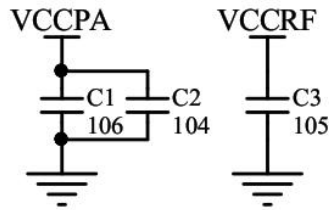
其中，每个电源引脚定义如下：

1.1.1. 外部供电电源

1.1.1.1. 射频电源

- VCCPA：射频 PA 供电电源，推荐供电电压 3.3V。在 TX 时，VCCPA 瞬间抽电较大，建议在靠近 VCCPA 引脚处放置 106+104 滤波电容。

- VCCRF：射频模块供电电源，推荐供电电压 3.3V。VCCRF 需要有自己的滤波电容，推荐值 105 以上，靠近 VCCRF 引脚放置，且不能与 VCCPA 共用。



射频电源在 PCB Layout 时需要采用星型走线：以 24pin 封装为例，VCCPA、VCCRF、VCC1，同样是 3.3V 供电，PCB Layout 时，三个供电走线先各自走到自己的滤波电容后再接入底层电源主干道，避免引脚间的噪声耦合。

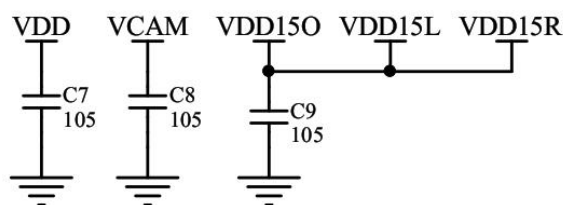
其中，VCCPA 瞬间抽电较大，走线需要加粗。

1.1.2. 内部集成电源:

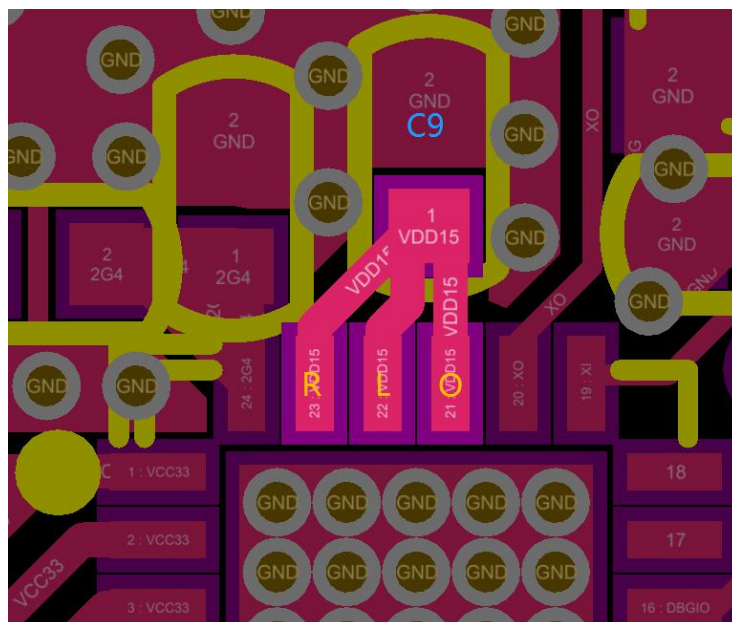
- VDD: 内部 LDO 输出电压, 来源于 VCCD, 为保证系统稳定, 需要在靠近 VDD 引脚位置放置一个 105 以上电容。

- VCAM: 内部 LDO 输出电压, 来源于 VCC, 支持 1.5V、1.8V、2.5V、2.8V、3.3V (Power Gate), 可用于 Camera Sensor 等外设供电, 默认不输出。在方案应用时, 需要在靠近 VCAM 引脚位置放置一个 105 以上电容。如果不需要使用, 此引脚可浮空。

- VDD150: 内部 LDO 输出电压, 来源于 VCCA, 用于给 VDD15L、VDD15R 供电, 在设计时, VDD150、VDD15L、VDD15R 三个引脚短接, 且在靠近引脚位置放置一个 105 以上电容。



VDD150、VDD15L、VDD15R 在 PCB Layout 时需要各自走线至电容节点短接, 以 24pin 封装为例:



1.1.3. BUCK 模块电源:

TXW80X 系列在 BUCK 应用时，可以开启内部 BUCK 电路模块，封装上多出 3 个电源引脚：VCCP、BOUT、VCCD，其中：

PWM 频率默认设置为 1MHz，可以软件微调频率：

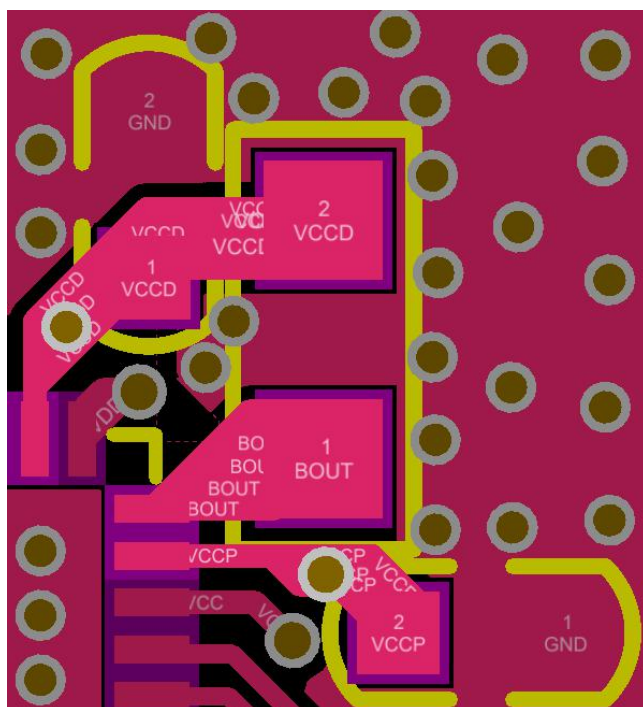
- VCCP：BUCK 模块外接电源输入脚，推荐供电电压 3.3V。需要在靠近 VCCP 引脚位置放置一个 106 电容，推荐 106+104。

- BOUT：BUCK 模块外接电感引脚，推荐电感值为 4.7uH，自谐振频率大于 10MHz，DCR<400mOHM，饱和电流 400mA 以上。

- VCCD：BOUT 外接电感的另一端接入 VCCD，同时外接到 VDD150/VDD15L/VDD15R。需要在靠近 VCCD 引脚位置放置一个 106 电容，推荐 106+104；

VCCD：VCCD 是内部 VDD 的输入电源，在非低功耗应用时，VCCD 外接 3.3V，且需要在靠近 VCCD 引脚位置放置一个 105 以上电容。在低功耗应用时，请参考 1.1.3 低功耗 BUCK 模块电源关于 VCCD 的描述。

以 32pin 封装为例，PCB Layout 时，BOUT、电感、VCCD 连线尽量粗短（其中 BOUT 连线需要最短），滤波电容靠近芯片引脚，电容的 GND 打过孔走底层快速回到芯片的大地。GND 的连接不能被其它走线切断，以保证电感电容以及芯片形成的辐射圈尽量小。电感下方可以考虑铺地，以获取更优的板级 EMI 性能；



1.2. 晶振

1.2.1. 无源晶振

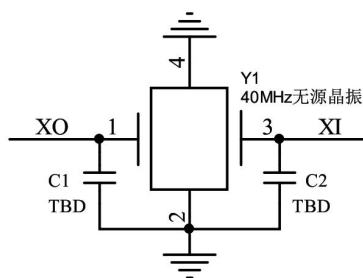
TXW80X 系列支持 24MHz -- 40MHz 无源晶振，默认推荐 40M，CL 为 15pF 电容的晶振。

晶振外部匹配电容 C1、C2 具体值需要通过对系统测试后进行调节确定。晶振的选型规格推荐如下，在不确定晶振的规格时，不建议使用此晶振：

No.	Item	Symb.	Electrical Specification				Remark
			Min.	Typ.	Max.	Units	
1	Nominal Frequency	F0	40.000000				MHz
2	Mode of Vibration		Fundamental				
3	Frequency Tolerance	$\Delta F/F0$	-10	-	10	ppm	At 25°C±3°C
4	Operating Temperature Range	T _{OPR}	-30	-	85	°C	
5	Frequency Stability (over operating temperature)	TC	-10	-	10	ppm	Ref. to 25°C
6	Storage Temperature	T _{STG}	-55	-	125	°C	
7	Load capacitance	CL	-	15	-	pF	
8	Equivalent Series Resistance	ESR	-	-	20	Ω	
9	Drive Level	DL	-	100	200	μW	
10	Insulation Resistance	IR	500	-	-	MΩ	At 100V _{DC}
11	Shunt Capacitance	C0	-	-	3	pF	
12	Aging Per Year	Fa	-2	-	2	ppm	First Year

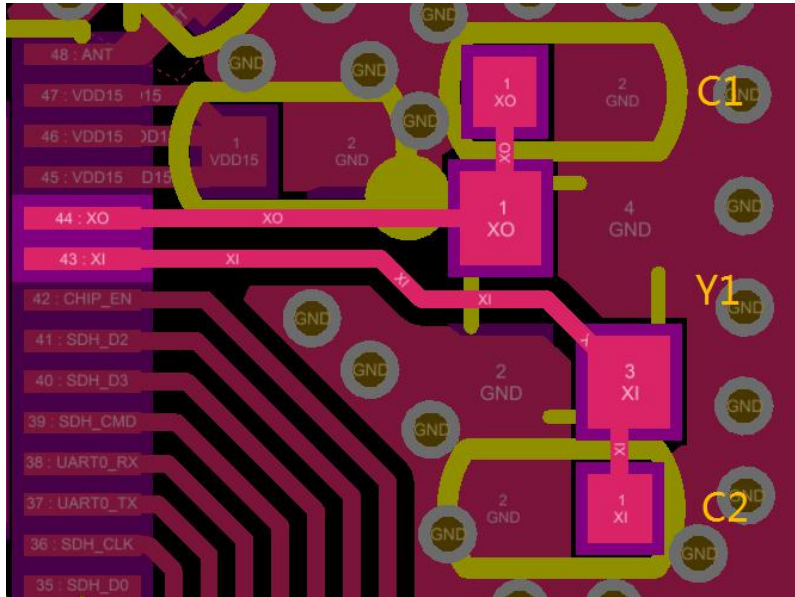
其中，第 1/3//5/7 项是关键参数，晶振选型时请注意；

在使用外部无源晶振时，电路结构如图所示：



PCB Layout 时，晶振布局布线应当遵循以下几点：

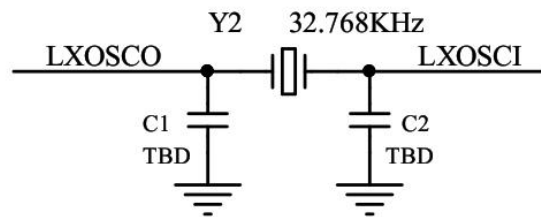
- (1) 晶振尽量远离天线、时钟、高速数据线以及单板边缘（参考值>5mm），建议在空间条件允许的情况下，晶振和天线的距离>10mm。同时晶振走线须用地包起来，周围密集地孔屏蔽隔离。
- (2) 晶振外接的对地调节电容应靠近晶振左右两侧摆放，并尽量置于晶振走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- (3) 晶振周围不能有磁感应器件，比如大电感等，同时需要远离功放等热源，并保证晶振下方以及周围有干净的大面积地平面。



1.2.2. RTC 时钟晶振（可选）

TXW80X 系列既支持外置 32.768KHz 时钟振荡器作为 RTC 睡眠时钟，也支持外部激励信号（如有源晶振）作为 RTC 睡眠时钟。RTC 时钟引脚为复用功能脚，在不需要 RTC 时钟情况下，LXOSCO 和 LXOSCI 可作为普通 I/O 口，分别对应 PA12 和 PA13，需要通过软件进行切换；

外置 32.768KHz 晶振的电路如图所示：



RTC 时钟晶振的 PCB Layout 规则跟无源晶振一致。

1.2.3. 有源晶振（可选）

如果使用有源晶振，无论是 40M 有源晶振还是 32.768KHz 有源晶振，将有源晶振的时钟输出通过一个隔直电容（推荐 102）连接至芯片端的 XI 端，XO 端悬空即可。注意需要保证该有源晶振的输出时钟稳定且误差 $\leq \pm 10\text{ppm}$ ，输入到 XI 的峰峰值不能超过 1.1V。

有源晶振的 PCB Layout 规则跟无源晶振一致。

1.3. 复位和 Watchdog 电路

TXW80X 系列集成内部 POR (Power On Reset) 电路以及 Watchdog。芯片复位通过 CHIP_EN 拉低实现，CHIP_EN 内部默认 100K 上拉至芯片 VCC，如果不需要复位操作，此引脚可浮空。

PCB Layout 时，在条件允许情况下，CHIP_EN 引脚需要在板上预留测试点，用于辅助测试。

在特殊应用场合，为防止外界干扰引起重启，CHIP_EN 引线需尽量短一些，且最好在靠近芯片引脚处预留对地电容位置。

推荐电路（可选）：



1.4. Debug 接口

TXW80X 系列包含两个 debug 接口：PA9 (DebugIO)、PA10 (DebugCLK)，内部默认 10K 上拉。

在使用 debug 功能时，debug 接口不能外挂大电容，不能外接大负载。PC 可通过 PA9、PA10 连接 CKLINK 调试 CPU。

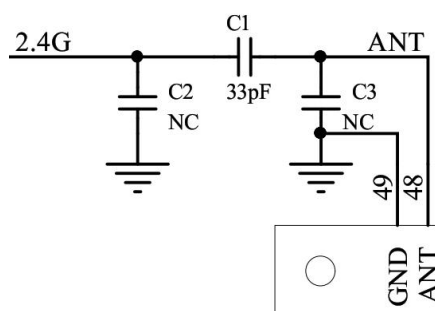
在不使用 debug 功能时，debug 接口可复用为普通 GPIO，需要通过软件来设置。

PCB Layout 时，debug 接口需要在板上预留测试点，方便产品调试。同时 PA8，CHIP_EN 也需要预留测试点，用于辅助测试。

2. 射频 (RF)

TXW80X 系列的射频引脚为 ANT 引脚，硬件设计时需要在靠近芯片 ANT 引脚处预留 π 型匹配网络，射频 PCB 走线做 50R 阻抗匹配。

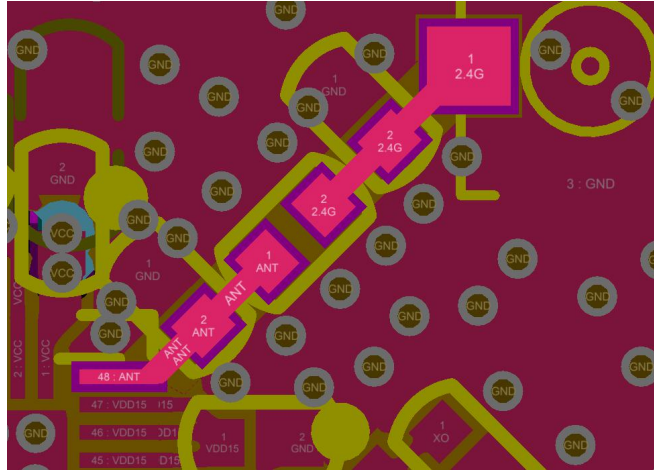
以 TXW806 为例：其中，C1 为隔直电容，C2/C3 不贴，预留位置。



PCB Layout 时应注意：

- (1) RF 前端 π 型匹配电路尽量靠近芯片放置，需要预留 ESD 保护电感位置。如果 C3 位置已焊接匹配电感，那么不需要再焊接 ESD 保护电感；否则需要焊接 ESD 保护电感；ESD 保护电感的推荐值是 12nH；
- (2) 如果 ANT 跟天线距离较远，建议 PCB 上面预留两个 π 电路，分别对 ANT 和天线进行匹配；
- (3) 当 PCB 布局时，如果 PCB 空间限制导致电源滤波/晶振/复位电路等布局发生冲突时，建议优先布局天线；在天线和芯片布局紧凑时，第一可以节省掉匹配的环节；第二可以减小射频信号的损耗，从而提升方案空口性能；
- (4) RF 信号线走线尽量短，控制阻抗 50R，走线两边包地且多打地孔，底部以及芯片底部保证完整地平面对，使得射频参考地与芯片主地保持良好连通。

以 TXW806 为例：芯片， π 网络，天线接口，三者紧凑布局，射频走线足够短，且两边包地，底层保留完整地平面对。



下面基于 SI9000 仿真，给出几种板层下的 50R 匹配走线，由于 50R 匹配跟 pcb 板厂工艺相关，以下仅供参考：

1) 0.6mm 板厚，2L，走线 20.5mil，铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	20.0000	0.0000	20.0000	20.0000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	20.5000	0.0000	20.5000	20.1000
Upper Trace Width	W2	20.0000	0.0000	20.0000	20.0000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	49.51		49.51	49.51

2) 0.8mm 板厚，2L，走线 22.5mil，铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	27.6000	0.0000	27.6000	27.6000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	22.5000	0.0000	22.5000	22.5000
Upper Trace Width	W2	22.0000	0.0000	22.0000	22.0000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	50.45		50.45	50.45

3) 1.0mm 板厚, 2L, 走线 25mil, 铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	35.4000	0.0000	35.4000	35.4000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	25.0000	0.0000	25.0000	25.0000
Upper Trace Width	W2	24.5000	0.0000	24.5000	24.5000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	50.21		50.21	50.21

4) 1.6mm 板厚, 4L, 参考第 2 层, 走线 12.5mil, 铺铜间距 12mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	7.4100	0.0000	7.4100	7.4100
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	12.5000	0.0000	12.5000	12.5000
Upper Trace Width	W2	12.0000	0.0000	12.0000	12.0000
Ground Strip Separation	D1	12.0000	0.0000	12.0000	12.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	49.5		49.5	49.5

3. 外设接口

3.1. 高速接口

3.1.1. SD host/SDIO device

TXW80X 系列支持 SD host 和 SDIO device, SDIO device 接口电平支持 1.8V -- 3.3V, SDCLK 最高支持 50MHz。

- SDIO device 功能映射: 固定 PB6 — PB11, 映射功能如下所示:

GPIO 名称	SDIO 功能
PB6	SD_D1

PB7	SD_D0
PB8	SD_CLK
PB9	SD_CMD
PB10	SD_D3
PB11	SD_D2

VCC1 外接的电源电压，决定了 PB6~PB11 GPIO 的接口电平；

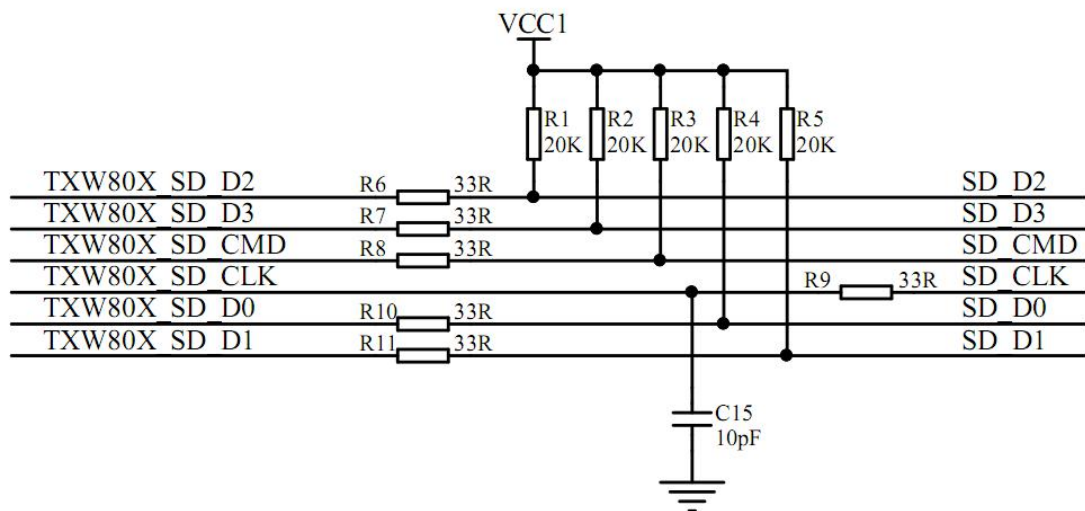
- SD host 功能映射：所有封装 GPIO 任意映射。

具体映射关系可参考数据手册—GPIO 管脚特定功能表。

在原理图设计时：SD_CMD、SD_D0/D1/D2/D3 根据应用需要，可预留上拉电阻（推荐值 20K），device 上拉至 VCC1，靠近 host 端放置。SDCLK 需要在靠近 host 芯片位置预留终端串联电阻（推荐值 33R）以及到地电容（推荐值 10pF）。

为了进一步抑制 SD host / SDIO device 接口的 EMI 辐射，可以在接口走线预留串联匹配电阻（推荐值 33R），匹配电阻按照源端匹配原则来摆放：时钟线串联电阻位置越靠近 Host 器件越好。数据线串联电阻位置根据方案数据流方向决定，应靠近数据流发送端器件放置。

以 SDIO device 为例：



PCB Layout 时，需要注意以下几点：

- (1) SD host / SDIO device 布局布线远离敏感电源、RF 和模拟部分，走线长度尽可能短，不要超过 5inch。
- (2) SD host / SDIO device 走线线距按照 3W 原则，即信号线与信号线之间保持 3 倍线宽，

避免信号间的串扰。时钟信号包地处理，包地线尽量粗且走线两侧多打地孔。

(3) SD_CMD、SD_D0/D1/D2/D3 预留的上拉电阻，布线时，电阻一端直接接到信号线上，另一端连接到对应电源，这样可以减少信号的反射。

(4) 建议走线下方保持完整地平面，缩短信号回流路径，减小 EMI。

3.1.2. QSPI

TXW80X 系列支持 1 路 QSPI 接口，支持外挂 SPI FLASH 或者 PSRAM，QSPI_CLK 最高支持 120MHz。具体映射关系可参考数据手册—GPIO 管脚特定功能表。

PCB Layout 时，PSRAM 器件布局尽量紧靠主芯片，保证 QSPI 走线尽量短，布局布线远离敏感的电源、RF 和模拟部分。QSPI 时钟线包地处理，包地线尽量粗且走线两侧多打地孔。

(5) 建议走线下方保持完整地平面，缩短信号回流路径，减小 EMI。

3.1.3. DVP

TXW80X 系列支持 1 路 CMOS Sensor 8bit DVP，接口最高支持 96MHz。具体映射关系可参考数据手册—GPIO 管脚特定功能表。

PCB Layout 时，Sensor 接口布局尽量紧靠主芯片，保证 DVP 走线尽量短，布局布线远离敏感的电源、RF 和模拟部分。MCLK、PCLK 包地处理，包地线尽量粗且走线两侧多打地孔。

(6) 建议走线下方保持完整地平面，缩短信号回流路径，减小 EMI。

3.1.4. USB2.0

TXW80X 系列支持 1 路 USB2.0 High Speed host/device，封装引脚为 PC6 (USBDP) /PC7 (USBDM)。当 USB 功能不使用时，可通过软件设置为 GPIO 使用。

PCB Layout 时，usb 接口布局尽量紧靠主芯片，保证 usb 走线尽量短，布局布线远离敏感的电源、RF 和模拟部分。DM/DP 差分走线，保证 DM/DP 对称等长，差分阻抗 90 欧，走线

上尽量不要超过两对过孔。为防止 EMI 辐射，建议对走线进行包地处理。

3.1.5. SPI

TXW80X 系列支持 5 路 SPI master/slave 接口，其中 2 路可配置为 IIC master/slave，SPI 接口电平可支持 1.8V -- 3.3V，SPI_CLK 最高支持 90MHz。具体映射关系可参考数据手册--GPIO 管脚特定功能表。

VCC1 外接的电源电压，决定了 PB6~PB15 GPIO 的接口电平；

PCB Layout 时，SPI 器件布局尽量紧靠主芯片，保证 SPI 走线尽量短，布局布线远离敏感的电源、RF 和模拟部分。SPI 时钟线包地处理，包地线尽量粗且走线两侧多打地孔。

(7) 建议走线下方保持完整地平面，缩短信号回流路径，减小 EMI。

3.1.6. RMII MAC

TXW80X 系列支持 1 路 RMII MAC 接口，用于扩展以太网有线连接。RMII MAC 接口电平支持 1.8V -- 3.3V，REF_CLK 最高支持 50MHz。具体映射关系可参考数据手册--GPIO 管脚特定功能表。

原理图设计时，为了抑制 RMII MAC 接口的 EMI 辐射，可以在时钟线预留串联电阻（推荐值 33R）以及到地电容（推荐值 10pF），靠近 host 器件放置。在数据线预留串联电阻（推荐值 33R），靠近数据信号源端放置。

PCB Layout 时，以太网 PHY 芯片布局尽量紧靠主芯片，保证 RMII MAC 接口走线尽量短，以太网 PHY 芯片布局布线远离敏感的电源、RF 和模拟部分。时钟线包地处理，晶振包地处理，包地线尽量粗且走线两侧多打地孔。

(8) 建议走线下方保持完整地平面，缩短信号回流路径，减小 EMI。

3.2. 低速接口

TXW80X 系列支持 ADC、UART、IIS、IIC、PDM、红外、LED 驱动器等低速接口，具体映射关系可参考数据手册—GPIO 管脚特定功能表。

PCB Layout 时注意外设布局布线远离敏感电源、RF 和模拟部分。

4. 热设计建议

4.1. 器件布局

结合产品结构和热设计，器件布局建议如下：

- (1) 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和散热效率。
- (2) 合理设计结构，保证产品内部与外界有热交换途径。
- (3) 对单板关键发热器件充分进行极端应用场景的温升测试，确保器件在安全的温度范围内长期可靠工作。
- (4) 必要情况下，关键发热器件可以增加散热片，进一步提升散热效果。

4.2. PCB 走线处理

走线热设计建议如下：

- (1) 芯片底下密集打地孔，提高单板散热效率
- (2) 在热量大的器件正下方和周边尽量增大铜皮面积，特别是双面 PCB 单板，发热器件背面的地平面尽量减少分割，完整地平面能够有效分散热量，提高整体散热效果。
- (3) 如果结构允许，将芯片背面地平面进行开窗处理，能够进一步提升散热效果。

以 TXW806-850 为例，芯片底下密集打地孔：

