

Architectures des systèmes à Microprocesseurs TD N°2 : Les mémoires

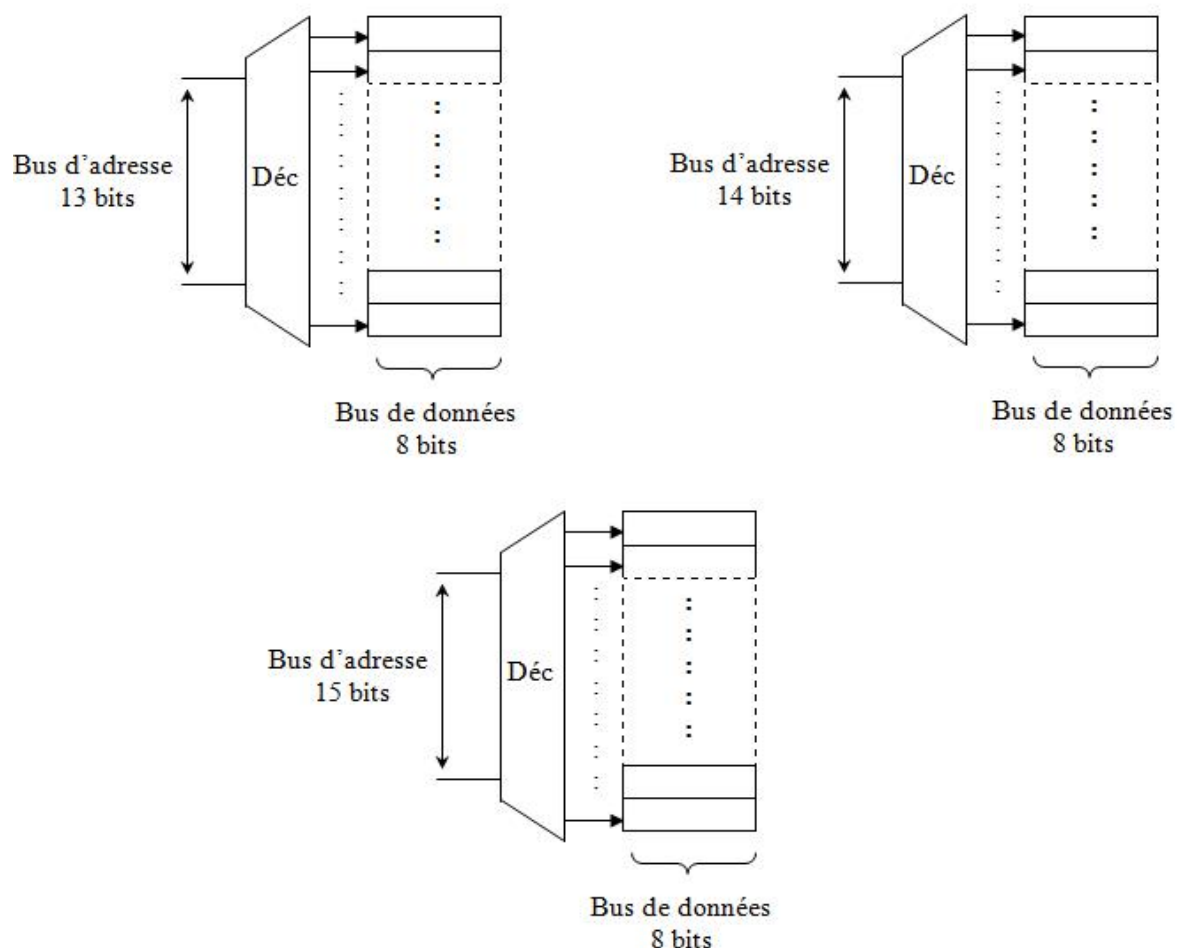
Exercice 1

Un système informatique comporte 4 mémoires notées M_1 , M_2 , M_3 et M_4 , les 2 premières ayant 13 fils d'adresses, les 2 dernières ayant 15 fils d'adresses. Elles sont rangées par ordre croissant, l'adresse basse de la première étant 0.

- 1) Donner dans un tableau les adresses basses et hautes de chaque mémoire.
- 2) Quelle est la capacité mémoire totale de ce système ?
- 3) Combien de fils d'adresses sont nécessaires en tout sur le microprocesseur qui gère ce système ?

Exercice 2

Soient les circuits RAM suivants :



- 1) Calculer la capacité totale de chaque mémoire.
- 2) Calculer l'adresse de début et de fin de chaque mémoire.
- 3) On veut associer à ces mémoires un processeur admettant 16 bits d'adresse et 8 bits de données. Donner la capacité totale adressable par le processeur.
- 4) Dresser la table des adresses, sachant que les mémoires sont disposées successivement à partir de la première adresse (adresse 0) selon l'ordre suivant : Mémoire 1, Mémoire 2 et Mémoire 3.
- 5) Calculer les équations de sélection CS_1 , CS_2 et CS_3 .
- 6) Expliquer pourquoi la capacité totale adressable par le processeur permet d'introduire une quatrième puce mémoire. Calculer la taille maximale de la puce qu'on peut y ajouter.

Exercice 3

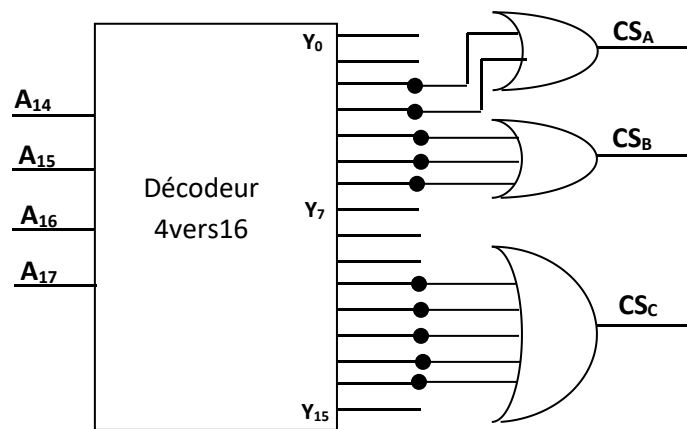
Soit un microprocesseur ayant un bus d'adresse de 16 bits.

- 1) Déterminer la capacité de la mémoire visible par le microprocesseur sachant que l'unité d'adressage est sur 8 bits.
- 2) Nous voulons implanter sur cette mémoire adressable par le microprocesseur les mémoires Flash-EPROM, EEPROM et EPROM de capacité respectivement 24 KO, 16KO et 8KO comme suit :
 - Flash-EPROM à l'adresse $0000H$.
 - EEPROM à l'adresse $8000H$.
 - EPROM à l'adresse $C000H$.
- a) Déterminer la taille du bus d'adresse de chacune de ces mémoires implantées.
- b) Faire un schéma descriptif de la mémoire adressable par le microprocesseur (cartographie) en spécifiant les adresses de début et de fin de chacune de ces mémoires implantées.
- 3) Moyennant un décodeur pour contrôler les entrées « Chip Select » (CS) des boîtiers mémoires, établir le montage décrivant la cartographie de la mémoire visible par le microprocesseur. L'entrée CS de chacun de ces boîtiers mémoire est activée à l'état bas.
- 4) Quel est l'avantage d'utiliser les décodeurs par rapport aux équations de sélection ?
- 5) Quel est le nombre maximum de mémoires possédant chacune un bus d'adresse de 11 lignes qu'on peut connecter à ce microprocesseur (16 lignes d'adresses). Justifier votre réponse.

Exercice 4

Etant donné un microprocesseur possédant 18 broches pour les adresses (A_0, A_1, \dots, A_{17}).

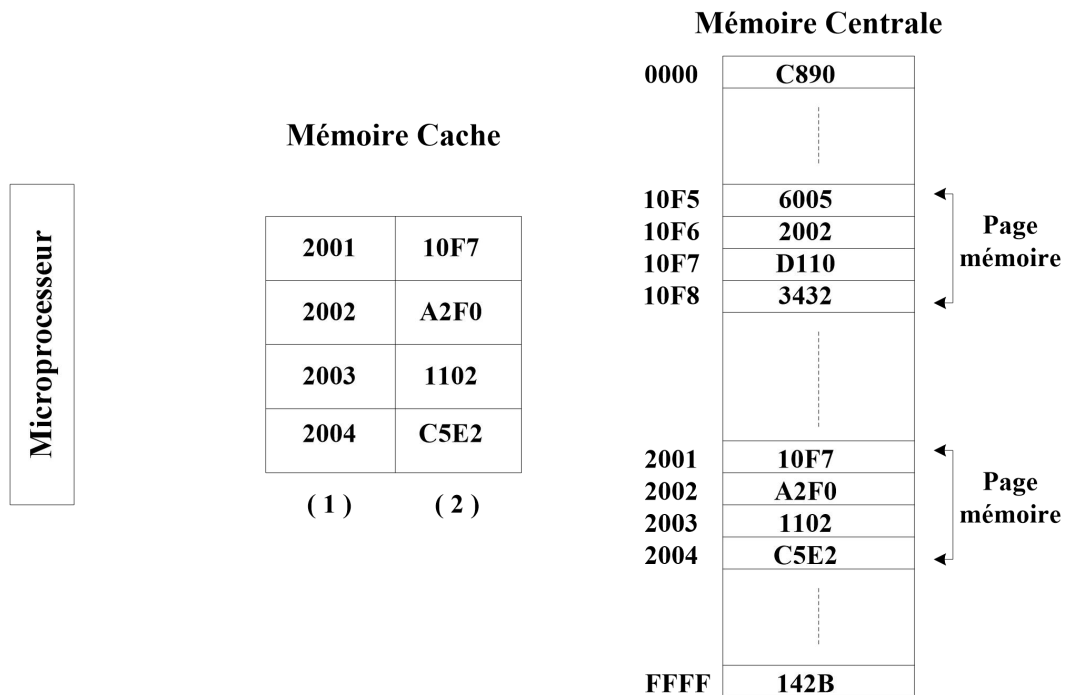
Trois boîtiers mémoire M_A , M_B et M_C ont été connectés à ce microprocesseur à l'aide d'un décodeur '4 to 16' (voir figure ci-après) et la taille du bus d'adresse de chacune de ces mémoires sont respectivement 15, 16 et 17.



- 1) Sachant que l'activation des boîtiers est effectuée à l'état haut et que l'unité d'adressage est sur 16 bits, établir la cartographie de la mémoire visible par le microprocesseur en spécifiant les adresses de début et de fin de chacune de ces mémoires.
- 2) Déduire la capacité des différentes mémoires.
- 3) Combien peut-on connecter de boîtiers mémoire de 4Ko sur ce processeur.

Exercice 5

Soit la figure suivante illustrant le contenu en **Hexadécimal** de la mémoire cache et de la mémoire centrale:



- 1) Quelle est la taille en Mo de la mémoire centrale ?
- 2) Quel est le type d'accès à la mémoire cache ?
- 3) Que signifient les cases (champs) (1) et (2) de la mémoire cache ?
- 4) Le processeur veut accéder au contenu de la case **(10F7)_H** en mémoire centrale, est ce qu'un succès ou défaut (échec) de cache a lieu ? Expliquer
- 5) Donner le nouveau contenu de la mémoire cache si le processeur désire accéder au contenu de la case **(10F5)**

Mémoire cache

(1) (2)