

Devoir Surveillé

Matière : Architecture des ordinateurs

Enseignants : R.Tlili, A.Gueddena, I. Ben Slimen
Filière / Classe : Ingénieur Inf (1^{ère} année)
Section / Groupe : A, B, C, D, E, F
Barème indicatif :
Nombre de pages : 6

Date : 18/03/2016
Durée : 1h30
Documents : non autorisés
Calculatrices : non autorisées
A.U : 2015/2016

ETUDIANT(e)

Nom et Prénom :

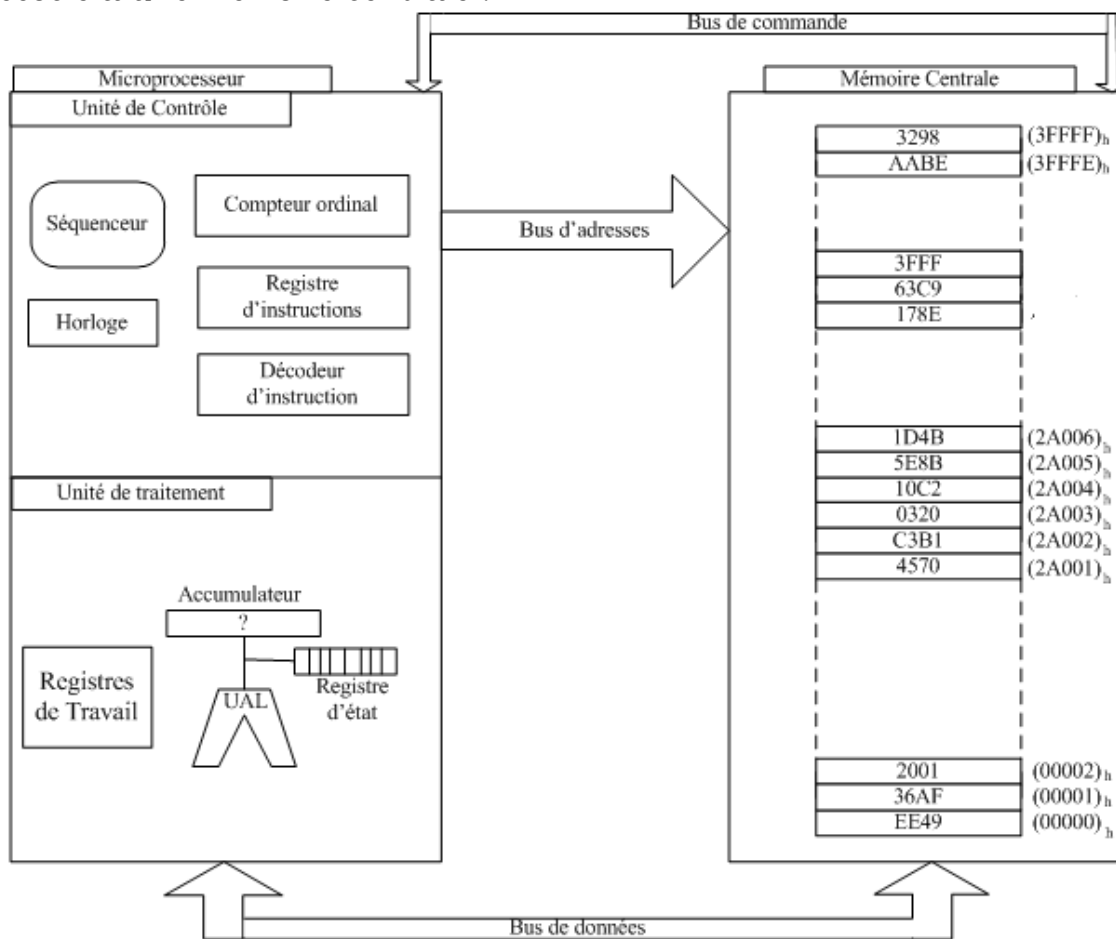
Groupe :

N°Carte :

A RENDRE TOUTES LES FEUILLES MEME SI ELLES SONT BLANCHES

Exercice 1 :

On considère la figure ci-dessous illustrant l'architecture d'un microprocesseur associé à une mémoire centrale :



1. Qu'appelle-t-on l'architecture de cette figure ?...**Modèle de Von Neumann**.....

2. Quelle est la taille du bus d'adresse en justifiant votre réponse ?

.....@Fin = (3FFF)_H = (11 1111 1111 1111 1111) donc 18 bits

3. Déterminer la capacité de la mémoire centrale en MO.

On remarque que la case mémoire contient un mot de données de taille 4 hexadécimaux = 16 bits = 2 Ø.

Nombre de cases 2¹⁸ --> Capacité = 2 . 2¹⁸ = 2¹⁹ Ø = 1/2 MØ

4. Enumérer les deux différences principales entre le bus d'adresse et le bus de données

(1) Contenu : le bus d'@ contient des adresses et le bus de données contient des données (2) le bus d'@ est unidirectionnel alors que le bus données est bidirectionnel.

5. Quel est l'avantage d'insérer une mémoire cache entre le microprocesseur et la mémoire centrale ?

Pour résoudre le problème de différence de vitesse entre le microprocesseur et la mémoire centrale (accélérer l'accès aux données).

6. On suppose que le compteur ordinal contient initialement la valeur $(2A003)_h$ et que le code opération $(0320)_h$ correspond à une instruction qui effectue la somme du contenu des deux cases d'adresses respectives $(3FFFE)_h$ et $(00002)_h$

a) Décrire brièvement les étapes nécessaires à l'exécution de cette instruction

1) Puisque le compteur ordinal contient l'@ $(2A003)_h$, le contenu de cette case en mémoire qui est $(0320)_h$ va être chargé dans le Registre d'Instructions (RI) du microprocesseur.

2) Le décodeur d'instruction décode l'instruction contenue dans RI et précise sa nature à travers son code opératoire (il va déduire qu'il s'agit d'une addition des deux nombres aux adresses $(3FFFE)_h$ et $(00002)_h$. Il va générer les signaux logiques correspondant et les communiquer au séquenceur.

3) Le séquenceur va gérer le séquençement (l'enchaînement) et générer les signaux de commande qui vont activer tous les éléments qui participeront à l'exécution de l'instruction, spécialement l'UAL.

4) Chargement des données $(2001)_h$ et $(AABE)_h$ aux entrées de l'UAL.

5) L'additionneur de l'UAL va effectuer l'opération d'addition.

6) Le résultat de l'addition va être stocké dans l'accumulateur.

b) Déterminer la valeur contenue dans l'accumulateur après l'exécution de cette instruction

$$\mathbf{AABE + 2001 = CABF}$$

c) Dans combien de temps en μs a été réalisée cette instruction sachant que la fréquence d'horloge est 10 MHz ?

Cycle d'instruction = 3 microcycle (par défaut)

$$\mathbf{1 \text{ microcycle} = 1 \text{ période d'horloge}(T) = 1/(10 \cdot 10^6) = 0.1 \mu s}$$

$$\mathbf{\text{Temps de réalisation} = 3 * 0.1 = 0.3 \mu s}$$

Exercice 2 :

Soit un microprocesseur avec les caractéristiques suivantes :

- La taille du registre d'instructions RI = 16 bits. Ce registre est relié à l'un des bus **bien choisis** avec le même nombre de bits.

- Le pointeur d'instructions IP = 21 bits. Ce registre est aussi relié à l'un des bus **bien choisi** avec le même nombre de bits.

1. Montrer que la capacité de la mémoire visible par ce microprocesseur est 4 Mbytes.

Taille de RI = taille du bus de données = 16 bits

Taille de IP = taille du bus d'@ = 21 bits

Taille d'unité d'@ = 16 bits

Capacité = $2 \cdot 2^{21} = 2^{22} \text{ } \emptyset = 4 \text{ M}\emptyset$

2. Déterminer l'adresse de début et l'adresse de fin visibles par ce microprocesseur en hexadécimal.

Sur 21 bits @début = (0 0000 0000 0000 0000 0000) = 000 000 H

@fin = (1 1111 1111 1111 1111 1111) = 1FF FFF H

3. On connecte à ce microprocesseur trois mémoires dont la cartographie est la suivante :

DRAM : 1600 Kbytes
128 Kbytes
SRAM2 : 1 Mbytes
SRAM1 : 128 Kbytes

a) Comparer une SRAM et une DRAM de point de vue mode d'accès, coût et utilisation.

Vitesse : SRAM (à base de bascules) plus rapide que DRAM (à base de condensateurs).

Coût : SRAM plus coûteuse que DRAM.

Utilisation : SRAM pour les mémoires caches et DRAM pour les mémoires centrales.

b) Chercher les adresses de début et de fin de chaque mémoire en hexadécimal, ainsi que le nombre de bits nécessaires pour adresser chacune. Justifier vos réponses

• **Capacité de SRAM₁ = 128 K \emptyset = $2^7 \cdot 2^{10} \emptyset = 2^{17} \emptyset$**

Nbr de cases = $2^{17} / 2 = 2^{16} \text{ cases} = (2^4)^4 = 16^4 = 010\ 000 \text{ H}$



Donc le nbr de bits nécessaires = 16 bits

→ @ début = 000 000 H

→ @fin = 00F FFF H

- Capacité de SRAM₂ = 1 MØ = 2²⁰ Ø

Donc Nbr de cases = 2²⁰ / 2 = 2¹⁹ cases = (2⁴)⁴ . 2³ = 16⁴ . 8 = 080 000 H

Donc le nbr de bits nécessaires = 19 bits

→ @ début = 010 000 H

→ @fin = 08F FFF H

- Capacité de DRAM = 1664 KØ

Donc Nbr de cases = 832 * 2¹⁰ = (512 + 256 + 64) * 2¹⁰
 = (2⁹ + 2⁸ + 2⁶) . 2¹⁰ = 2¹⁹ + 2¹⁸ + 2¹⁶
 = (8+4+1) . 2¹⁶ = D . 16⁴ = 0D0 000 H

Donc le nbr de bits nécessaires = 20 bits

(2³ . 2¹⁶ < 13 . 2¹⁶ < 2⁴ . 2¹⁶)

→ @ début = 090 000 + 010 000 = 0A0 000 H

→ @fin = 0A0 000 + 0D0 000 - 1 = 170 000 - 1 = 16F FFF H

4. Interfacer ce microprocesseur aux différentes mémoires selon le modèle suivant :
- L'interfaçage de la DRAM doit être réalisé par seulement des portes logiques de base (sans décodeur).
 - L'interfaçage de SRAM1 et SRAM2 doit être réalisé par un décodeur d'adresses dont les sorties sont activés à l'état bas.
 - Les entrées chip select sont activées à l'état haut pour DRAM et SRAM1, à l'état bas pour SRAM2.

N'oublier pas de réaliser le montage complet.

Mémoires	@Hex	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
DRAM	0A0 000	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	16F FFF	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Simplification de l'équation de sélection avec un tableau de Karnaugh à 5 variables :

		A19 A18			
		00	01	11	10
A17 A16	00			1	
	01			1	
	11			1	1
	10			1	1
A20 = 0					

		A19 A18			
		00	01	11	10
A17 A16	00	1	1		
	01	1	1		
	11	1			
	10	1	1		
A20 = 1					

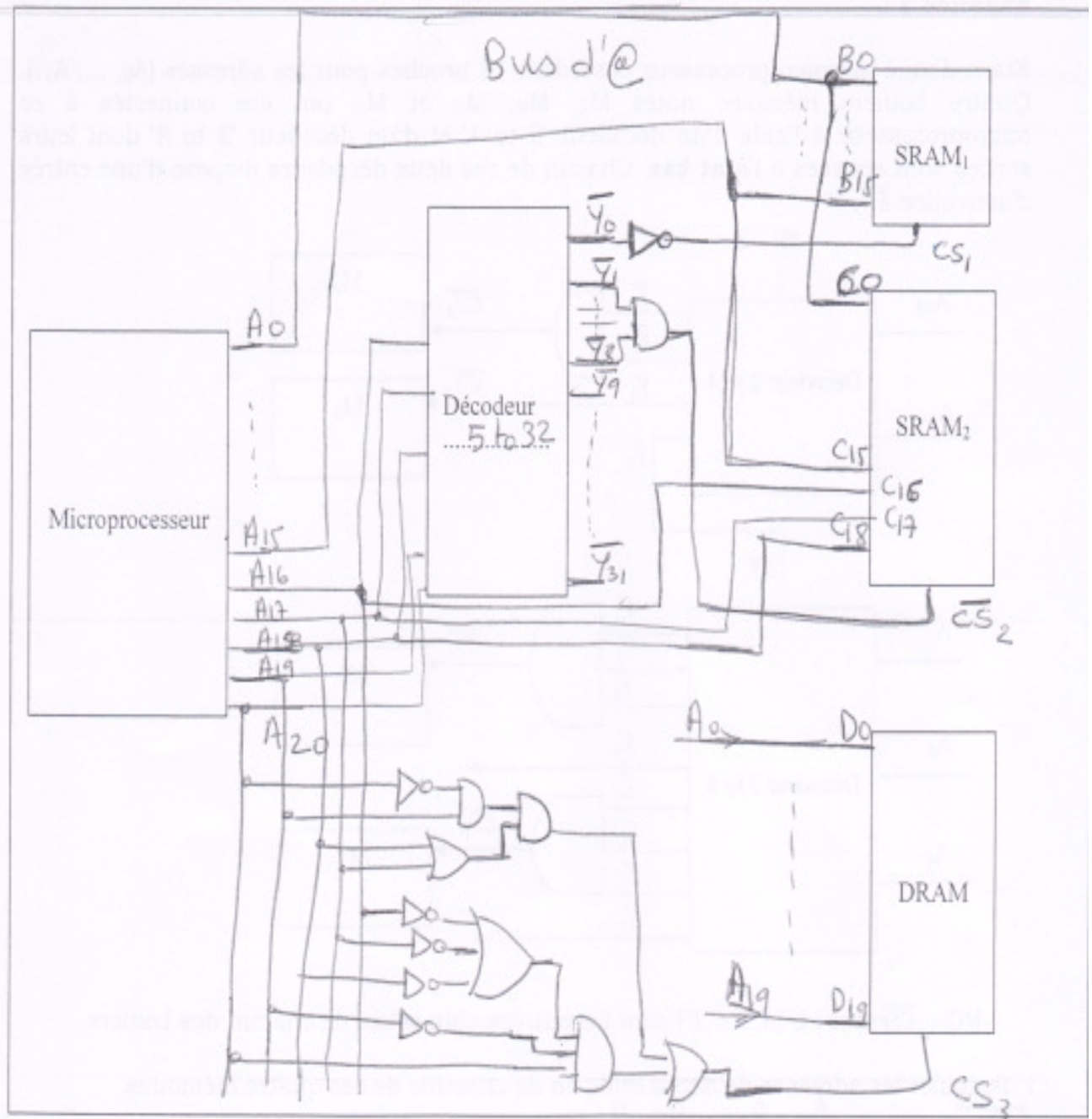
$$CS = \overline{A_{20}}(A_{19}A_{18} + A_{19}A_{17}) + A_{20}(\overline{A_{19}}\overline{A_{18}} + \overline{A_{19}}\overline{A_{17}} + \overline{A_{19}}\overline{A_{16}})$$

Mémoires	@Hex	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
SRAM 1	000 000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	00F FFF	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SRAM 2	010 000	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	08F FFF	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



Donc un décodeur (5 – 32)

Ne pas oublier de réaliser le montage complet.



5. a) Combien peut-on ajouter de mémoires de taille 48 Kbytes ? Justifier.

Espacement entre SRAM₂ et DRAM = 128 KBytes $\rightarrow \left\lfloor \frac{128}{48} \right\rfloor = 2$

**Espace vacant après DRAM = $4M0 - (2 \cdot 128 + 1664 + 1024)$
 $= 4096 - (256 + 1024 + 1664) = 1152 K0$**

$\rightarrow \left\lfloor \frac{1152}{48} \right\rfloor = 24$ mémoires.

On peut ajouter 26 mémoires.

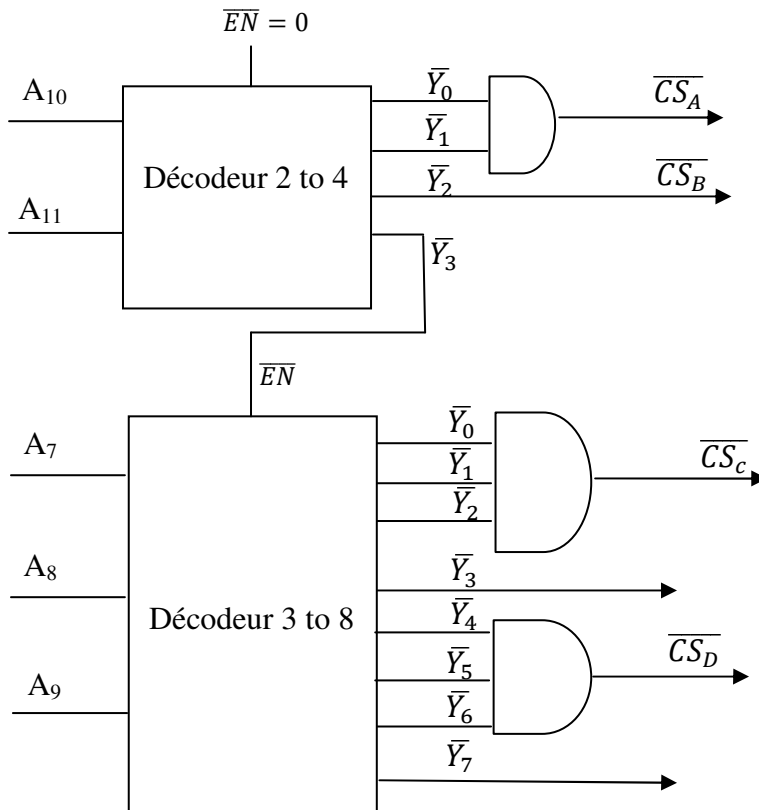
b) Combien peut-on ajouter de mémoires de taille 200 Kbytes ? Justifier.

Le premier espace vacant ne supporte pas.

Pour le deuxième espace $\left\lfloor \frac{1152}{200} \right\rfloor = 5$ mémoires.

Exercice 3 :

Etant donné un microprocesseur possédant 12 broches pour les adresses (A_0, \dots, A_{11}). Quatre boîtiers mémoire M_A, M_B, M_C, M_D ont été connectés à ce microprocesseur à l'aide d'un décodeur '2 to 4' et d'un décodeur '3 to 8' dont leurs sorties sont activées à l'état bas. Chacun de ces deux décodeurs dispose d'une entrée d'activation \overline{EN} .



1. Spécifier les adresses de début et de fin de chacune de ces quatre mémoires.

Mémoires	@Hex	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
M _A	@début = 000	0	0	0	0	0	0	0	0	0	0	0	0
	@fin = 7FF	0	1	1	1	1	1	1	1	1	1	1	1
M _B	@début = 800	1	0	0	0	0	0	0	0	0	0	0	0
	@fin = BFF	1	0	1	1	1	1	1	1	1	1	1	1
M _C	@début = C00	1	1	0	0	0	0	0	0	0	0	0	0
	@fin = D7F	1	1	0	1	0	1	1	1	1	1	1	1
M _D	@début = E00	1	1	1	0	0	0	0	0	0	0	0	0
	@fin = F7F	1	1	1	1	0	1	1	1	1	1	1	1

2. Sachant que l'unité d'adressage est sur 32 bits, déterminer la capacité en Koctets de chacune de ces quatre mémoires

Unité d'adressage = 40

M_A : 7FF – 000 + 1 = 800 = 8 * 16² cases

Capacité = 4 * 2³ * 2⁸ = 2¹³ 0 = 8 K0

M_B : BFF – 800 + 1 = 400 = 4 * 16² cases

Capacité = 4 * 2² * 2⁸ = 2¹² 0 = 4 K0

M_C : DF7 – E00 + 1 = 180 = 16² + 8 * 16 cases

Capacité = 2².2⁸ + 2² . 2³ .2⁴ = 2¹⁰ + 2⁹ = 1.5 K0

M_D : FF7 – E00 + 1 = 180 = 16² + 8 * 16 cases

Capacité = 2².2⁸ + 2² . 2³ .2⁴ = 2¹⁰ + 2⁹ = 1.5 K0

3. Calculer la capacité en Koctets de l'espace d'adressage vacant. Peut-on connecter une mémoire de 2 Koctets ? justifier votre réponse.

Capacité vue par le µp = 4 .2¹² 0 = 2¹⁴ 0 = 16 K0

Capacité d'espace vacant = 16 – (8+4+1.5+1.5) = 1 K0

On ne peut pas connecter une mémoire de taille 1 K0 même si l'espace vacant le permet car cet espace est divisé séparément.