

# 2018-2019 年秋计算机系统（1）作业说明

林耘丰

2018 年 9 月

## 1 介绍

本次体系结构作业一共有两个，均用到了数字电路与逻辑设计的部分知识，在具体实现上需要使用 Verilog 硬件描述语言编写程序并分别进行软件模拟（建议使用 Vivado 或 iverilog）和在 FPGA 硬件上进行烧录及测试。建议在开始作业之前学习相关内容。

## 2 作业一：加法器

### 2.1 介绍

加法器是进行加法操作的电路，它常用于各类计算机处理器的算术逻辑单元(ALU)，以及用于处理器的其他单元，进行地址计算、下标计算等操作。

1. 用 Verilog 硬件描述语言编写一个加法器，进行模拟测试，以及在 FPGA 硬件上测试（可选）。加法器模板及用于模拟测试的源文件均位于仓库的“adder”文件夹下。
2. 回答问题。

### 2.2 内容

1. 仅使用门电路，实现一个涟漪进位 16 位无符号数加法器（Ripple-carry adder）并测试。
2. 仅使用门电路，实现一个超前进位 16 位无符号数加法器（Carry-lookahead adder）并测试。
3. 回答问题：为什么超前进位加法器变快了？它到底优化了什么？
4. \* 在机器学习等高性能计算场景下，CPU 已经不够用了。目前常用的硬件中竞争最激烈的是 FPGA 与 ASIC。了解它们的概念并说说你认为这两者哪种更适合此类场景，或者用什么样的硬件能做得更好。

## 2.3 提交

1. 将小问题的答案保存为名为“answer”的 PDF 或纯文本文件
2. 同第一问的 adder.v, adder2.v 打包为压缩文件 [System2018] 学号\_姓名\_task1.zip
3. 邮件标题命名为 [System2018] 学号\_姓名\_task1, 发送至 linyunfeng@sjtu.edu.cn
4. 提交截止日期: 2018 年 11 月 1 日 (暂定)

## 2.4 评分

1. 分数取决于两种加法器能否通过软件模拟测试。
2. 在 FPGA 上的测试不计入分数。
3. 回答问题不计入分数, 但是不回答可能会扣分。
4. 带星号的问题不回答也不扣分。

# 3 作业二: RISC-V ISA

## 3.1 介绍

## 3.2 内容

## 3.3 提交

## 3.4 评分

# 4 补充说明