BV6810A设计注意事项(重要)

2024

We Create Value

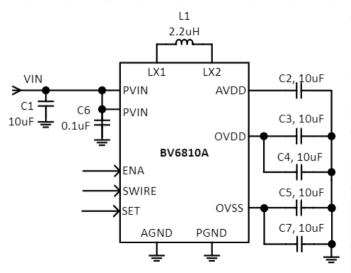
产品选型表



产品对比表	BV6802	BV6802A	BV6810A
Vin Range	2.9V~5.5V	3.4V~5.5V	2.9V~5.5V
AVDD Default	2.8V	3.3V	3.3V
OVDD Default	4.6V	4.6V	3.3V(4.6V)
OVSS Default	-2.4V	-2.4V	-3.3V(-2.4V)
Idle Mode Iq	50uA	50uA	15uA
Max Load	100mA	100mA	80mA
Package	WLCSP-16B 1.64mmx1.64mm	WLCSP-16B 1.64mmx1.64mm	WLCSP-12B 1.39mm x 1.64mm
bom list	1L+7C	1L+7C	1L+7C
Note		Eff.>90% @ Idle Mode, Vin=3.6V	Eff.~90% for AOD 且默认 电压可通过SET pin调节



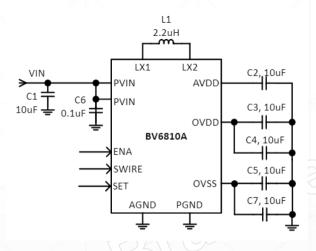
原理图&接脚定义



接脚	名称	功能
A1	PVIN	输入电源
A2	OVSS	OVSS 电压输出
A3	PVIN	输入电源
B1	LX1	SITO LX1开关节点
B2	<u>SET</u>	设置默认电压脚
B3	ENA	AVDD电源Enable接脚
C1	LX2	SITO LX2开关节点
C2	AGND	模拟电路接地
C3	SWIRE	SWIRE 控制脚位
D1	OVDD	OVDD 电压输出
D2	PGND	电源接地
D3	AVDD	AVDD电压输出

周边组件建议





电感推荐

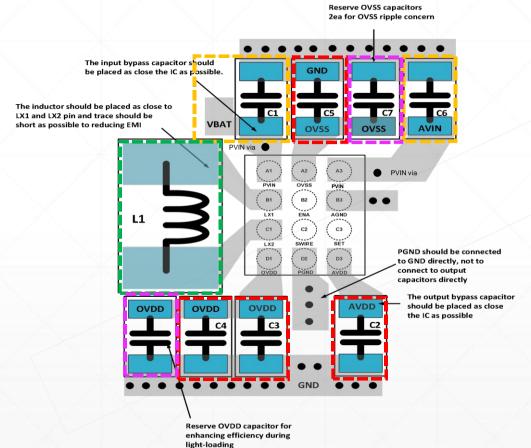
ľ	参考	电感值	组件供货商	封装	Isat / DCR
	L1	2.2uH	ALPS GLULK2R201A	2.5mm x 2.0mm x 1.0mm	1.8A / 85mΩ

电容推荐

参考	电容值	封装
C1, C2, C3, C4, C5, C7	10uF/6.3V	0402
C6	0.1uF/6.3V	0201

FPC/PCB布线注意事项





C1和C6放置位置分别尽可能靠近PVIN和AVIN接脚

*C2,C3,C4*和*C5*放置位置分别尽可能靠近AVDD, *OVDD*和*OVSS*接脚

L1放置位置分别尽可能靠近LX1和LX2接脚

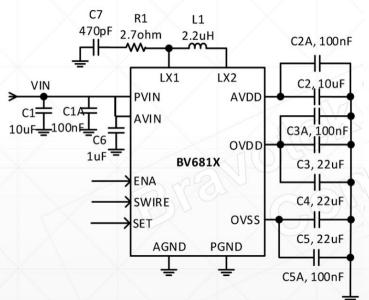
可视实际ripple量测情况增加OVDD以及OVSS的 电容

电源走线宽度须尽量宽且路径越短越好,特别对于大电流的输出路径

FPC/PCB布线注意事项- For EMI Improvement



电感推荐

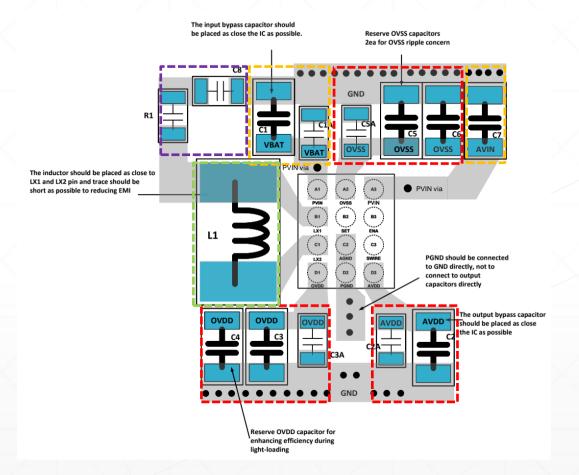


参考	电感值	组件供货商	封装	Isat / DCR
L1	2.2uH	ALPS GLULK2R201A	2.5mm x 2.0mm x 1.0mm	1.8A / 85mΩ
L1	2.2uH	Cyntec HTQA20161 T-2R2MSRG	2.5mm x 1.6mm x 1.0mm	2.6A / 100mΩ

电容推荐

参考	电容值	封装
C1, C2	10uF/6.3V	0402
C6, C1A, C2A, C3A, C4A	0.1uF/6.3V	0201
R1(预留)	2.7Ω	0202
C7(预留)	470pF/6.3V	0201

FPC/PCB布线注意事项- For EMI Improvement





电源走线宽度须尽量宽且路径越短越好,特别对于 大电流的输出路径

C1/C1A和C6放置位置分别尽可能靠近PVIN和AVIN接脚

C2/C2A, C3/C3A, C4和C5/C5A放置位置分别尽可能靠近AVDD.OVDD和OVSS接脚

L1放置位置分别尽可能靠近LX1和LX2接脚

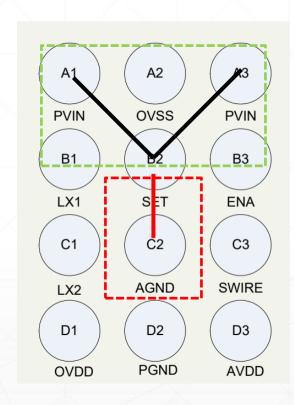
C1B, C2B, C3B, C5B and R1/C7为Optional · 可改善

EMI性能

C1电容GND的附近和PGND处,多打一些Via, 让兩点的阻抗较低,可改善EMI性能

6810A SET pin Layout 建议





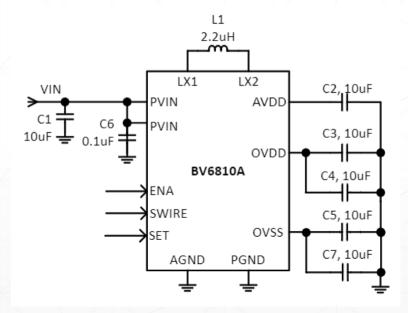
1.SET pin pull high, 建议从 IC 底部 TOP层将PVIN与SET连接

2.SET pull low,直接从IC底部TOP层 将SET与AGND连接

SET pin 应用一

AVDD = 2.8V, (OVDD, OVSS)= (+4.6V, -2.4V)

SET pin: Floating

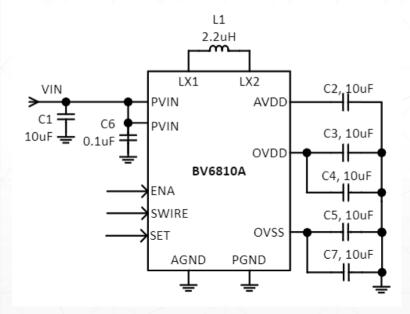




SET pin 应用二

AVDD = 3.3V, (OVDD, OVSS)= (+4.6V, -2.4V)

SET脚位: 接到Vin

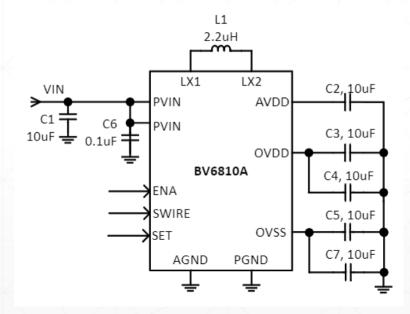




SET pin 应用三

AVDD = 3.3V, (OVDD, OVSS) = (+3.3V, -3.3V)

SET脚位:接GND



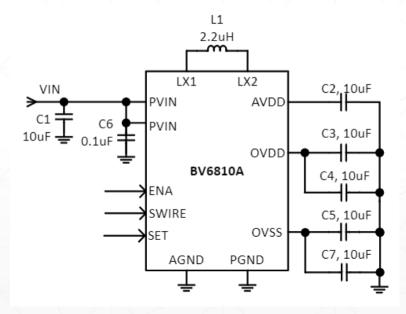


SET pin 应用四

不需要AVDD, (OVDD, OVSS)= (+4.6V, -2.4V)

SET脚位: Floating

ENA脚位: 可以接到GND也可以Floating



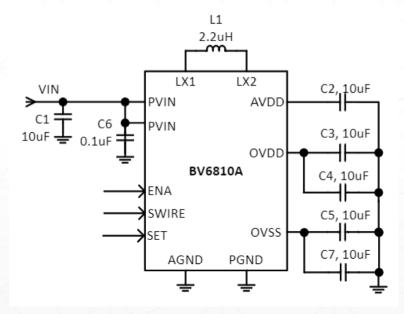


SET pin 应用一

不需要AVDD, (OVDD, OVSS)= (+3.3V, -3.3V)

SET脚位:接到GND

ENA脚位: 可以接到GND也可以Floating



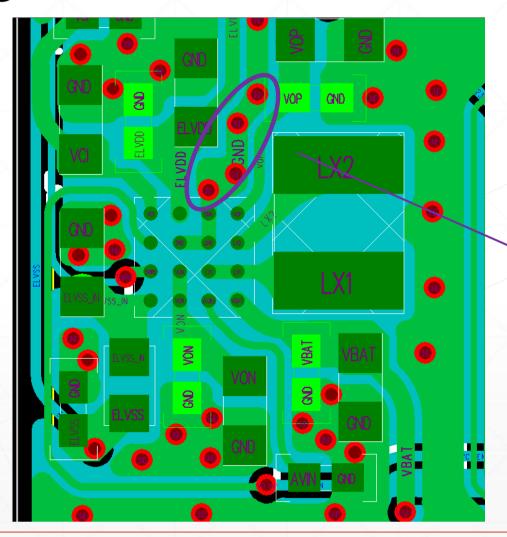




Layout 案例分析

Тор Bottom

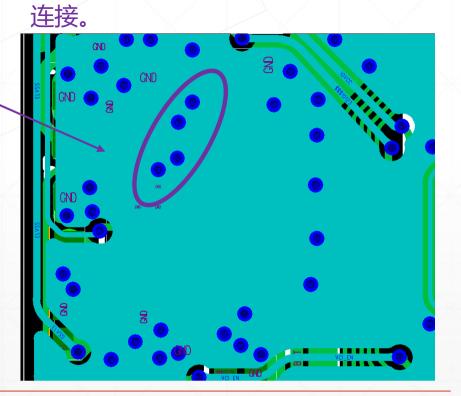




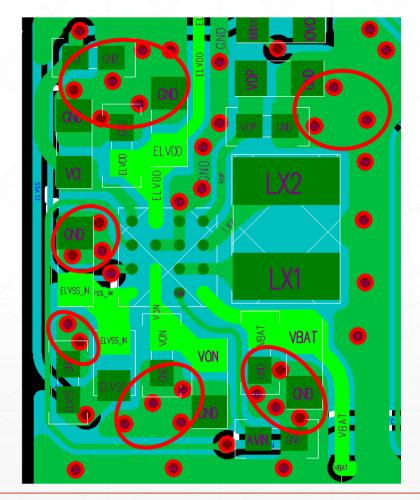
1、EMI对策预留用VBAT、 VON、VOP、ELVDD的高频电 容优先靠近芯片配置。

容优先靠近芯片配置。 2、BV68xx的GND Pin走线出来后通过Vias与Bottom大地

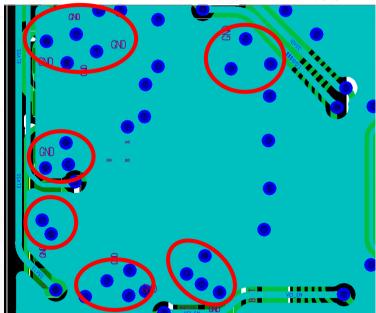






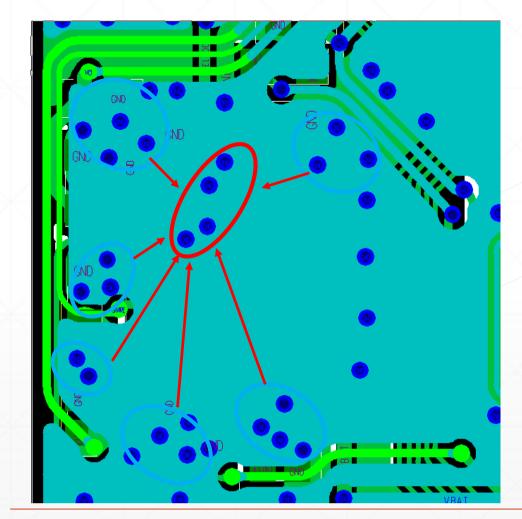


- 1、VBAT、AVDD、VOP、VON、 ELVSS、ELVDD滤波电容靠近芯片配 置,并且芯片引脚走线到电容尽量 加宽。
- 2、滤波电容接地端通过Vias到 Bottom大地连接,建议每个电容接





Bottom

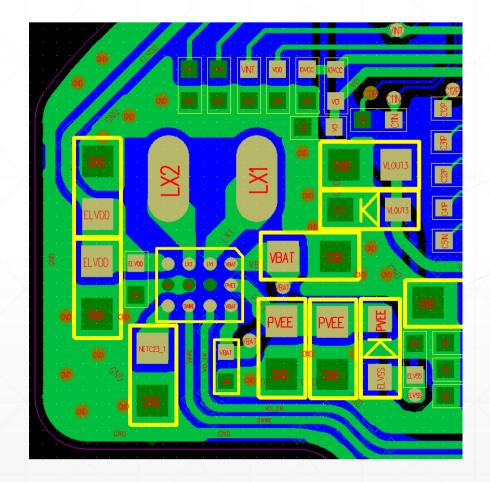


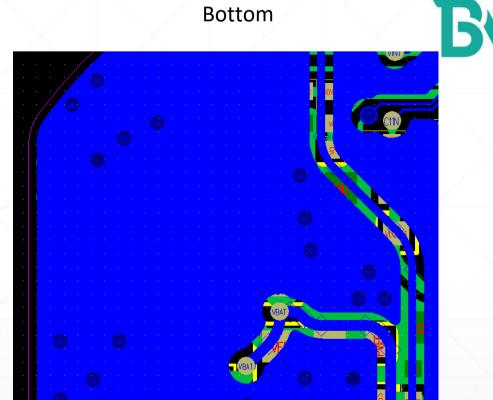


- 1、建议Bottom的走线尽量靠板 边走(SWIRE、ELVSS、VCI_EN等), 以确保Bottom层GND的完整性。 走线不要把GND分割。
- 2、芯片GND Pin走线连接点
- 3、使各Pin滤波电容接地通过 Vias与芯片GND环路最小化。

案例②

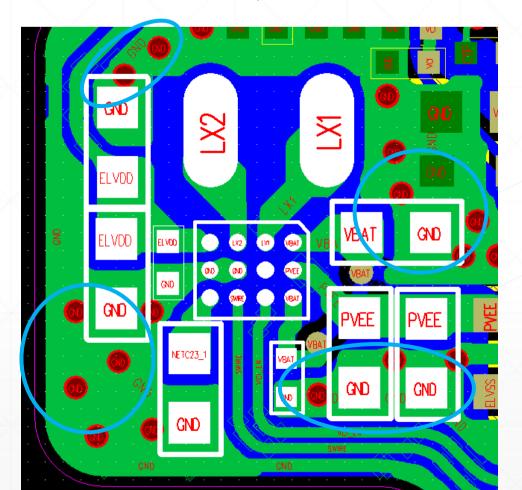
Тор





案例②

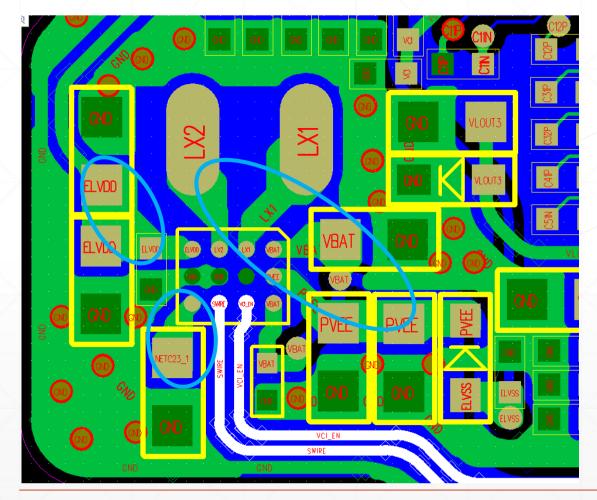
Top





- 1、滤波电容靠近芯片配置
- 2、滤波电容接地通过Vias与Bottom层 大地连接。
- 3、电容接地端尽可能多放Vias,以降 低连接阻抗。

Top



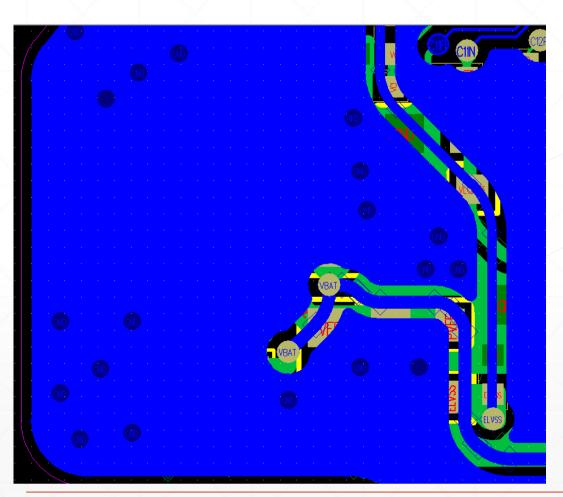


- 1、芯片Pin走线线宽尽可能加宽
- 2、滤波电容接地通过Vias与 Bottom层大地连接。
- 3、建议VCI_EN & Swire先从Top走 线后再通过Via走Bottom,以免走 Bottom层破坏Bottom层GND的完整 性。

案例②

Bottom

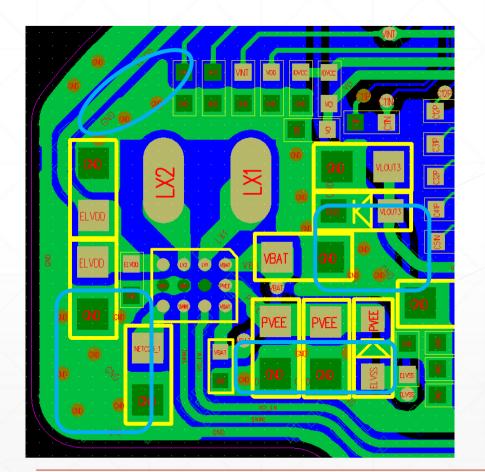




- 1、请保持Bottom层GND的完整性。
- 2、Bottom层如有走线,建议靠外围 或板边走线,以免破坏GND的完整性。

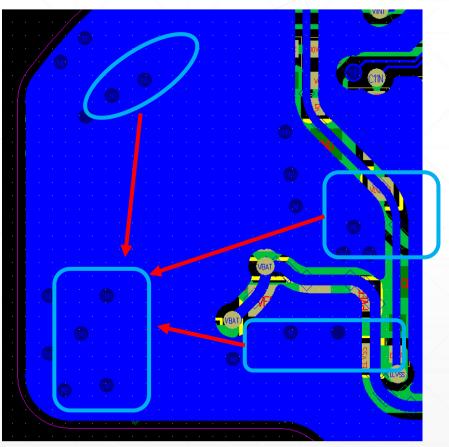
案例②

Тор



Bottom (各滤波电容与芯片环路最小化)







技术支持窗口

■ BV可协助初期的原理图和FPC/PCB布线的确认,以下为BV技术窗口

姓名	邮件	Wechat ID
俞毅(Luis)	Luis.yu@bravotekcorp.com	18576408814
钟承志(Bell)	bell.chung@bravotekcorp.com	Bell_zcz
许益诚 (Stanley)	Stanley.hsu@bravotekcorp.com	yichenghsu1030
朱讓宣(Hasting)	Hastings.chu@bravotekcorp.com	Hastings_Chu

Thanks

An Innovative Analog and Power IC Company

We Create Value