

ESERCIZIO

Un programma deve elaborare una matrice di 2000 colonne x 1000 righe di elementi. Il programma esegui quindi un ciclo innestato composto da 500 istruzioni nel ciclo interno e altre addizionali 200 nel ciclo esterno. il programma ha la seguente sequenza: (le istruzioni IC500 e IR200 sono istruzioni di salto alle label L2 ed L1 rispettivamente; dopo le istruzioni all indirizzo A770 continuano altra istruzioni IX1..IXn) Gli indirizzi Ai.. sono consecutivi e si suppone che per semplicità $A(i) = A(i-1) + 4$ ossia che ogni istruzione sia di 4 byte.

A1	L1:	IR1
A2		IR2
A3		IR3
A4		IR4
..		..
A10		IR10
A11	L2:	IC1
A12		IC2
A13		IC3
A14		IC4
...		...
A510		IC500
A511		IR11
A512		IR12
...		IR13
A700		IR200
A701		IX1

1 Quante istruzioni vengono eseguite considerando solo i due cicli?

$$N_i = (500 \times 2000 + 200) \times 1000 = 1.000.200.000$$

2 Considerando una pipeline ideale non superscalare e senza stalli con $k=10$ stadi, e con il Tempo di stadio pari a 1 Tck 1 ciclo di clock, quanto e' lo speedup che si ottiene con una macchina in pipeline rispetto alla stessa architettura senza la pipeline, supponendo che ogni istruzione richieda in caso di assenza di pipeline un $CPI=k=10$?

$$SP = (N_i \times CPI_{nopipe} \times T_{ck}) / (N_i \times CPI_{pipe} \times T_{ck})$$

$$SP = (N_i \times k \times T_{ck}) / ((N_i - 1 + k) \times T_{ck}) = 10.002.000.000 / 1.000.200.000 = 9.999.... \text{quasi } 10 \text{ pari a } k$$

3 se ad ogni stallo di pipeline dovuto ad alea di controllo la CPU esegue la fase di controllo del salto allo stadio 5 e in caso di salto deve svuotare la pipeline di 5 stadi , quanti istruzioni diventano e quale e' lo speeddown con una pipeline con stalli?

Pipeline di 10 stadi					Pipeline di 10 stadi				
PC corrente	Istr. Fetch	...	Istr ex	Next PC	PC corrente	Istr. Fetch	...	Istr ex	Next PC
A1	IR1	-	A2		A1	IR1	-	A2	
A2	IR2	-	A3		A2	IR2	-	A3	
A3	IR3	-	A4		A3	IR3	-	A4	
A4	IR4	-	A5		A4	IR4	-	A5	
A5	IR5	-	A6		A5	IR5	-	A6	
A6	IR6	IR1	...		A6	IR6	IR1	...	
...	
A10	IR10		A11		A10	IR10		A11	
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A11	branch	Tstallo A515	IR15	IC500	A11	branch
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A11	branch	Tstallo A515	IR15	IC500	A11	branch
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A11	branch	Tstallo A515	IR15	IC500	A11	branch
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A16	no branch	Tstallo A515	IR15	IC500	A16	no branch
A516	IR16		A517		A516	IR16		A517	
...	
A700	IR200		A710		A700	IR200		A710	
Tstallo A701	Ix		A711		Tstallo A701	Ix		A711	
Tstallo A702	Ix		A712		Tstallo A702	Ix		A712	
Tstallo A703	Ix		A713		Tstallo A703	Ix		A713	
Tstallo A704	Ix		A714		Tstallo A704	Ix		A714	
Tstallo A705	Ix	IR200	A1	branch	Tstallo A705	Ix	IR200	A1	branch

Al termine della prima riga sono stati eseguiti 2000 cicli di colonna ognuno dei quali ha necessitato 5 TCK di stallo per i branch di colonna , tranne l’ultimo, a cui si aggiungono 5 Tck di stallo per il branch di riga.Quindi

Ni (riga 1)= 10+ (500+5) x 1999 +500+190+ 5= 1.010.200

ossia (500 x2000 +200) + 5 x 1999 +5 = 1.000.200 istruzioni e 10.000 stalli

Stessa cosa per la riga 2 ... fino alla riga 999

Per le righe da 1 a 999 sono state eseguite (1.000.200x999)= istruzioni e (10.000 x999) stalli

Pipeline di 10 stadi					Pipeline di 10 stadi				
PC corrente	Istr. Fetch	...	Istr ex	Next PC	PC corrente	Istr. Fetch	...	Istr ex	Next PC
A1	IR1	-	A2		A1	IR1	-	A2	
A2	IR2	-	A3		A2	IR2	-	A3	
A3	IR3	-	A4		A3	IR3	-	A4	
A4	IR4	-	A5		A4	IR4	-	A5	
A5	IR5	-	A6		A5	IR5	-	A6	
A6	IR6	IR1	...		A6	IR6	IR1	...	
...	
A10	IR10		A11		A10	IR10		A11	
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A11	branch	Tstallo A515	IR15	IC500	A11	branch
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A11	branch	Tstallo A515	IR15	IC500	A11	branch
A11	IC1		A12		A11	IC1		A12	
...	
A509	IC499		A510		A509	IC499		A510	
A510	IC500	-	A511		A510	IC500	-	A511	
Tstallo A511	IR11	-	A512		Tstallo A511	IR11	-	A512	
Tstallo A512	IR12	-	A513		Tstallo A512	IR12	-	A513	
Tstallo A513	IR13	-	A514		Tstallo A513	IR13	-	A514	
Tstallo A514	IR14	-	A515		Tstallo A514	IR14	-	A515	
Tstallo A515	IR15	IC500	A16	no branch	Tstallo A515	IR15	IC500	A16	no branch
A516	IR16		A517		A516	IR16		A517	
...	
A700	IR200		A710		A700	IR200		A710	
A701	Ix		A711		A701	Ix		A711	
A702	Ix		A712		A702	Ix		A712	
A703	Ix		A713		A703	Ix		A713	
A704	Ix		A714		A704	Ix		A714	
A705	Ix	IR200	A715	no branch	A705	Ix	IR200	A715	no branch
A706	Ix		A716		A706	Ix		A716	
A707	Ix		A717		A707	Ix		A717	
A708	Ix		A718		A708	Ix		A718	
A709	Ix		A719		A709	Ix		A719	completata IR200

All'ultima riga invece sono eseguite $(500 \times 2000 + 200) + 5 \times 1999 + 9 = 1.000.200$ istruzioni e 9.995 stalli e 9 Tck per completare l'ultima istruzione

In totale $(1.000.200 \times 1000)$ Tck di istruzioni e $(10.000 \times 999 + 9.995)$ Tck di stalli e 9 Tck di completamento

$1.000.200.000 + 10.000.004 = 1.010.200.004$ Tck

Lo speedown tra CPU con pipe ideale ed una con stalli e'

$SP = 1.000.200.009 / 1.010.200.004 = 0,9901$ ho un peggioramento delle prestazioni dell'1%.

4 Con un branch prediction BTB a due stati cosa si migliora?

BTB										BTB									
Pipeline di 10 stadi					Stadio 6					Pipeline di 10 stadi					Stadio 6				
PC corrente					Istr. Fetch					PC corrente					Istr. Fetch				
start					Istr. ex					start					Istr. ex				
Next PC					Next PC					Next PC					Next PC				
BTBprediction					BTBprediction					BTBprediction					BTBprediction				
A1					A1					A1					A1				
A2					A2					A2					A2				
A3					A3					A3					A3				
A4					A4					A4					A4				
A5					A5					A5					A5				
A6					A6					A6					A6				
...								
A10					A10					A10					A10				
A11					A11					A11					A11				
...								
A509					A509					A509					A509				
miss					hit, notaken					miss					hit, notaken				
Tstallo					Tstallo					Tstallo					Tstallo				
A511					A511					A511					A511				
A512					A512					A512					A512				
A513					A513					A513					A513				
A514					A514					A514					A514				
A515					A515					A515					A515				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1					IC1					IC1				
...								
A509					A509					A509					A509				
A510					A510					A510					A510				
hit, taken					hit, taken					hit, taken					hit, taken				
A11					A11					A11					A11				
IC1					IC1														

Riassumendo: il numero di istruzioni non cambia (1.000.200) mentre il numero di clock per stalli scende da 10.000.004 Tck a $((2 \text{ Tck} \times 1000) + 2 \text{ Tck}) \times 5 = 10.010$

Lo speedup con BTB a 2 cicli rispetto alla pipeline con stalli e'

SP = $1.000.210.019 / 1.010.200.004 = 9,9$ quasi 10 volte meglio

Si e' passati da 10.000.004 circa 10 milioni di Tck di stalli a 10.010 ossia circa 10.000 Tck.

- ➔ Senza dover fare tutti questi passaggi basta ricordare che in ogni ciclo si hanno due errori di predizioni il primo e l'ultimo. Ogni errore genera stallo quindi
- ➔ 2 Errori del ciclo interno ripetuto x 1000 volte + 2 del ciclo esterno
- ➔ 2002 Stalli ognuno di 5 Tck in questo caso quindi 10.010 Tck stalli

BTB			Pipeline di 10 stadi		Stadio 1	Stadio 6	Next PC		
			PC corrente		Istr. Fetch ..	Istr ex			
					start			A1	
			BTBprediction	A1	IR1	-		A2	
			-	A2	IR2	-		A3	
			-	A3	IR3	-		A4	
			-	A4	IR4	-		A5	
			-	A5	IR5	-		A6	
			-	A6	IR6	IR1		..	
			-	
			-	A10	IR10			A11	
			-	A11	IC1			A12	
			-	
			-	A509	IC499			A510	
			hit, notaken	A510	IC500	-		A511	
			-	Tstallo	A511	IR11	-	A512	
			-	Tstallo	A512	IR12	-	A513	
			-	Tstallo	A513	IR13	-	A514	
			-	Tstallo	A514	IR14	-	A515	
AddrPC	Add brand Prediction		-	Tstallo	A515	IR15	IC500	A11	branch
A510	A11	taken							D(1000,1)
A799	A1	taken							
			-	A11	IC1			A12	
			-	
			-	A509	IC499			A510	
			hit, taken	A510	IC500	-		A11	D(1000,2)
			-	A11	IC1			A12	
			-	
			-	A11	IC1			A12	
			-	
			hit, taken	A509	IC499			A510	
			-	A510	IC500	-		A11	
AddrPC	Add brand Prediction		-	Tstallo	A11	IR11		A12	
A510	A11	NO Taken						..	
A799	A1	taken	-	Tstallo	A15	IF15	IC500	A511	no branch
			hit, taken	A700	IR200			A1	
			-	A1	IR1	-		A2	
			-	A2	IR2	-		A3	
			-	A3	IR3	-		A4	
			-	A4	IR4	-		A5	
			-	A5	IR5	A700		A701	no branch
AddrPC	Add brand Prediction							A702	
A510	A11	NO taken							
A799	A1	NOTAKEN							
			-	A701	ix				
			-				
			-	A709				A710	completata IR200

5 Con un branch prediction BTB a quattro stati cosa si migliora?

Al primo ciclo interno ci sono 2 errori e poi per tutti gli altri cicli interni solo 1 errore. Per il ciclo esterno non cambia solo 2 errori quindi

- ➔ 1errore + 1 Errori del ciclo interno ripetuto x 1000 volte + 2 del ciclo esterno
- ➔ 1003 Stalli ognuno di 5 Tck in questo caso quindi 5015 Tck stall

Altro esercizio:

si consideri due cicli Loop1 di 1000 istruzioni da eseguirsi 200 volte e Loop2 di 2000 istruzioni da eseguirsi 400 volte; entrambi sono inseriti in un terzo ciclo (non sono innestati l'uno nell'altro) esterno

che oltre alle istruzioni dei due cicli precedenti contiene altre 500 istruzioni. Il ciclo Loop3 esterno deve essere eseguito 1000 volte.

1. Quante istruzioni sono scritte nel codice?
2. Quante istruzioni sono eseguite?
3. Quanti stalli di alee di controllo senza branch prediction?
4. Quanti stalli con BTB a 2 stati?
5. Quanti stalli con BTB a 4 stadi?

Altro esercizio

[illegible]