ESERCIZIO

Un programma deve elaborare una matrice di 2000 colonne x 1000 righe di elementi. Il programma esegui quindi un ciclo innestato composto da 500 istruzioni nel ciclo interno e altre addizionali 200 nel ciclo esterno. il programma ha la seguente sequenza: (le istruzioni IC500 e IR200 sono istruzioni di salto alle label L2 ed L1 rispettivamente; dopo le istruzioni all indirizzo A770 continuano altra istruzioni IX1..IXn) Gli indirizzi Ai.. sono consecutivi e si suppone che per semplicità A(i)= A(i-1) +4 ossia che ogni istruzione sia di 4 byte.

A1	L1:	IR1
A2		IR2
A3		IR3
A4		IR4
A10		IR10
A11	L2:	IC1
A12		IC2
A13		IC3
A14		IC4
A510		IC500
A511		IR11
A512		IR12
		IR13
A700		IR200
A701		IX1

1 Quante istruzioni vengono eseguite considerando solo i due cicli?

Ni= (500X2000 +200)X1000=1.000.200.000

2 Considerando una pipeline ideale non superscalare e senza stalli con k=10 stadi, e con il Tempo di stadio pari a 1 Tck 1 ciclo di clock, quanto e' lo speedup che si ottiene con una machcina in pipeline rispetto alla stessa arhcitettura senza la paiplene, supponendo che ogni istruzione richieda in caso di assenza di pipleline un CPI=k=10?9

```
SP= ( Ni x CPI nopipe x Tck) / ( Ni x CPI pipe x Tck)

SP= ( Ni x k x Tck) / (( Ni -1+k x Tck) = 10.002.000.000 /1.000.200.009=9.999.... quasi 10 pari a k
```

3 se ad ogni stallo di pipeline dovuto ad alea di controllo la CPU esegue la fase di controllo del salto allo stadio 5 e in caso di salto deve svuotare la pipeline di 5 stadi, quanti istruzioni diventano e quale e' lo speeddown con una pipeline con stalli?

	Pipeline di 1	0 st Stadio 1	Stadio 6						Pipeline di 10 star	li Stadio 1	Stadio 6				
	PC corrente	Istr. Fetch .	. Istr ex	Next PC					PC corrente	Istr. Fetch	Istr ex	Next PC			
		start		A1						start		A1			
	A1	IR1	-	A2					A1	IR1	-	A2			
	A2	IR2	-	A3					A2	IR2	-	A3			
	A3	IR3	-	A4					A3	IR3		A4			
	A4	IR4	-	A5					A4	IR4	-	A5			
	A5	IR5	-	A6					A5	IR5	-	A6			
	A6	IR6	IR1						A6	IR6	IR1				
	A10	IR10		A11					A10	IR10		A11			
	A11	IC1		A12					A11	IC1		A12			
				- L.											
	A509	IC499		A510					A509	IC499		A510			
	A510	IC500	-	A511					A510	IC500		A511			
tallo	A511	IR11	-	A512				Tstallo	A511	IR11	-	A512			
tallo	A512	IR12		A513				Tstallo	A512	IR12		A513			
tallo	A513	IR13		A514				Tstallo	A513	IR13		A514			
tallo	A514	IR14		A515				Tstallo	A514	IR14		A515			
stallo	A515	IR15	IC500	A11	branch	D(1,1)		Tstallo	A515	IR15	IC500	A11	branch	D(2,1)	
Jeano	A11	IC1	10300	A12	brunch	U(1,1)		istano	A11	IC1	10300	A12	brunch	D(2,2)	
												7122			
	A509	IC499		A510					A509	IC499		A510			
	A510	IC500	-	A511					A510	IC500	-	A511			
stallo	A511	IR11		A512				Tstallo	A511	IR11		A512			
tallo	A512	IR12		A513				Tstallo	A512	IR12		A513			
tallo	A513	IR13		A514				Tstallo	A512 A513	IR13		A514			
stallo	A513	IR14	•	A514 A515				Tstallo	A513 A514	IR14		A514 A515			
stallo	A515	IR15	IC500	A11	branch	D(1,2)		Tstallo	A515	IR15	IC500	A11	branch	(D2,2)	
StallO	A11	IC1	10500	A11	DIAIICII	D(1,2)		IStallo	A313	IC1	10300	A12	DIAIICII	(02,2)	
												H12	_		
	A11	IC1		 A12					 A11	IC1		A12	-		
	AII														
	4500														
	A509 A510	IC499 IC500		A510 A511	-				A509 A510	IC499 IC500		A510 A511	-		
			-					T-1-11-			-				
stallo	A511	IR11	•	A512				Tstallo	A511	IR11		A512			
stallo	A512	IR12		A513				Tstallo	A512	IR12		A513			
stallo	A513	IR13	-	A514				Tstallo	A513	IR13	-	A514			
stallo	A514	IR14	-	A515	and house t	D/4 2005)		Tstallo	A514	IR14	-	A515	a a bassa d	(D. 2007)	
stallo	A515	IR15	IC500	A516	no branch	D(1,2000)		Tstallo	A515	IR15	IC500	A516	no branch	(D,2000)	
	A516	IR16		A517					A516	IR16		A517			
					-										
				A700								A700			
	A700	IR200		A710					A700	IR200		A710			
stallo	A701	lx		A711				Tstallo	A701	lx		A711			
stallo	A702	lx		A712				Tstallo	A702	lx		A712			
stallo	A703	lx		A713				Tstallo	A703	lx		A713			
stallo	A704	lx		A714				Tstallo	A704	lx		A714			
stallo	A705	lx	IR200	A1	branch		Riga 1	Tstallo	A705	lx	IR200	A1	branch		F

Al termine della prima riga sono stati eseguiti 2000 cicli di colonna ognuno dei quali ha necessitato 5 TCK di stallo per i branch di colonna, tranne l'ultimo, a cui si aggiungono 5 Tck di stallo per il branch di riga. Quindi

Ni (riga 1)= 10+ (500+5) x 1999 +500+190+ 5= 1.010.200

ossia (500 x2000 +200) + 5 x 1999 +5 = 1.000.200 istruzioni e 10.000 stalli

Stessa cosa per la riga 2 ... fino alla riga 999

Per le righe da 1 a 999 sono state eseguite (1.000.200x999)= istruzioni e (10.000 x999) stalli

Pipeline di 10 stadi	Stadio 1	Stadio 6					
PC corrente	Istr. Fetch	Istr ex	Next PC				
	start		A1				
A1	IR1	-	A2				
A2	IR2	-	A3				
A3	IR3	-	A4				
A4	IR4	-	A5				
A5	IR5	-	A6				
A6	IR6	IR1	1				
A10	IR10		A11				
A11	IC1		A12				
				_			
		ICE00		branch	D(1000.1)		
		10300		Dianth	D(1000,1)		
				-			
				-			
		-					
		-					
		-					
		-					
		IC500		branch	(D1000,2)		
A11			A12				
		-					
A511		-	A512				
A512	IR12	-	A513				
A513	IR13		A514				
A514	IR14	-	A515				
A515	IR15	IC500	A516	no branch	-1000,2		
A516	IR16		A517				
			A700				
A700	IR200		A710				
	lx						
		19700		no branch		Rica 1000	
				no oranicii		1000	
A706 A707	IX IX		A710 A717				
			A/1/				
A708	Ix		A718				
	PC corrente A1 A2 A3 A3 A4 A5 A6 A1 A10 A10 A10 A510 A510 A510 A511 A514 A514 A514 A515 A515 A511 A510 A510 A511 A511 A511 A512 A514 A511 A514 A515 A515 A516 A517 A518 A519 A519 A510 A510 A510 A510 A510 A511 A511 A511 A512 A513 A514 A515 A516 A517 A518 A518 A518 A519 A519 A510 A510	P.C. Corrente Sist. Feeto Sist. Feeto	St. Corrente St. F. Cetch St.	Storente	Stare Star	Storente Str. Fetch Start ex Nest PC Start A1 A2 A2 A3 A3 A3 A3 A3 A4 A4 A4	Storente Storente

All'ultima riga invece sono eseguite $(500 \times 2000 + 200) + 5 \times 1999 + 9 = 1.000.200$ istruzioni e 9.995 stalli e 9 Tck per completare l'ultima istruzione

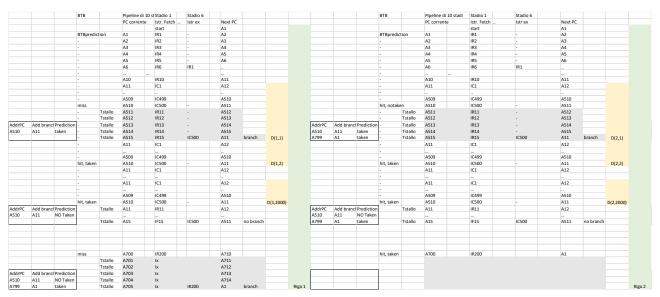
In totale (1.000.200x 1000) Tck di istruzioni e (10.000 x999 +9.995) Tck di stalli e 9 Tck di completamento

1.000.200.000+ 10.000.004= 1.010.200.004 Tck

Lo speedown tra CPU con pipe ideale ed una con stalli e'

SP= 1.000.200.009/1.010.200.004= 0,9901 ho un peggioramento delle prestazioni dell'1%.

4 Con un branch prediction BTB a due stati cosa si migliora?



Al termine della prima riga sono stati eseguiti 2000 cicli di colonna. Ci sono stati solo 2 cicli (il primo ed ultimo) con stallo di 5 TCK di stallo a cui si aggiungono 5 Tck di stallo per il branch di riga. Quindi

Ni (riga 1)= 10+ (500) x 1998 +505 x 2+190+ 5= 1.000.215

ossia (500 x2000 +200) + 5 x 2 +5 = 1.000.200 istruzioni e 15 stalli

Per la riga 2 ... fino alla riga 999, uguale ma con la differenza che al primo ciclo si ha una hit sul btb ma con la predizione sbagliata (NO Taken) ma si ha hit e predizione giusta alla fine quindi

Ni (riga 2... riga 999)= 10+ (500) x 1998 +505 x 2+190= 1.000.210

ossia (500 x2000 +200) + 5 x 2 = 1.000.200 istruzioni e 10 stalli

Per le righe da 1 a 999 sono state eseguite (1.000.200x999)= istruzioni e (15 +10x998) stalli

All'ultima riga invece sono eseguite ($500 \times 2000 + 200$) + $5 \times 2 + 5 + 9 = 1.000.200$ istruzioni e 15 stalli e 9 Tck per completare l'ultima istruzione

(attenzione in realta' se non ci sono altre istruzioni da eseguire, come nella figura i 5 Stalli per la riga sono assorbiti all'interno dei 9 Tck per completare l'ultima istruzione IR200; in generale pero' dato che il programma continua vanno considerati e quindi li sommiamo anche se non necessari in questo caso)

In totale (1.000.200x 1000) Tck di istruzioni

e (15 + 10x998 + 15) Tck di stalli e 9 Tck di completamento (o 4 di completamento)

Riassumendo: il numero di istruzioni non cambia (1.000.200) mentre il numero di clock per stalli scende da

10.000.004 Tck a ((2 Tck x 1000) + 2 Tck)x5= 10.010

Lo speedup con BTB a 2 cicli rispetto alla pipeline con stalli e'

SP= = 1.000.210.019 /1.010.200.004= 9,9 quasi 10 volte meglio

Si e' passati da 10.000.004 circa 10 milioni di Tck di stalli a 10.010 ossia circa 10.000 Tck.

- → Senza dover fare tutti questi passaggi basta ricordare che in ogni ciclo si hanno due errori di predizioni il primo e l'ultimo. Ogni errore genera stallo quindi
- → 2 Errori del ciclo interno ripetuto x 1000 volte + 2 del ciclo esterno
- → 2002 Stalli ognuno di 5 Tck in questo caso quindi 10.010 Tck stalli

			BTB		Pipeline di 10 stadi	Stadio 1	Stadio 6				
					PC corrente	Istr. Fetch	Istr ex	Next PC			
						start		A1			
			BTBpredic	tion	A1	IR1	-	A2			
			-		A2	IR2	-	A3			
					A3	IR3		A4			
					A4	IR4		A5			
					A5	IR5		A6			
					A6	IR6	IR1				
	_	_				INO	IKI				
		_				1040			_		
			-		A10	IR10		A11			
					A11	IC1		A12			
			-								
			-		A509	IC499		A510			
			hit, notake		A510	IC500	-	A511			
			-	Tstallo	A511	IR11		A512			
			-	Tstallo	A512	IR12		A513			
AddrPC	Add bra	ncl Prediction	-	Tstallo	A513	IR13		A514			
A510	A11	taken	-	Tstallo	A514	IR14		A515			
A799	A1	taken	-	Tstallo	A515	IR15	IC500	A11	branch	D(1000,1)	
					A11	IC1		A12		,, ,	
					A509	IC499		A510			
			hit, taken		A510	IC500		A11		D(1000,2)	
			iiit, takeii		A11	IC1	-	A12		D(1000,2)	
	_				A11	IC1		A12			
		_									
			-								
					A509	IC499		A510			
			hit, taken		A510	IC500	-	A11		(1000,2000	
AddrPC		incl Prediction		Tstallo	A11	IR11		A12			
A510	A11	NO Taken									
A799	A1	taken		Tstallo	A15	IF15	IC500	A511	no branch		
			hit, taken		A700	IR200		A1			
			-,		A1	IR1	-	A2			
					A2	IR2		A3			
AddrPC	Add bro	ncl Prediction			A3	IR3		A4			
AddrPC A510								A4 A5			
	A11	NO taken			A4	IR4					
A799	A1	NOTAKEN	1		A5	IR5	A700	A701	no branch		Riga
					A701	lx		A702			
					A709			A710	completat	1R200	

5 Con un branch prediction BTB a quattro stati cosa si migliora?

Al primo ciclo interno ci sono 2 errori e poi per tutti gli altri cicli interni solo 1 errrore. Per il ciclo esterno non cambia solo 2 errori quindi

- → 1errore + 1 Errori del ciclo interno ripetuto x 1000 volte + 2 del ciclo esterno
- → 1003 Stalli ognuno di 5 Tck in questo caso quindi 5015 Tck stall

Altro esercizio:

si consideri due cicli Loop1 di 1000 istruzioni da eseguirsi 200 volte e Loop2 di 2000 istruzioni da eseguirsi 400 volte; entrambi sono inseriti in un terzo ciclo (non sono innestati l'uno nell'altro) esterno

che oltre alle istruzioni dei due cicli precedenti contiene altre 500 istruzioni. Il ciclo Loop3 esterno deve essere eseguito 1000 volte.

- 1. Quante istruzioni sono scritte nel codice?
- 2. Quante istruzioni sono eseguite?
- 3. Quanti stalli di alee di controllo senza branch prediction
- 4. Quanti stalli con BTB a 2 stati?
- 5. Quanti stalli con BTB a 4 stadi?

Altro esercizio

Altro esercizio:										
si consideri due cicli Loop1 di 1000 istruzioni da eseguirsi 200										
volte e Loop2 di 2000 istruzioni da eseguirsi 400 volte; entrambi										
sono inseriti in un terzo ciclo (non sono innestati l'uno nell'altro)										
esterno che oltre alle istruzioni dei due cicli precedenti contiene										
altre 500 istruzioni. Il ciclo Loop3 esterno deve essere eseguito 1000 volte.										
1. Quante istruzioni sono scritte nel codice?										
2. Quante istruzioni sono eseguite?										
3. Quanti stalli di alee di controllo senza branch prediction	pipe k	5	2 Tck per s	2						
4. Quanti stalli con BTB a 2 stati?	Loop3			500	istruzioni					
5. Quanti stalli con BTB a 4 stati?		1	Loop1	1000	istruzioni	ripetuto	200	volte	1000	innestato
6. con una pipeline a 5 stadi con 2 Tck di stallo quant' e' lo										
speedup con btb a 2 stadi rispetto al caso senza btb?		1	Loop2	2000	istruzioni	ripetuto	400	volte	1000	innestato
7. con una pipeline a 5 stadi con 2 Tck di stallo quant' e' lo		_								
speedup con btb a 4 stadi rispetto al caso senza btb?					Loop3	ripetuto	1000	volte	1	no innesta
ipotesi cpi=1	quante ist	ruzioni nel o	odice	3500	-	ripetuto	1000	TOILE	-	no mnesta
ipotesi epi 1	quante istruzioni eseguite			500						
	quanterist	uzioiii eseg	June	200.000						
				800.000	-					
			tot	1.000.500.000	-					
ogni volta meno l'ultimo ciclo per tutte le volte che e' ripetuto	quanti sta	lli senza btb								
ogni voita meno i dicino dicio per tutte le voite che e ripetato	quanti sta	III SEIIZA DED	399.000							
			999							
			598.999							
solo il primo e l'ultimo ciclo	auanti eta	lli con btb a			loop1					
solo il primo e i ultimo cicio	quanti sta	iii con btb a	2 Statir		-					
					loop2					
					loop3					
				4002						
solo il 1 volta per iterazione +1 (ossia 2 volte il primo e poi 1 volta										
sola)	quanti sta	lli con btb a	4 stati?		loop1					
					loop2					
					loop3					
				2004						
	che speed	lup 2 stati su	no btb	nix cpix tck	no btb	(ni-1+k) *1	*tck	1.001.698.002		
					btb a 2 stadi			1.000.508.008		
					btb a 4 stadi			1.000.504.012		
					ideale no sta	lli		1.000.500.000		
	speedup t	ra non btb e	btb a 2 sta	nti=	1,00118939					
	speedup t	ra no btb e	btb a 4 stad	li	1,00119339					
	quante vo	lte si ha una	alea rispe	tto alle istruzioni	1000	loop1				
					1000	loop2				
					1	loop3				
					2001	numeri di	alee			
					0,000002	% alea risp	etto alle ist	ruzioni=		