
Depuração e otimização de módulo de Espectrômetro Digital em FPGA

João Carlos Batista



Depuração e otimização de módulo de Espectrômetro Digital em FPGA

João Carlos Batista

Supervisor: Daniel Consalter

Empresa: Fine Instrument Technology

Monografia referente ao projeto de conclusão de curso dentro do escopo da disciplina SSC0592 do Departamento de Sistemas de Computação do Instituto de Ciências Matemáticas e de Computação – ICMC-USP para obtenção do título de Bacharel em Informática.

**USP – São Carlos
Junho de 2015**

Dedicatória

Dedico esta monografia à Universidade de São Paulo, à Moradia do Alojamento, ao Curso e aos professores que se dedicaram passando conhecimento aos alunos do Curso de Bacharelado em Informática.

Agradecimentos

É difícil de agradecer a todos que me ajudaram e me apoiaram durante o curso, por isso agradeço a todos de coração com quem convivi durante todos os anos na Universidade de São Paulo. Agradeço a todos de forma paralela.

Agradeço a Deus, pela força, saúde e por nunca me abandonar e me proteger nas horas de dificuldades.

A toda minha Família, pelo carinho, dedicação e provendo ajuda financeiras e motivacionais para a conclusão do curso.

Ao ICMC, IFSC e a USP pela oportunidade de estudo e realização do estágio, e aos professores pela paciência e dedicação.

Aos profissionais da FIT e CIERMag e a todos que me influenciaram e ajudaram na realização deste estágio, agradeço aos doutores Alberto Tannús, Mateus José Martins e Daniel Marteloza Consalter e os demais amigos de estágio.

À minha namorada Marina Jeaneth Machicao Justo, que muito além de proporcionar diversos momentos felizes ao lado dela, tem me apoiado e dado forças em uma fase difícil.

Resumo

Neste trabalho são descritas as atividades desenvolvidas pelo aluno João Carlos Batista durante o estágio desenvolvido na empresa FIT (*Fine Instrument Technology*). O principal objetivo é a depuração e otimização do módulo <dacgrad8812> seguindo rigorosamente aos requisitos de tratamentos de dados, a transmissão de dados, tempo de transmissão, o tratamento de metaestabilidade, e a comunicação serial, exigidos pela empresa e pelas especificações do padrão SPI (*Serial Peripheral Interface*). Para isso, o aluno teve de adquirir conhecimento em programação VHDL(*Very High Speed Integrated Circuit Hardware Description Language*), Verilog e esquemático, FPGA(*Field Programmable Gate Array*), entre outras para conseguir adaptá-las ao modelo de cascata na análise de documentos de requisitos, otimização do código, depuração e testes. A principal contribuição deste trabalho foi a integração do módulo desenvolvido no projeto final da empresa com sucesso.

Palavras-chaves:módulo <dacgrad8812>, otimização, Verilog.

Sumário

LISTA DE FIGURAS.....	VIII
LISTA DE TABELAS.....	X
LISTA DE ABREVIACÕES E SÍMBOLOS	XII
CAPÍTULO 1: INTRODUÇÃO.....	1
1.1. SOBRE A EMPRESA.....	1
1.2. SOBRE O PROCESSO SELETIVO.....	1
1.3. ORGANIZAÇÃO DA MONOGRAFIA.....	1
CAPÍTULO 2: PLANEJAMENTO DO TRABALHO.....	3
2.1. ATIVIDADES PLANEJADAS PARA O ESTÁGIO.....	3
2.1.1. OBJETIVOS DO ESTÁGIO.....	3
2.2. TREINAMENTOS PLANEJADOS PARA O ESTÁGIO.....	4
CAPÍTULO 3: DESENVOLVIMENTO DO TRABALHO.....	5
3.1. CONSIDERAÇÕES INICIAIS.....	5
3.1.1. OBSERVAÇÕES SOBRE O MÓDULO DA VERSÃO ANTIGA	7
3.1.1.1. REQUISITOS GERAIS	7
3.1.1.2. REQUISITOS ESPECÍFICOS.....	7
3.1.1.2.1. TRATAMENTO DOS DADOS	8
3.1.1.2.2. TRANSMISSÃO DOS DADOS.....	8
3.1.1.2.3. TEMPO DE TRANSMISSÃO DOS DADOS.....	9
3.1.1.2.4. TRATAMENTO DE METAESTABILIDADE	9
3.1.1.2.4. COMUNICAÇÃO SERIAL.....	10
3.2. PROBLEMAS RESOLVIDOS	10
3.2.1. MÁQUINA DE ESTADOS.....	11
3.2.2. RESULTADOS DOS TESTES	12
3.3. TÉCNICAS, MÉTODOS E TECNOLOGIAS ENVOLVIDAS.	13
3.4. IMPACTO.....	14
3.5. PROBLEMAS NÃO RESOLVIDOS	15
CAPÍTULO 4: CONCLUSÃO.....	16
4.1. BENEFÍCIOS PARA O CRESCIMENTO PROFISSIONAL.....	16

4.2. CONSIDERAÇÕES SOBRE O CURSO DE GRADUAÇÃO.....	16
4.3. SUGESTÕES PARA O CURSO DE GRADUAÇÃO	17
4.4. PLANOS PARA O FUTURO	17
APÊNDICE A	18
REFERÊNCIAS	21

Lista de Figuras

FIGURA 1:VISÃO RTL DA COMUNICAÇÃO ENTRE FPGA (QUADRADO PONTILHADO NA ESQUERDA) E A PLACA AUXILIAR (QUADRADO PONTILHADO NA DIREITA). MOSTRA-SE OS MÓDULOS QUE AFETAM O BLOCO <DACGRAD8812> (EM CÍRCULO) (MODIFICADO A PARTIR DE [6]). 5

FIGURA 2: MÓDULO <DACGRAD8812> NA VISÃO RTL. 6

FIGURA 3: FORMATAÇÃO DOS DADOS (MODIFICADO A PARTIR DE [6]). 8

FIGURA 4: TRATAMENTO DE METAESTABILIDADE [4]. 9

FIGURA 5: FORMA DE ONDA ESPERADA PELO DAC8812 (MODIFICADO A PARTIR DE [6])...... 10

FIGURA 6: ANÁLISE DE RESULTADO E MÁQUINA DE ESTADO. 11

FIGURA 7: SIMULAÇÃO TOTAL. 13

FIGURA 8: CICLO DE DESENVOLVIMENTO. ADAPTADO A PARTIR DE [1]. 14

FIGURA A 1: INTEGRADO DAC8812 (MODIFICADO A PARTIR DE [6]). 18

FIGURA A 2: RESULTADO TEMPO TCSS NA SIMULAÇÃO..... 19

FIGURA A 3: DADOS SERIALIZADOS. 19

FIGURA A 4: TRATAMENTO DOS TEMPOS. 20

Lista de Tabelas

TABELA 1. ATIVIDADES PLANEJADAS. 3

TABELA 2. TREINAMENTOS PLANEJADOS. 4

TABELA 3. TRANSIÇÕES DA MÁQUINA DE ESTADOS..... 12

TABELA 4. TRANSIÇÃO DE DADOS NO DAC8812..... 13

Lista de Abreviações e Símbolos

CIERMag	Centro de Imagens e Espectroscopia in vivo por Ressonância Magnética
RMN	Ressonância Magnética Nuclear
FPGA	Arranjo de portas programáveis em campo (<i>Field Programmable Gate Array</i>)
FIT	Empresa <i>Fine Instrument Technology</i>
RTL	<i>Register Transfer Level</i>
VHDL	Very High Speed Integrated Circuit Hardware Description Language
ICMC	Instituto de Ciências Matemáticas e de Computação
IFSC	Instituto de Física de São Carlos
SPI	Interfaz de periféricos serie (<i>Serial Peripheral Interface</i>)
DAC	Conversor Digital para analógico (<i>Digital to Analog Converter</i>)
↑+	Transição de 0 para 1 (borda de subida)
↓-	Transição de 1 para 0 (borda de descida)
—	Não depende do valor
dac_SCLK	Serial CLock
dac_SDI_	Saída Serial Data Input
dac_CS_N	Chip Select Negado

CAPÍTULO 1: INTRODUÇÃO

1.1. Sobre a Empresa

A FIT é uma empresa de pesquisa, desenvolvimento e inovação focada na área de ressonância magnética. A empresa se iniciou na capital paulista no ano 2006 focada em soluções para ressonância magnética dentro da especialidade de radiologia médica, que posteriormente veio se expandir, abrangendo a área de ressonância magnética como um todo e consequentemente mudando-se para a cidade de São Carlos no ano de 2010 [3].

A empresa FIT possui convênio tecnológico com a EMBRAPA Instrumentação e através do programa SIBRATEC da FINEP, assinou um convênio de cooperação tecnológica no ano de 2014 com o grupo CIERMag (Centro de Imagens e Espectroscopia in vivo via Ressonância Magnética) localizada no IFSC, no Campus I da USP - São Carlos. Dentro deste convênio SIBRATEC se encontram projetos que visam desenvolver tecnologia para aplicar ressonância magnética na área de saúde, instrumentação científica e aplicada dentro da instituição de pesquisa conveniada. Por esse motivo, o aluno estagiário, contratado pela FIT, desenvolveu suas atividades no local de trabalho da CIERMag [2].

1.2. Sobre o Processo Seletivo

O aluno foi selecionado através de entrevista e análise de currículo entre alunos de graduação e pós-graduação para integrar a equipe de desenvolvimento da empresa FIT no cargo em programação de hardware, cargo que ocupa desde Julho de 2014, no qual o estagiário veio se capacitar em tópicos de: linguagem Verilog, VHDL e programação em hardware. O bom desempenho e aptidão do estagiário permitiram a continuação deste na equipe da empresa no período de Fevereiro a Maio de 2015, período deste trabalho descrito.

As funções desenvolvidas na equipe foram: Implementação, depuração, otimização, e testes.

1.3. Organização da monografia

A monografia está organizada em três capítulos, incluindo esta introdução no primeiro capítulo. No segundo capítulo são apresentados os treinamentos previstos, assim

como as atividades planejadas no estágio como cronograma correspondente. No terceiro capítulo é relatado o desenvolvimento do trabalho, onde é descrito o problema, as soluções, técnicas, métodos e tecnologias envolvidos assim como suas limitações. Finalmente, no quarto capítulo são dadas as conclusões, assim como outras considerações sobre o curso, o projeto de estágio, e trabalhos futuros. Finalmente, alguns detalhes do trabalho encontram-se no Apêndice A.

CAPÍTULO 2: Planejamento do Trabalho

Neste capítulo são contempladas as atividades planejadas para se obter o resultado do trabalho.

2.1. Atividades planejadas para o estágio

2.1.1. Objetivos do estágio

Este trabalho tem como objetivo a depuração e otimização do módulo <dacgrad8812> que faz parte do espectrômetro digital desenvolvido em FPGA (*Field Programmable Gate Array*). Um espectrômetro digital é o cérebro de um equipamento de ressonância magnética nuclear (RMN). Ele é o responsável por codificar e receber os sinais de RMN que são posteriormente analisados, sendo transformado em imagens médicas ou características químicas e físicas da amostra analisada, dependendo de sua aplicação. Especificamente, o módulo <dacgrad8812> deve cumprir os requisitos exigidos pela empresa, que são detalhados nas atividades a seguir.

Os prazos estimados para a execução das atividades identificadas para o bom desenvolvimento das atividades são detalhados na Tabela 1.

Tabela 1. Atividades Planejadas.

		Fevereiro				Março				Abril				Maio			
	Atividades por semana	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1	Treinamento																
2	Análise de documentos de requisitos																
3	Análise de módulo																
4	Otimização de módulo																
5	Depuração																
6	Testes																
7	Integração																
8	Escrita de relatórios e monografia																

2.2. Treinamentos planejados para o estágio

Os tópicos de treinamento necessários para este trabalho são apresentados na Tabela 2.

Tabela 2. Treinamentos Planejados.

Início	Fim	Descrição
20/02/2015	27/03/2015	Estudo de linguagem Verilog
28/02/2015	27/05/2015	Estudo de a placa auxiliar DAC8812
28/02/2015	27/05/2015	Estudo dos requisitos de funcionamento do módulo
28/02/2015	01/05/2015	Análise de código inicial (desenvolvimento prévio da FIT)

O treinamento descrito na Tabela 2 descreve a primeira etapa do projeto. Primeiramente se estudou a linguagem de programação utilizada para implementar o módulo, isto é, a linguagem Verilog, em seguida realizou-se o estudo do *datasheet* do conversor digital analógico do chip DAC8812, que é o chip responsável por transformar os dados digitais gerados neste módulo pela FPGA em sinais analógicos utilizados para codificar os sinais de RMN do experimento. Após isto, realizou-se um forte embasamento dos requisitos deste chip e de como este módulo <dacgrad8812> deve se comportar dentro do projeto como um todo através do estudo dos outros módulos do projeto relacionados diretamente com o módulo <dacgrad8812> que estavam implementados em VHDL e Verilog e as comunicações entre si. Por fim, realizou-se o estudo do módulo já implementado em busca de suas falhas e de possíveis melhorias para realizar as correções e otimizações.

CAPÍTULO 3: DESENVOLVIMENTO DO TRABALHO

3.1. Considerações Iniciais

A empresa FIT tem por objetivo o desenvolvimento de um grande projeto composto por diversos módulos que compõem um espectrômetro digital, já descrito anteriormente. A FPGA (*Stratix III EP3SL150F*) trabalha somente com dados digitais, sendo então necessário uma placa auxiliar para converter estes sinais para analógicos, que é o formato com que o equipamento de RMN trabalha. Uma visão parcial do projeto na qual é mostrada a comunicação entre a FPGA e a placa auxiliar pode ser observada na Figura 1. Esta visão mostra a interação dos módulos prévios <pll_50_100>, <preenf_final>, com o módulo <dacgrad8812> e sua posterior integração com a placa auxiliar DAC8812¹. O estagiário focou-se na otimização do módulo interno <dacgrad8812> que se observa no círculo em linhas pontilhadas.

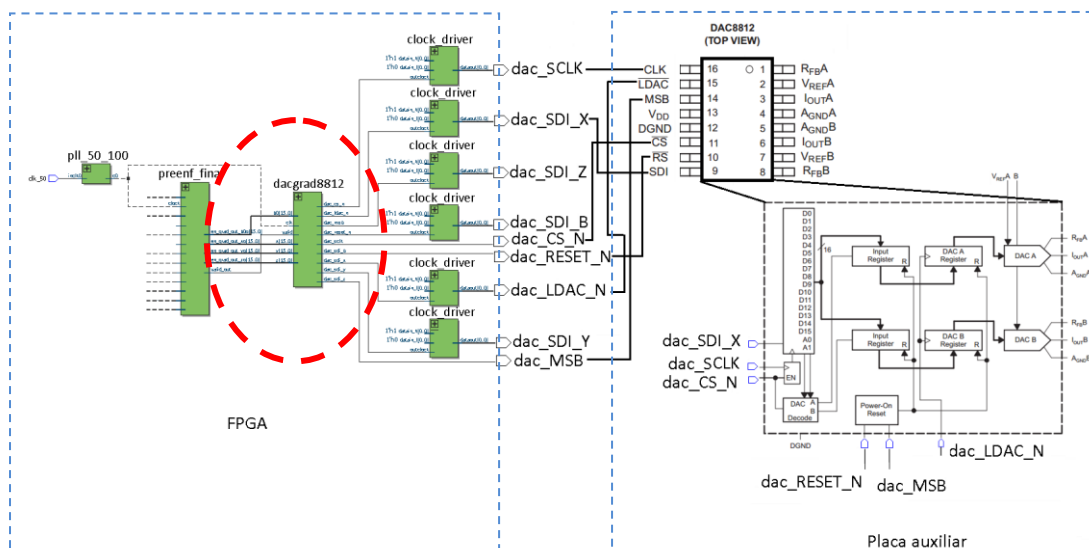


Figura 1: Visão RTL da comunicação entre FPGA (quadrado pontilhado na esquerda) e a placa auxiliar (quadrado pontilhado na direita). Mostra-se os módulos que afetam o bloco <dacgrad8812> (em círculo) (modificado a partir de [6]).

Os módulos que interagem nesta visão do projeto são resumidos a seguir:

¹ O DAC8812 é um componente integrado que está presente na placa auxiliar.

1. **Módulo <pll_50_100>**: É um divisor de clock que resulta num pulso de clock de saída de 10 ns para funcionamento de alguns módulos.
2. **Módulo<preenf_final>**: É um filtro digital do tipo passa alta. Esta filtragem é necessária para realizar correções nos sinais que codificarão o sinal de RMN. Os sinais resultantes deste módulo são direcionando como entradas do módulo <dacgrad8812>.
3. **Módulo <dacgrad8812>**: Encarrega-se de converter os dados de registrador paralelo para saída de bits serializado de acordo com a borda de subida de **dac_SCLK**. Também faz o tratamento de sinais de controle do chip DAC8812 e trata as temporizações de cada sinal seguindo as especificações.

A Figura 2 mostra uma visão RTL²do módulo <dacgrad8812>, com os respectivos sinais de entradas e saídas que serão mencionadas durante o resto da monografia.

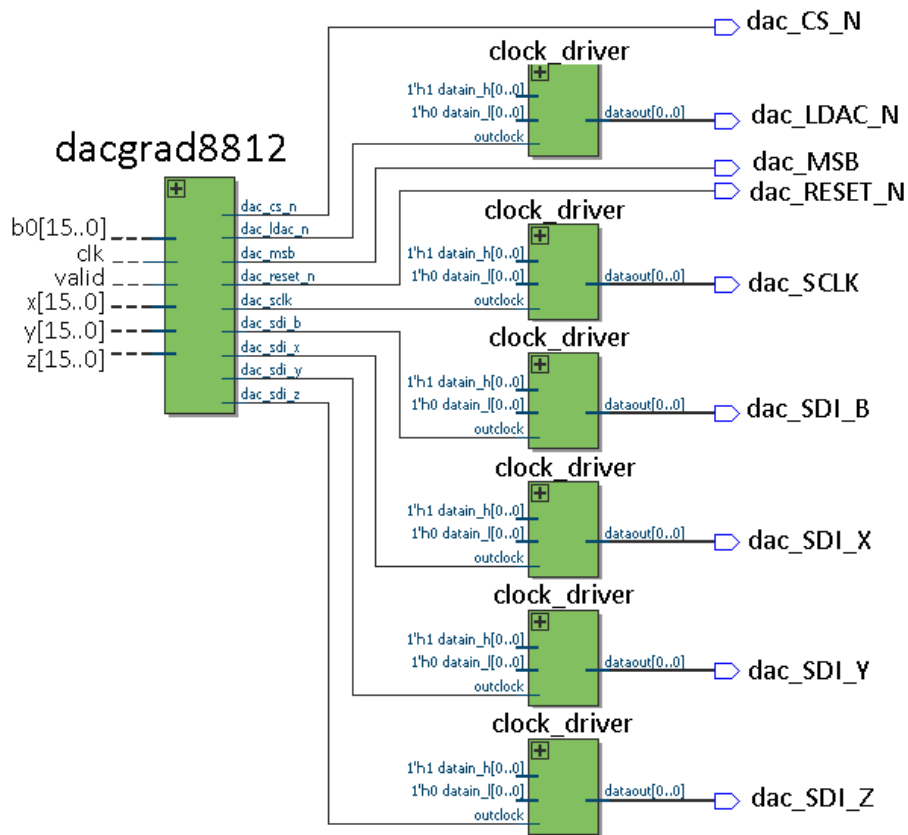


Figura 2: Módulo <dacgrad8812> na visão RTL.

² A Visão RTL permite a visualização de todos os componentes do projeto, mostra como os elementos foram sintetizados em hardware.

3.1.1 Observações sobre o módulo da versão antiga

O módulo inicial <dacgrad8812> anteriormente implementado não apresentava erros no simulador. Porém, ao usar o analisador lógico modelo TLA6202 da TEKTRONIX³, e analisar o sinal em tempo de execução junto com o hardware, detectaram-se erros de temporizações de alguns sinais. Observa-se que estas falhas não poderiam ser detectadas somente por simulação e após a análise foi possível identificar onde estavam os erros e onde deveriam ser realizadas as correções no código implementado.

3.1.1.Requisitos Gerais

Em geral, este trabalho contempla os seguintes requisitos:

- Otimizar o módulo que já tinha previamente sido desenvolvido, porém com falhas.
- Maximizar a independência do módulo, permitindo a fácil integração com novas versões desta sem que haja interferência no funcionamento dos outros módulos.
- Cuidar da distribuição da temporização por todos os módulos do hardware FPGA.
- Desenvolvimento sem atraso e falhas de interconexão com outros módulos.
- Otimizar o módulo em linguagem Verilog
- Validar as alterações realizando todos os casos de testes.

3.1.2.Requisitos Específicos

O módulo <dacgrad8812> que será otimizado, segue as especificações de funcionamento de a placa auxiliar a seguir:

- Período de clock de entrada (**clock**) de 10ns,
- Preparação dos dados (**dac_SDI_X**) segundo a especificação do DAC,
- Período de clock de saída (**dac_SCLK**) que vai para placa auxiliar de 20ns.

³ O analisador lógico modelo TLA6202 da TEKTRONIX é um equipamento que permite realizar monitoramento, medição e otimização de desempenho hardware digital.

O módulo <dacgrad8812> possui sinais de entradas e saídas, listadas a seguir:

- Entradas: **clock**, **valid**, Sinais de barramento de dados **b0[15..0]**, **x[15..0]**, **y[15..0]**, **z[15..0]**.
- Saídas: **dac_SDI_B**, **dac_SDI_X**, **dac_SDI_Y**, **dac_SDI_Z**
dac_LDAC_N, **dac_MSB**, **dac_RESET_N**, **dac_SCLK**,

Com base nessa informação começou-se a desenvolver e tratar cuidadosamente cada sinal, impedindo a sobreposição e o risco de ocorrência de metaestabilidade. Além disso, foram considerados os tratamentos de dados, a transmissão de dados, tempo de transmissão, e o tratamento de metaestabilidade, e a comunicação serial, cada um destes é brevemente descrito a seguir.

3.1.2.1. Tratamento dos dados

Para que os dados sejam transmitidos no padrão de aceitação do chip DAC8812, foram feitas algumas formatações no pacote dos dados, como observado na Figura 3.

- Bits B15 a B0: Posicionamento do dado. Esta formatação ocorre tanto para o barramento de dado positivo quanto negativo.
- Bits B17 e B16: Seleção de qual registrador DAC será usada (DAC A / DAC B).

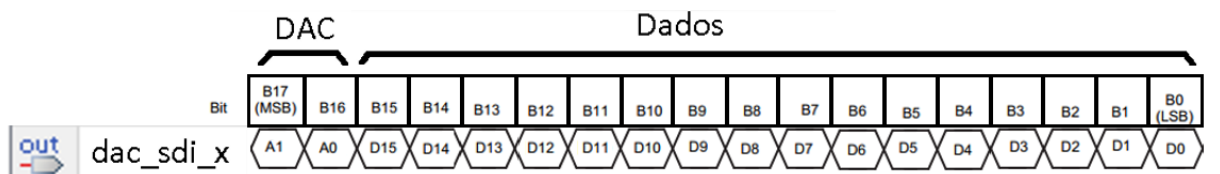


Figura 3: Formatação dos dados (modificado a partir de [6]).

3.1.2.2. Transmissão dos dados

O tratamento do dado é feito no *ESTADO 000*, que é descrita posteriormente na Seção 3.2.1. Esta operação é feita quando o módulo <dacgrad8812> recebe o sinal de **valid** do módulo <preenf_final>, a qual muda de 0 para 1. Este controle só é valido neste estado, porém quando **valid** é igual a 0 ocorre um *loop* permanecendo neste estado, esperando a variável mudar para 1 e assim prosseguir nos demais estados. Dessa maneira ocorre transmissão do dado positivo e dado negativo.

3.1.2.3. Tempo de transmissão dos dados

A máquina de estado encarrega-se da transmissão dos dados serializados para a placa auxiliar nos estados de *ENVIO_POSITIVO* e *ENVIO_NEGATIVO*. Este dado é transmitido do bit B17 a B0 de forma sequencial com uso de um ciclo de clock de saída de 20ns. Para a correta comunicação entre as placas FPGA e a placa auxiliar seguiu-se o padrão de comunicação SPI (*Serial Peripheral Interface*). Para isto, a FPGA estabelece o clock de leitura (**dac_SCLK**) da placa receptora e a frequência de clock deve estar exclusivamente entre 2a 20ns.

3.1.2.4. Tratamento de metaestabilidade

A metaestabilidade também foi tratada, pois todos os dados devem ser transmitidos de forma segura e respeitando as temporizações dos sinais digitais seguindo o protocolo SPI. Os dados devem permanecer estáveis 10ns antes e 10ns depois da borda de subida do **dac_SCLK**, como pode ser observado na Figura 4.

Por exemplo, ao analisar dentro de um pacote de dado observa-se que a comunicação é possível por causa do sincronismo de clock na linha de dado (o que representa a temporização da comunicação), pois o chip DAC8812 recebe o dado sempre na borda de subida do clock (**dac_SCLK**).

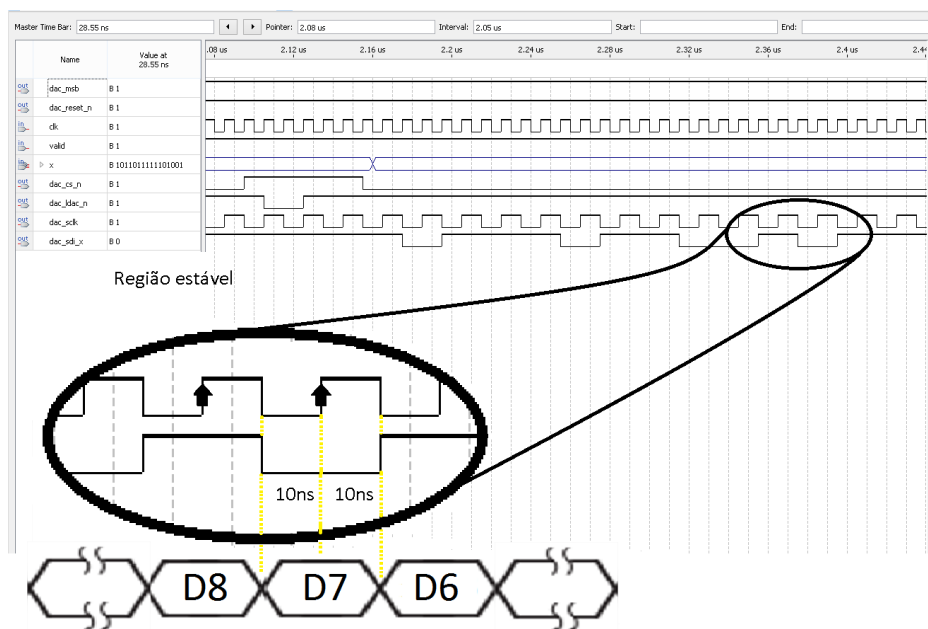


Figura 4: Tratamento de metaestabilidade [4].

O início da transmissão dos dados ocorre quando `dac_CS_N` passa do nível lógico alto para o nível lógico baixo. O término da transmissão ocorre quando `dac_CS_N` está na borda de subida. Entre o início e o término da transmissão de todos os bits, existe a classe de comunicação serial a qual segue o protocolo SPI.

3.1.2.4. Comunicação serial

A comunicação é serial entre a saída do módulo da FPGA para a placa de recepção que contém o chip DAC8812. As saídas dos módulos devem seguir as especificações de tempo correta, para que ocorra a transmissão sincronizada dos dados e sem perda de informação, na qual todos os sinais devam ser tratados respeitando os limites de tempo. As formas de onda esperadas podem ser observadas na Figura 5.

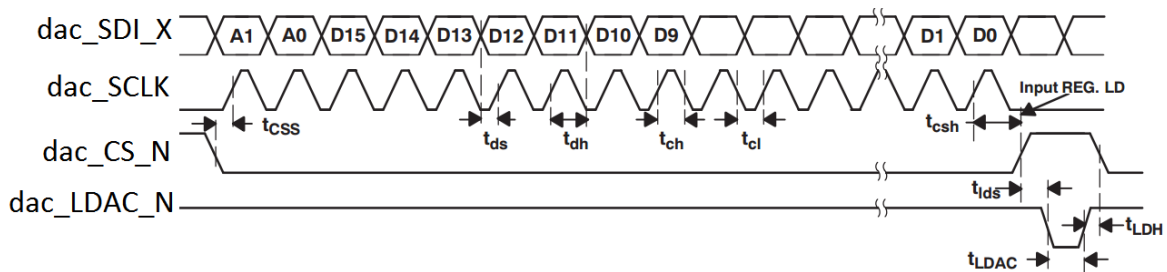


Figura 5: Forma de onda esperada pelo DAC8812 (modificado a partir de [6]).

3.2. Problemas resolvidos

Na forma como estava implementado, os sinais digitais enviados pelo chip DAC8812 variavam para cada placa adquirida. Isto ocorria devido à instabilidade do sinal digital enviado, pois não cumpria todas as especificações do chip. Este trabalho obteve sucesso em resolver os erros detectados através do analisador lógico no módulo `<dacgrad8812>`, assim, seu funcionamento passou a ser estável e mais preciso. Assim, foi montada uma máquina de estado, que trata toda a transmissão dos dados, sendo ela positiva e negativa. O dado fica estável 10ns antes da borda de subida do clock (`dac_sclk`) e permanece estável 10ns depois. Com isso é garantido o tratamento de metaestabilidade.

Feito o reconhecimento das falhas do módulo antigo (Ver Seção 3.1), partiu-se para a implementação de uma máquina de estados que tratasse cada evento num estado diferente, tendo assim o melhor controle dos tempos e proporcionando um melhor entendimento da estrutura.

3.2.1 Máquina de estados

Todos os sinais de tempos estudados na Seção 3.1 estão correlacionados e tratados numa máquina de estado. Cada estado trata de um instante de tempo ou um conjunto destes. A Figura 6 mostra a máquina de estados, em que pode-se observar que o ciclo se repete assim que ocorre uma nova carga de dados no tempo T5.

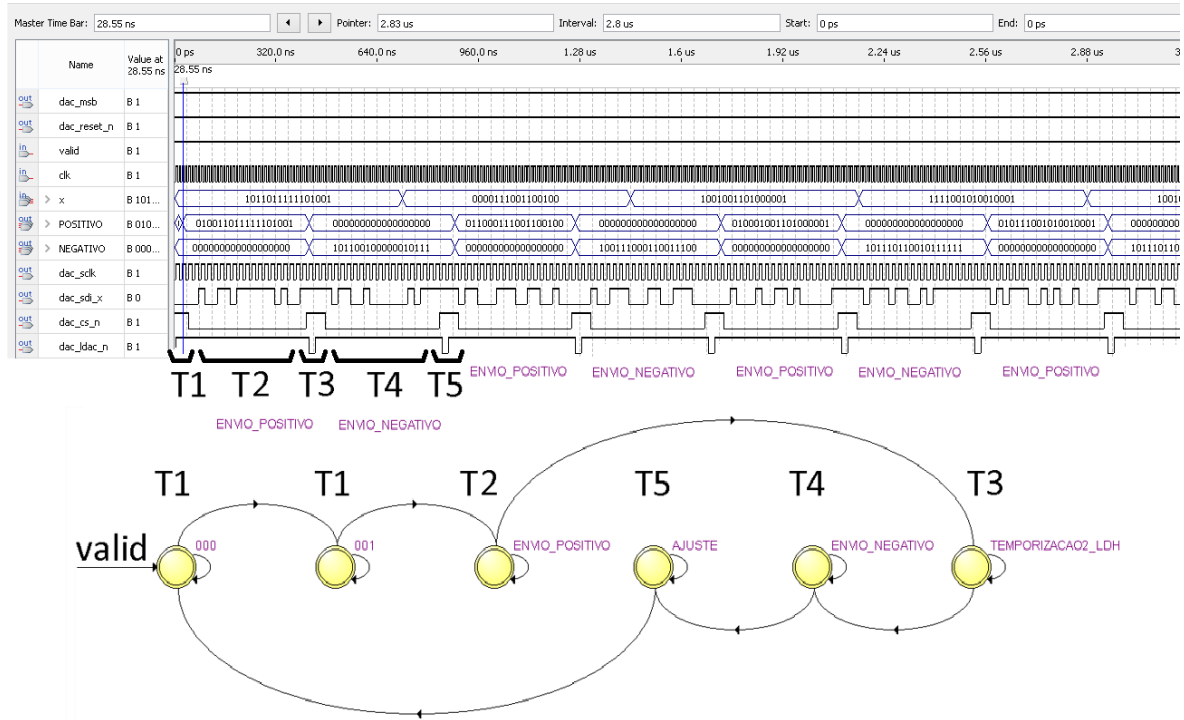


Figura 6: Análise de resultado e máquina de estado.

Observe-se que o sinal de saída positiva e negativo foram adicionados na simulação para acompanhar a sequência dos pulsos de saída, pois este resultado está sendo comparado com a saída **dac_SDI_X**.

Por outro lado, a Tabela 3 mostra as transições de estados que podem ocorrer no módulo.

Tabela 3. Transições da máquina de estados.

Tn	Estados	Sinais				Tempos (ns)		Resultados	Figura
		Valid	dac_CS_N	dac_LDAC_N	dac_SCLK				
T1	000	1	↓-	1	↑+	Tcss	10	Ocorre a preparação dos dados para ser serializados	A2
T1	001	-	0	1	↑+				
T2	ENVIO_POSITIVO	-	0	1	↑+	T2	360	Transmissão de dados positivos sendo serializados	A3
T3	TEMPORIZACAO2-LDH	-	↑+	1	↑+	Tcsh	10	Os tratamento de temporizações entre o dado positivo e negativo	A4
		-	1	↓-	↑+	Tlds	10		
		-	1	0	↑+	Tldac	20		
		-	1	↑+	↑+	Tldh	30		
T4	ENVIO_NEGATIVO	-	0	1	↑+	T4	360	Transmissão de dados negativo sendo serializado	A3
T5	AJUSTE	-	↑+	1	↑+	Tcsh	10	Faz uns ajustes de tempos e complementação de sinal, para que tenha os mesmos formatos de sinais representado em T3	A4
		-	1	↓-	↑+	Tlds	10		
		-	1	↑+	↑+	Tldac	20		
		-	1	1	↑+	Tldh	30		

Para melhor compreensão em detalhes, as figuras são listadas no Apêndice A.

Tcss: Tempo que dá início à serialização dos dados.

T2: Tempo em que os dados positivos são transmitidos.

Tcsh: Tempo que termina a serialização dos dados.

Tlds: Tempo que avisa o término da transmissão para serial *shift* registrador e na borda de descida do **dac_SCLK** ocorre input registrador.

Tldac: Tempo que o dados e transferido para **dac register**.

Tldh: Tempo de espera.

T4: Tempo em que os dados negativos são transmitidos.

3.2.2 Resultados dos Testes

O resultado detalhado de uma simulação com todas as entradas e saídas pode ser observada na Figura 7. Como pode ser observado, todos os dados são transmitidos de forma seqüencial, as temporizações foram seguidas conforme os requisitos, e as saídas também correspondem com os protocolos de comunicação do DAC.

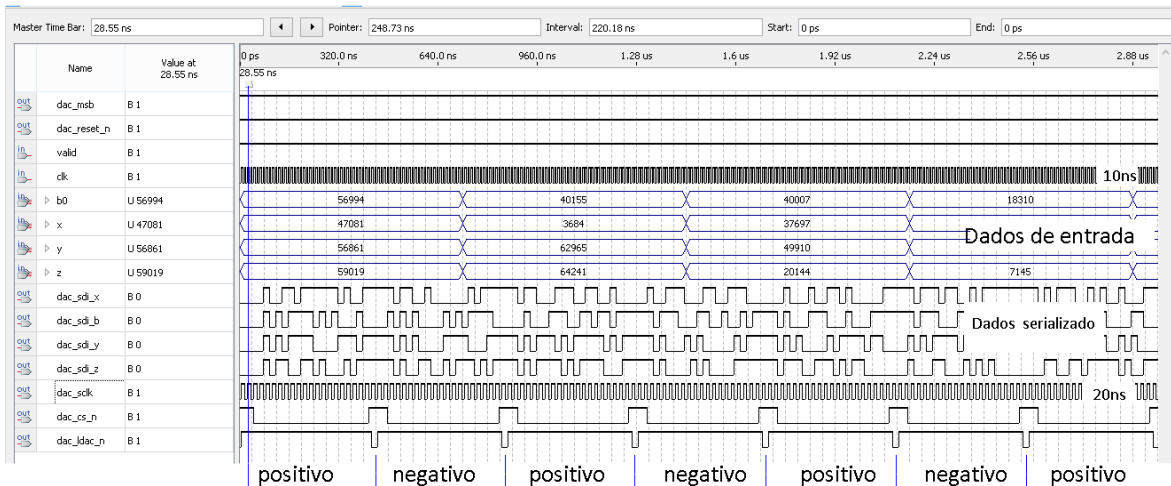


Figura 7: Simulação total.

3.3. Técnicas, métodos e tecnologias envolvidas.

3.3.1 DAC8812

É um chip que está presente na placa auxiliar, cuja função é converter sinal digital para analógico. As transições da informação no DAC seguem na Tabela 4 junto com os requisitos de tempo que foram tratados no módulo <dacgrad8812>.

Tabela 4. Transição de dados no DAC8812.

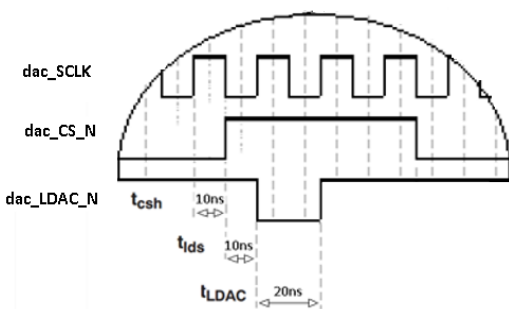
Controle FPGA			influencia no DAC8812		
dac_CS_N	dac_SCLK	dac_LDAC_N	Serial shift registrado	input Registrador	DAC registrad
0	↑+	1	1	0	0
↑+	0	1	0	1	0
1	—	0	0	0	1



Transição de 0 para 1 (borda de subida)



independe do valor



3.3.2 VERILOG

O Verilog é uma linguagem para a construção de blocos de hardware sintetizáveis. Esta linguagem permite a elaboração de circuitos mais complexos com uso das inúmeras portas lógicas que podem ser combinadas com outros conjuntos de blocos e subconjuntos de circuitos. O Verilog permite a programação em alto nível de abstração, permitindo a redução de tempo e custo de desenvolvimento, além de ser independente da tecnologia

usada como ASIC, ALTERA, XILIX[5]. Verilog e VHDL permitem modelar circuitos combinacionais, concorrentes e sequenciais com um tempo de resposta muito rápido.

3.3.3 Modelo de cascata

O modelo cascata relata as etapas previstas no decorrer do estágio. Todas estas etapas estão representadas na Figura 8. Primeiro, foi feito um estudo para a compreensão dos documentos de requisitos tanto do projeto como do funcionamento da placa auxiliar que implica o casamento de sinais, para garantir que a informação seja transmitida de forma segura e sem perda de sinais. A seguir foi feita uma análise do código, para depois realizar a bateria de testes e análise de resultados. A retro alimentação se tornou presente, pois algumas voltas foram necessárias, para logo depois seguir a etapa de integração.

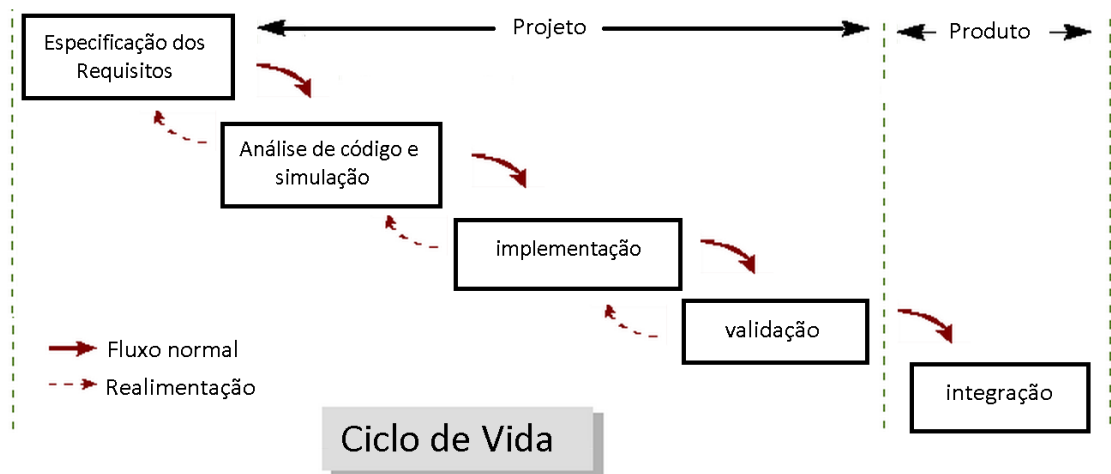


Figura 8: Ciclo de desenvolvimento. Adaptado a partir de [1].

3.4. Impacto

Com as correções deste módulo realizadas neste trabalho, o espectrômetro digital passa a ser um equipamento estável e confiável, impactando para empresa no sentido de qualidade, produção e pós-venda, pois agora o produto é mais confiável, com menos risco de problemas futuros e independe do chip utilizado, agilizando sua montagem que antes, devido à instabilidade, tinha sua placa auxiliar era trocada diversas vezes até funcionar corretamente. Isto, indiretamente, impactou em economia de recursos para a empresa.

3.5. Problemas não resolvidos

Os problemas deste módulo foram resolvidos na íntegra, para integração desse projeto com uso da placa *Stratix III EP3SL150F*.

CAPÍTULO 4: CONCLUSÃO

A principal contribuição neste trabalho foi a implementação do módulo <dacgrad8812> seguindo todos os requisitos e as especificações do padrão SPI, que foram validados por meio de um conjunto de testes seguindo as recomendações de ambiente de simulação, como sugerido no plano de atividades.

Destaca-se que a implementação manteve uma estrutura compreensível, a qual permitirá ter o controle e facilidade para posteriores modificações. Finalmente, o estagiário tem contribuído com o propósito geral da empresa, pois o módulo implementado foi integrado com sucesso no projeto final, resultando em estabilidade e confiabilidade do equipamento que impactou em economia de recursos para a empresa.

4.1. Benefícios para o crescimento profissional

A realização do estágio na empresa FIT representou uma oportunidade muito construtiva no desenvolvimento profissional e pessoal do aluno. Profissionalmente o aluno adquiriu conhecimento em programação VHDL, Verilog e esquemático, FPGA, entre outras. Por outro lado, conclui-se que o programa de estágio favoreceu a qualificação técnica, e principalmente, social, permitindo a prática de trabalhar em equipe.

4.2. Considerações sobre o Curso de Graduação

Os conhecimentos adquiridos durante o curso Bacharelado em Informática foram muito importantes para o desenvolvimento deste projeto. As disciplinas de Sistemas Digitais, Elementos de Lógica Digital, Arquitetura de Computadores foram de vital importância. Além disso, o estagiário cursou a disciplina de Micro processador I como ouvinte no IFSC.

Os diversos conceitos envolvidos neste trabalho foram: a implementação dos circuitos e noções de circuitos seqüenciais e combinacionais, entendimento de subsistemas lógicos, registradores e contadores, projeto de circuitos lógicos seqüenciais para a execução de instruções binárias, entre outros conhecimentos prévios.

4.3. Sugestões para o Curso de Graduação

O curso de Bacharelado em Informática forneceu ao aluno muito conhecimento sobre a área de Tecnologia da Informação. Seria de grande importância que tivesse mais disciplinas relacionadas a hardware.

4.4. Planos para o futuro

A empresa FIT vem reunindo esforço para se estabelecer como empresa de pesquisa e desenvolvimento na área de ressonância magnética nuclear. Parte deste esforço é manter uma equipa coesa. Como plano futuro, espera-se que o aluno dê continuidade no desenvolvimento do espectrômetro digital. Futuramente, o aluno espera continuar nesta mesma área, já seja na área acadêmica ou empresarial.

APÊNDICE A

A placa auxiliar é responsável por gerar os pulsos de gradiente, que codificam o sinal de ressonância magnética do experimento a ser realizado e por gerar os pulsos de controle do acoplamento e desacoplamento das bobinas transmissoras e receptoras. A placa auxiliar foi totalmente desenvolvida pela FIT e utiliza componentes de alta-precisão.

O DAC8812 é um componente integrado que está presente na placa auxiliar. Ele é responsável por fazer a conversão de digital para analógico e sua lógica pode ser observada na Figura A.1.

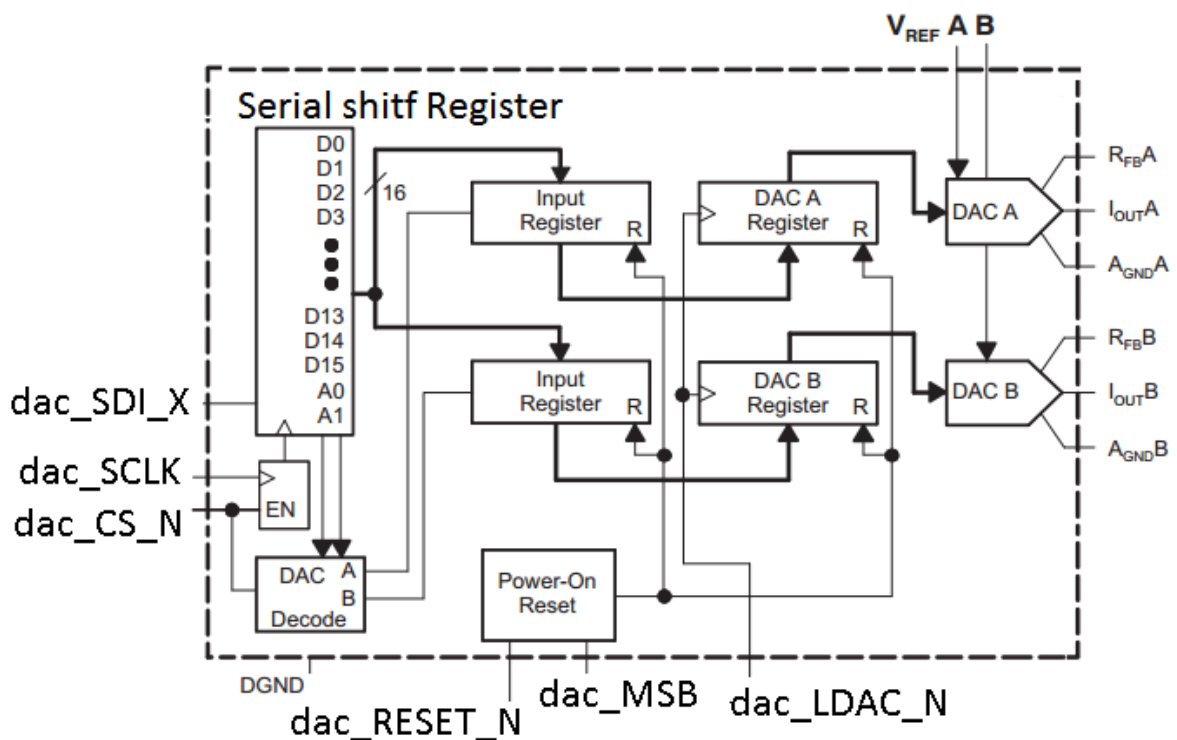


Figura A 1: Integrado DAC8812 (modificado a partir de [6]).

A Figura A.2 representa o início da transferência dos dados positivos ou negativos. Nesse instante de tempo se repete sempre que ocorre o início e uma nova transferência de dados. Este comportamento de sinais pode ser observado na Figura 7, onde ocorre a simulação total.

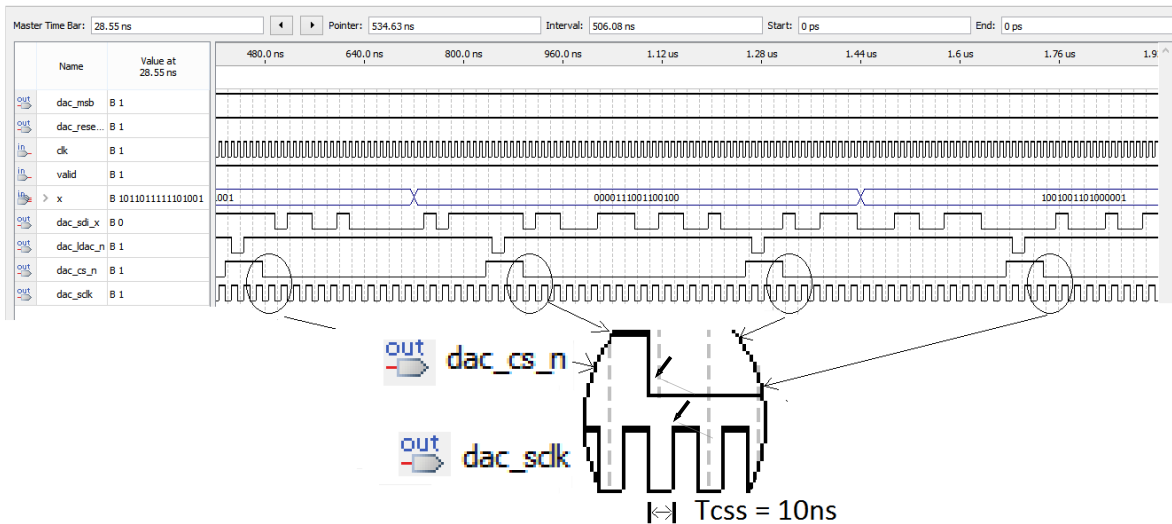


Figura A 2: Resultado tempo T_{css} na simulação.

Notemos que os bits são transferidos de forma segura, tendo uma estabilidade de 10ns antes e depois. Dessa forma garante-se o tratamento de metaestabilidade, pois o dado não pode mudar na borda de subida (`dac_SCLK`). Note também que o dado está mudando na borda de descida, como podemos observar na Figura A.3.

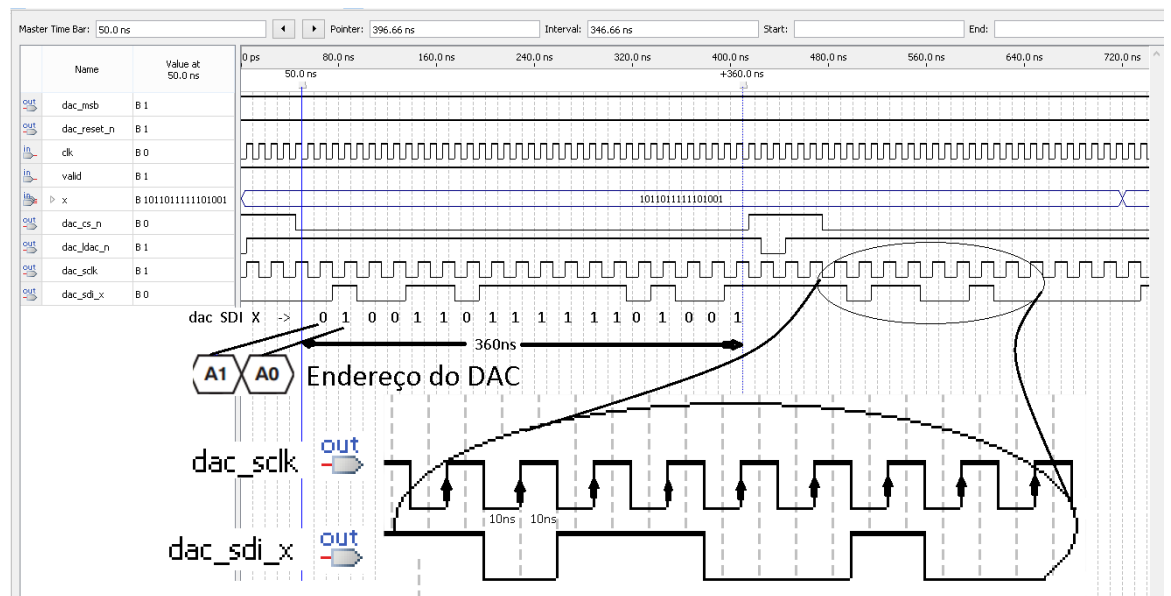


Figura A 3: Dados serializados.

A Figura A.4 representa o instante de término de uma transferência de dados para DAC (transições de SERIAL SHIFT REGISTER, INPUT REGISTER e por fim DAC REGISTER) e logo em seguida o início de outra transferência de dados serializado. Esta região está representada na Figura A.1.

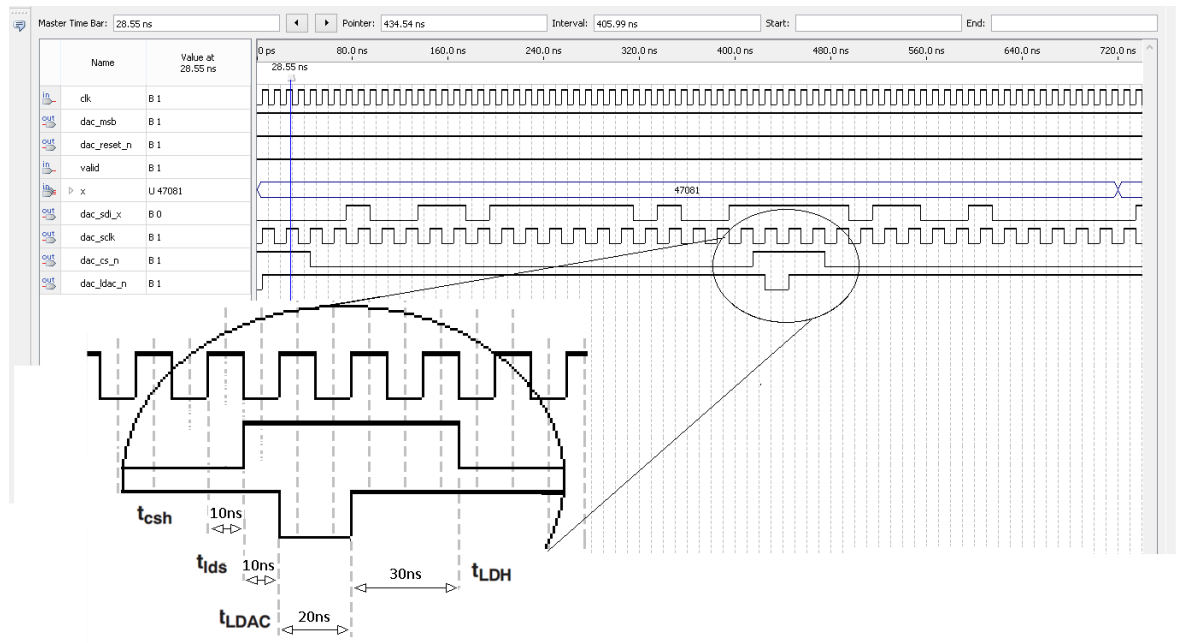


Figura A 4: Tratamento dos tempos.

REFERÊNCIAS

- [1] PRESSMAN, R. "Engenharia de Software". 7a ed. Porto Alegre: AMGH, 2011.
- [2] CIERMag Centro de Imagens e Espectroscopia in vivo por Ressonância Magnética
<www.ciermag.ifsc.usp.br/ciermag/>último acesso em 26 de maio 2015.
- [3] FIT Fine Instrument Technology
<www.fitinstrument.com> último acesso em 26 de maio 2015.
- [4] KASTENSMIDT, F. G. L. “*Introdução a Sistemas digitais*”. Metaestabilidade. Universidade Federal do Rio Grande do Sul. Disponível em:
<<http://www.inf.ufrgs.br/~fglima/aula19.pdf> > último acesso em: 26 de maio 2015
- [5] ORDONEZ, E. D. M.; PEREIRA, F. D.; PENTEADO, C. G.; PERICINI, R. A. “Projeto, Desempenho e Aplicações de Sistemas Digitais em Circuitos Programáveis (FPGAs)”, Capítulo 1: Introdução, pp. 10, Pompéia: Bless, 2003.
- [6] Texas Instruments Incorporated. “Dual, Serial Input 16-Bit Multiplying Digital-to-Analog Converter”, 2005. <<http://tinyurl.com/n76obqt>>último acesso em 26 de maio 2015.