

Факултет инжењерских наука
Универзитета у Крагујевцу

Ђорђе С. Гачић

Синтетизабилна дигитална
фреквенцијски затворена петља са
широким подешавањем до 640 MHz у
130 nm CMOS технологији

Мастер рад

Крагујевац, 2024.

Факултет инжењерских наука Универзитета у Крагујевцу



Назив студијског програма: Електротехника и рачунарство

Ниво студија: Мастер академске студије

Предмет: Напредно машинско учење

Број индекса: 408/2022

Ђорђе С. Гачић

Синтетизабилна дигитална
фреквенцијски затворена петља са
широким подешавањем до 640 MHz у
130 nm CMOS технологији

Мастер рад

Комисија за преглед и одбрану:

1. проф. др Владимир М. Миловановић - ментор
2. др Шћепан Шћекић
3. доц. др Жарко Попара

Датум одбране: _____

Оцена: _____

У оквиру овог мастер рада кандидат треба да. . .

Препоручена литература:

- [1] Robert Bogdan Staszewski и Poras T. Balsara, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2005.

Крагујевац, 3. 6. 2024.

Ментор:
Др Владимир М. Миловановић,
ванредни професор



Универзитет у Крагујевцу
Факултет инжењерских наука
Универзитета у Крагујевцу



Основне академске студије: Назив студијског програма

Модул: Назив (ако постоји)

Назив предмета: Назив

Име и презиме: Петар Петровић

Број индекса: 123/1832

ПРИЈАВА ДИПЛОМСКОГ РАДА

Тема рада: Израда примера дипломског рада у LaTeX пакету коришћењем класе *finthesis*

Задатак: Приликом пријаве дипломског рада ментор задаје тему по правилу преузету са листе тема коју је усвојила одговарајућа Катедра Факултета. Циљ дипломског рада је да студент докаже способност примене стечених знања и вештина при решавању задатака који су у складу са усвојеним исходима знања. Препорука је да дипломски рад буде пројекат мањег обима, експериментално-лабораторијско испитивање, примена инструменталне методе, прегледни рад, теоријска разрада, компјутерска симулација једноставнијег реалног проблема и сл. Након одобравања теме, ментор је дужан да студента упуту у начин обраде теме, упуту га на додатну литературу, одреди обим дипломског рада и током консултација усмерава и контролише рад кандидата.

Ментор:

Др Томо М. Петровић,
изванредни професор

Садржај

1	Увод	3
2	Разрада	4
3	Закључак	5
	Литература	6

Abstract

Frequency-locked loops (FLLs) represent a viable way of generating a range of frequencies from a single reference frequency by using a negative feedback electronic control system that compares the frequency of a controlled oscillator to the reference one. A digital synthesizable FLL is designed in 130 nm CMOS technology for a target frequency of up to 640 MHz. It employs a wide-tuning range digitally controlled oscillator (DCO) assembled from tri-state inverters in the form of a matrix. The FLL can optionally use a bang-bang or a soft-programmable standard proportional-integral-derivative (PID) controller to regulate the feedback loop. Its design practically minimizes metastability occurrence. The proposed digital FLL occupies $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$ and consumes 3.5 mW in typical operating conditions. The reference clock is 16 MHz, and the output oscillation frequency is set to 640 MHz, while the achieved frequency resolution is 2.8 MHz.

Keywords: Frequency-locked loop, digitally controlled oscillator, clock generator, synthesizable, CMOS technology, PID controller, metastability.

Резиме

Фреквенцијски затворене петље (енгл. *frequency-locked loops* - *FLLs*) представљају одржив начин генерисања опсега фреквенција из једне референтне фреквенције коришћењем негативно повратног електронског система управљања који пореди фреквенцију контролисаног осцилатора са поменутом референтном фреквенцијом. Дигитално синтетизабилан FLL је дизајниран у 130 nm технологији за циљану фреквенцију до 640 MHz. Он погони дигитално контролисани осцилатор (енгл. *digitally-controlled oscillator* - *DCO*) са широким подешавањем опсега који се састоји од тростатаичких инвертора у облику матрице. FLL може произвољно користити тзв. *bang-bang* контролер или дјелимично програмирани стандардни пропорционално-интегрално-диференцијални (енгл. *proportional-integral-derivative* - *PID*) контролер за управљање негативном петљом. Такав дизајн у пракси минимизује појаву метастабилности. Предложени дигитални FLL заузима $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$ простора и троши 3.5 mW у уобичајеним условима рада. Референтни такт је 16 MHz, а излазна фреквенција осциловања је подешена на 640 MHz, док постигнута резолуција фреквенције износи 2.8 MHz.

Кључне ријечи: Фреквенцијски затворена петља, дигитално контролисани осцилатор, генератор такта, синтетизабилност, CMOS технологија, PID контролер, метастабилност.

1 Увод

У данашње вријеме, фазно затворена петља (енгл. *phase-locked loop* - *PLL*) и петља са затвореним кашњењем (енгл. *delay-locked loop* - *DLL*) представљају свеprisутне блокове у дизајну чипова. Безброј примјена самих чипова захтјевају или генератор такта или синтетизатор фреквенције, што подразумева уградњу неког од поменутих блокова унутар система који се пројектује. Главна улога таквог блока у дизајну је да генерише стабилан и прецизан излазни сигнал чија је фаза подесива у односу на фазу улазног сигнала, самим тим одржавајући везу између улазне и излазне фреквенције. Међутим, чак и веома сложени системи често захтјевају генератор такта, који само множи улазну фреквенцију без да посебно води рачуна о фази такта или апсолутном подрхтавању (енгл. *jitter*). У таквим примјенама, потребна и довољна је само фреквенцијски затворена петља (енгл. *frequency-locked loop* - *FLL*) да би се испунили тражени захтјеви.

По дефиницији, FLL је негативно повратни управљачки систем који закључава фреквенцију излазног сигнала на предвиђену циљану фреквенцију. У принципу, неправстано управља фреквенцијом осцилатора на аутоматски начин све док излазна фреквенција на достигне циљану вриједност, након чега се та вриједност фреквенција одржава на излазу. Постоје многи начини имплементације FLL-а [1]. Штавише, FLL као интегрисано коло може спадати у двије групе: дигитални и аналогни FLL. Иако је очигледан недостатак првих максимална фреквенција и њена резолуција, они посједују многе друге предности наспрам њихових аналогних супарника. Они заузимају мање простора, истичу се већом отпорношћу на промјене процесних углова, напона и температуре (енгл. *process-voltage-temperature* - *PVT*), лако су употребљиви у различитим технологијама, и стога омогућавају поновну употребу, већу прилагодљивост, једноставнију методологију тока пројектовања, као и брже циклусе пројектовања. Узимајући у обзир све претходно поменуто, испоставља се да је у општем случају боље ићи ка развоју дигиталног FLL-а кад год спецификација архитектуре система то дозвољава. Дакле, фокус овог рада је пројектовати и унаприједити једноставне али моћне синтетизабилне дигиталне блокове чипа.

Овај рад конкретно предлаже синтетизабилан дигитални FLL сличан предложеном у литератури [2], са побољшаном брзином закључавања FLL-а [3] и смањеним ризиком од метастабилности. Осцилатор је састављен од тростатичких инвертора и заснован на прстенастом DCO-у из литературе [4] измјењен додавањем независног напона напајања DCO-а са мјењачима нивоа (енгл. *level shifters*) и употребом петостепене [5] умјесто тростепене толологије прстена осцилатора.

Остатак рада укључује додатна поглавља. Поглавље 2 описује предложени дигитални FLL на системском нивоу и нивоу блокова и кола уз детаљна теоријска разматрања. Поглавље 3 пружа увид у имплементацију и добијене резултате симулација, такође уз теоријска разматрања појава које су од значаја за рад читавог система. Коначно, поглавље 4 закључује рад и наговјештава могућности даљег рада на побољшању и проширењу система.

2 Разрада

3 Закључак

Литература

- [1] Imran Ali и др., „An Ultra-Low Power, Adaptive All-Digital Frequency-Locked Loop With Gain Estimation and Constant Current DCO”, y: *IEEE Access* 8 (2020.), стр. 97215–97230, DOI: 10.1109/ACCESS.2020.2995853.
- [2] Ahmed Musa и др., „A Compact, Low-Power and Low-Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration”, y: *IEEE Journal of Solid-State Circuits* 49.1 (2014.), стр. 50–60, DOI: 10.1109/JSSC.2013.2284651.
- [3] Wei Deng и др., „A Fully Synthesizable All-Digital PLL With Interpolative Phase Coupled Oscillator, Current-Output DAC, and Fine-Resolution Digital Varactor Using Gated Edge Injection Technique”, y: *IEEE Journal of Solid-State Circuits* 50.1 (2015.), стр. 68–80, DOI: 10.1109/JSSC.2014.2348311.
- [4] JosÉ A. Tierno, Alexander V. Rylyakov и Daniel J. Friedman, „A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI”, y: *IEEE Journal of Solid-State Circuits* 43.1 (2008.), стр. 42–51, DOI: 10.1109/JSSC.2007.910966.
- [5] A. V. Rylyakov и др., „A Modular All-Digital PLL Architecture Enabling Both 1-to-2GHz and 24-to-32GHz Operation in 65nm CMOS”, y: *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers* (2008.), стр. 516–632, DOI: 10.1109/ISSCC.2008.4523284.