

Факултет инжењерских наука  
Универзитета у Крагујевцу

Ђорђе С. Гачић

Пројектовање синтетизабилне  
сведигиталне фреквенцијски  
затворене петље са широким опсегом  
подешавања до учестаности од  
640 MHz

Мастер рад

Крагујевац, 2024.

Факултет инжењерских наука Универзитета у Крагујевцу



Назив студијског програма: Електротехника и рачунарство

Ниво студија: Мастер академске студије

Предмет: Напредно машинско учење

Број индекса: 408/2022

Ђорђе С. Гачић

Пројектовање синтетизабилне  
сведигиталне фреквенцијски  
затворене петље са широким опсегом  
подешавања до учестаности од  
640 MHz

Мастер рад

Комисија за преглед и одбрану:

1. проф. др Владимир М. Миловановић -  
ментор
2. др Шћепан Шћекић
3. доц. др Жарко Попара

Датум одбране: \_\_\_\_\_

Оцена: \_\_\_\_\_

У оквиру овог мастер рада кандидат треба да реализује дигиталну фреквенцијски затворену петљу у стандардној 130nm CMOS технологији, за циљану учестаност рада до 640MHz. Систем треба да се састоји од дигитално контролисаног осцилатора у облику матрице тростатичких инвертора коме претходи управљачка логика која омогућава брзо достизање и стабилно одржавање жељене радне учестаности која је задата целобројним умношком у односу на референтну фреквенцију од 16MHz. Приказати резултате симулација у најгорим, типичним и најбољим условима рада узимајући у обзир напон напајања, температуру и процесни угао. Потребно је теоријски обрадити структуру система као и појаве које се запажају у резултатима симулација. У сврху додатне провере исправности рада система, потребно је направити модел система у програмском језику Пajтон који треба веродостојно симулирати рад свих компоненти система и упоређује пар различитих контролера укључујући и стандардни ПИД (пропорционално, интегрални, диференцијални) контролер.

#### Препоручена литература:

- [1] Robert Bogdan Staszewski и Poras T. Balsara, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2005.
- [2] Behzad Razavi, *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*, Cambridge University Press, 2020.

Крагујевац, 12. 8. 2024.

Ментор:

Др Владимир М. Миловановић,  
ванредни професор

---



Универзитет у Крагујевцу  
Факултет инжењерских наука  
Универзитета у Крагујевцу



Основне академске студије: Назив студијског програма

Модул: Назив (ако постоји)

Назив предмета: Назив

Име и презиме: Петар Петровић

Број индекса: 123/1832

### ПРИЈАВА ДИПЛОМСКОГ РАДА

Тема рада: Израда примера дипломског рада у LaTeX пакету коришћењем класе *finthesis*

Задатак: Приликом пријаве дипломског рада ментор задаје тему по правилу преузету са листе тема коју је усвојила одговарајућа Катедра Факултета. Циљ дипломског рада је да студент докаже способност примене стечених знања и вештина при решавању задатака који су у складу са усвојеним исходима знања. Препорука је да дипломски рад буде пројекат мањег обима, експериментално-лабораторијско испитивање, примена инструменталне методе, прегледни рад, теоријска разрада, компјутерска симулација једноставнијег реалног проблема и сл. Након одобравања теме, ментор је дужан да студента упуту у начин обраде теме, упуту га на додатну литературу, одреди обим дипломског рада и током консултација усмерава и контролише рад кандидата.

Ментор:

Др Томо М. Петровић,  
изванредни професор

# Садржај

<b>1</b>	<b>Увод</b>	<b>3</b>
<b>2</b>	<b>Структура фреквенцијски затворене петље</b>	<b>4</b>
2.1	Управљачка логика дигиталне фреквенцијски затворене петље . . . . .	4
2.1.1	Управљачка предобрада . . . . .	5
2.1.2	Bang-bang контролер . . . . .	6
2.1.3	PID контролер . . . . .	7
2.1.4	Управљачки декодер . . . . .	8
2.2	Структура дигитално контролисаног осцилатора . . . . .	10
2.2.1	Предложена архитектура DCO-а . . . . .	11
2.2.2	Блок дијаграм DCO ћелије . . . . .	12
2.2.3	Претварачи напонског нивоа DCO-а . . . . .	12
<b>3</b>	<b>Имплементација и резултати симулација</b>	<b>15</b>
3.1	Симулација рада фреквенцијски затворене петље . . . . .	15
3.2	PVT зависност дигитално контролисаног осцилатора . . . . .	15
3.3	Временски одзив дигитално контролисаног осцилатора . . . . .	17
3.4	Спектар снаге фреквенцијски затворене петље . . . . .	19
3.5	Фазни шум дигитално контролисаног осцилатора . . . . .	20
<b>4</b>	<b>Закључак</b>	<b>21</b>
	<b>Литература</b>	<b>22</b>

## Abstract

Frequency-locked loop (FLL) represents a viable way of generating a range of frequencies from a single reference frequency by using a negative feedback electronic control system that compares the frequency of a controlled oscillator to the reference one. A digital synthesizable FLL is designed in 130 nm CMOS technology for a target frequency of up to 640 MHz. It employs a wide-tuning range digitally controlled oscillator (DCO) assembled from tri-state inverters in the form of a matrix. The FLL can optionally use a bang-bang or a soft-programmable standard proportional-integral-derivative (PID) controller to regulate the feedback loop. Its design practically minimizes metastability occurrence. The proposed digital FLL occupies  $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$  and consumes 3.5 mW in typical operating conditions. The reference clock is 16 MHz, and the output oscillation frequency is set to 640 MHz, while the achieved frequency resolution is 2.8 MHz.

**Keywords:** Frequency-locked loop, digitally controlled oscillator, clock generator, synthesizable, CMOS technology, PID controller, metastability.

## Резиме

Фреквенцијски затворена петља (енгл. *Frequency-Locked Loop*, FLL) представља одржив начин генерисања опсега фреквенција из једне референтне фреквенције коришћењем електронског система управљања са негативном повратном спрегом, који пореди фреквенцију контролисаног осцилатора са поменутом референтном фреквенцијом. Дигитално синтетизабилан FLL је дизајниран у 130 nm технологији за циљану фреквенцију до 640 MHz. Он погони дигитално контролисани осцилатор (енгл. *Digitally Controlled Oscillator*, DCO) са широким подешавањем опсега који се састоји од тростатаичких инвертора у облику матрице. FLL може произвољно користити тзв. (енгл. *Bang-Bang*) контролер или дјелимично програмирани стандардни пропорционално, интегрални, диференцијални (енгл. *Proportional-Integral-Derivative*, PID) контролер за управљање негативном петљом. Такав дизајн у пракси минимизује појаву метастабилности. Предложени дигитални FLL заузима  $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$  простора и троши 3.5 mW у уобичајеним условима рада. Референтни такт је 16 MHz, а излазна фреквенција осциловања је подешена на 640 MHz, док постигнута резолуција фреквенције износи 2.8 MHz.

**Кључне ријечи:** Фреквенцијски затворена петља, дигитално контролисани осцилатор, генератор такта, синтетизабилност, CMOS технологија, PID контролер, метастабилност.

# 1 Увод

У данашње вријеме, фазно затворена петља (енгл. *Phase-Locked Loop*, PLL) и петља са затвореним кашњењем (енгл. *Delay-Locked Loop*, DLL) представљају свеprisутне блокове у дизајну чипова. Безброј примјена самих чипова захтјевају или генератор такта или синтетизатор фреквенције, што подразумјева уградњу неког од поменутих блокова унутар система који се пројектује. Главна улога таквог блока у дизајну је да генерише стабилан и прецизан излазни сигнал чија је фаза подесива у односу на фазу улазног сигнала, самим тим одржавајући везу између улазне и излазне фреквенције. Међутим, чак и веома сложени системи често захтјевају генератор такта, који само множи улазну фреквенцију без да посебно води рачуна о фази такта или апсолутном подрхтавању (енгл. *Jitter*). У таквим примјенама, потребна и довољна је само фреквенцијски затворена петља (енгл. *Frequency-Locked Loop*, FLL) да би се испунили тражени захтјеви.

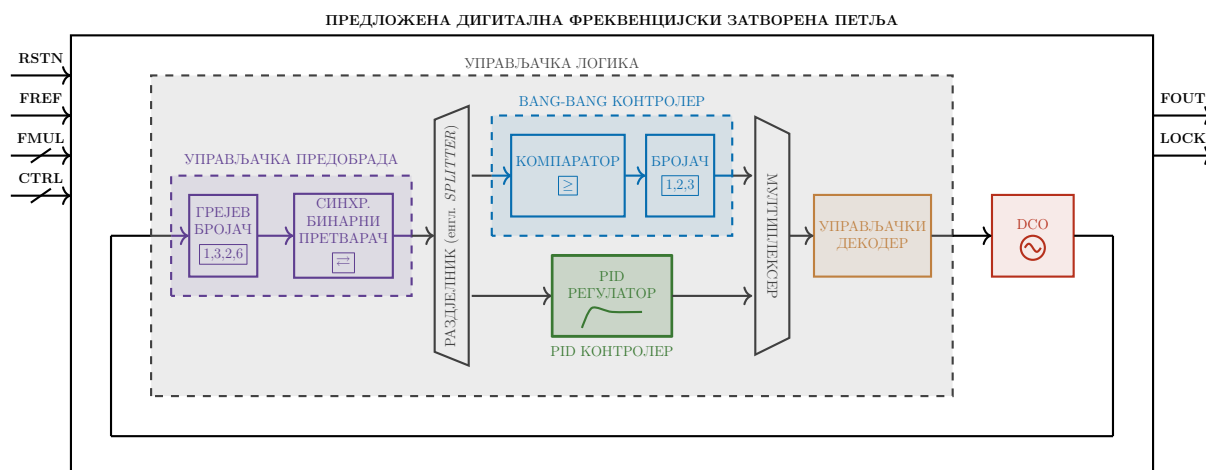
По дефиницији, FLL је управљачки систем са негативном повратном спрегом који закључава фреквенцију излазног сигнала на предвиђену циљану фреквенцију. У принципу, непрестано управља фреквенцијом осцилатора на аутоматски начин све док излазна фреквенција на достигне циљану вриједност, након чега се та вриједност фреквенције одржава на излазу. Постоје многи начини имплементације FLL-а [1]. Штавише, FLL као интегрисано коло може спадати у двије групе: дигитални и аналогни FLL. Иако је очигледан недостатак првих максимална фреквенција и њена резолуција, они посједују многе друге предности наспрам њихових аналогних супарника. Они заузимају мање простора, истичу се већом отпорношћу на промјене процесних углова, напона и температуре (енгл. *Process-Voltage-Temperature*, PVT), лако су употребљиви у различитим технологијама, и стога омогућавају поновну употребу, већу прилагодљивост, једноставнију методологију тока пројектовања, као и брже циклусе пројектовања. Узимајући у обзир све претходно поменуто, испоставља се да је у општем случају боље ићи ка развоју дигиталног FLL-а кад год спецификација архитектуре система то дозвољава. Дакле, фокус овог рада је пројектовати и унаприједити једноставне али моћне синтетизабилне дигиталне блокове чипа.

Овај рад конкретно предлаже синтетизабилан дигитални FLL сличан предложеном у литератури [2], са побољшаном брзином закључавања FLL-а [3] и смањеним ризиком од метастабилности. Осцилатор је састављен од тростатичких инвертора и заснован на прстенастом DCO-у из литературе [4] измјењен додавањем независног напона напајања DCO-а са претварачима напонских нивоа (енгл. *Level Shifters*) и употребом петостепене [5] умјесто тростепене толологије прстена осцилатора.

Остатак рада укључује додатна поглавља. Поглавље 2 описује предложени дигитални FLL на системском нивоу и нивоу блокова и кола уз детаљна теоријска разматрања. Поглавље 3 пружа увид у имплементацију и добијене резултате симулација, такође уз теоријска разматрања појава које су од значаја за рад читавог система. Коначно, поглавље 4 закључује рад и наговјештава могућности даљег рада на побољшању и проширењу система.

## 2 Структура фреквенцијски затворене петље

У овом раду описана је релативно једноставна али ефикасна дигитална фреквенцијски затворена петља (FLL), чију се системску архитектуру на нивоу блокова приказује Слика 1. Описани FLL се практично састоји из два блока: дигитално контролисаног осцилатора (DCO) и блока управљачке логики, који генерише улазне сигнале за DCO на основу тренутне фреквенције DCO-а. У сврху поједностављења, са слике су изостављени неки конфигурациони улази FLL-а, као што су умножак фреквенције (енгл. *Frequency Control Word*, FCW), коефицијенти PID контролера и улаз за одабир режима рада.



Слика 1: Блок дијаграм дигиталне фреквенцијски затворене петље састављене од: блока управљачке логики (лијево) и дигитално контролисаног осцилатора (десно).

Основни улази у систем су:

- RSTN - Ресет сигнал који је активан на нулу
- FREF - Референтни такт
- FMUL - Улазни умножак фреквенције (множењем са фреквенцијом референтног такта добија се вриједност фреквенције коју треба постићи и одржавати на излазу)
- CTRL - Сигнал који одређује који од два управљачка режима се користи

Излази из система су:

- FOUT - Излазни такт
- LOCK - Сигнал који говори да ли је систем ушао у стабилно стање тј. да ли ради на жељеној фреквенцији

### 2.1 Управљачка логика дигиталне фреквенцијски затворене петље

Управљачка логика FLL-а састоји се од двије независне процесне гране, које представљају два међусобно искључива режима управљања FLL-а. Оба режима на улазу примају бинарну вриједност повезану са бројем периода такта DCO-а унутар периода



референтног такта. Такође, оба управљачка режима генеришу бинарну вриједност на излазу, која представља управљачку бинарну ријеч осцилатора директно пропорционалну излазној фреквенцији. Главне разлике између два поменута режима су брзина затварања (закључавања) FLL-а и једноставност подешавања. Циљ управљачке логики FLL-а је изједначити вриједност улазног множача фреквенције са бројем периода такта DCO-а унутар периода референтног такта што је брже и прецизније могуће, чиме се долази до постизања жељене фреквенције на излазу DCO-а. Поред самог постизања жељене фреквенције, задатак управљачке логики је и њено одржавање током времена јер, због утицаја разних фактора, као што је нпр. температура, константно долази до нежељеног смањења или повећања вриједности фреквенције. То значи да управљачка логика константно прати рад система и по потреби реагује на исход непожељних утицаја на излазну фреквенцију. Комплетна управљачка логика FLL-а је подијељена на неколико фаза, које су детаљно описане у наредним поглављима, а то су:

- Управљачка предобрада
- Bang-bang контролер / PID контролер
- Управљачки декодер

### 2.1.1 Управљачка предобрада

Фаза управљачке предобраде (енгл. *Control Preprocessing*) укључује неколико блокова чија је улога претворити информацију о фреквенцији излазног такта DCO-а у бинарну вриједност која ће бити прослијеђена као улаз наредној фази управљачке логики FLL-а. Као прво, да би се одредила брзина осциловања DCO-а, потребан је бројач. У имплементацији описаној у овом раду коришћен је Грејев бројач. У Грејевом коду свака узастопна вриједност се разликује за само један бит. То му даје предност у односу на природни бинарни бројач из разлога што значајно умањује метастабилност бројача изазвану узорковањем (енгл. *Sampling*). Табела 1 приказује првих осам цифара у Грејевом коду, у поређењу са природним бинарним цифрама.

Табела 1: Првих осам цифара у Грејевом коду

Децимални запис	Бинарни запис	Грејев код	Грејев код у децималном запису
0	000	000	0
1	001	001	1
2	010	011	3
3	011	010	2
4	100	110	6
5	101	111	7
6	110	101	5
7	111	100	4

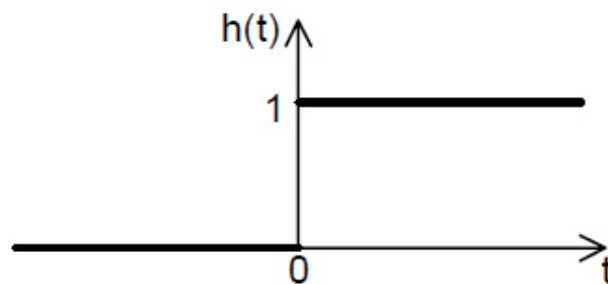
Као примјер појаве метастабилности може се навести проблем који се може јавити у употреби природних бинарних кодова, а то је да се, при преласку у наредно стање бројача, стање свих битова који се мијењају не мора промијенити тачно синхронизовано. Рецимо, при преласку из стања 3 у стање 4 (бинарно 011 у 100), код природног бинарног бројача сви битови мијењају стање, тако да та транзиција може да иде редом  $011 \rightarrow 001 \rightarrow 101 \rightarrow 100$ , што значи да могу да постоје два прелазна стања, која

могу бити прочитана чиме би коначно стање бројача било погрешно. У овом конкретном случају, умјесто у стање 4 (бинарно 100), бројач би завршио у стању 1 (бинарно 001) или 5 (бинарно 101), за шта не постоји могућност при употреби Грејевог кода јер се у њему из стања 011 прелази у стање 010, при чему се мијења само један бит.

Недостатак овог приступа је то што Грејев бројач има мању максималну радну фреквенцију од бинарног бројача. Да би се у још већем обиму смањио ризик од метастабилности, сваки бит са излаза Грејевог бројача се пропушта кроз синхронизатор са два флип-флопа да би безбједно прешао у подручје референтног такта. Затим, синхронизована вриједност Грејевог бројача се претвара у природан бинарни формат и узоркује се за даљу обраду.

### 2.1.2 Bang-bang контролер

У теорији управљања, bang-bang контролер (двофазни или on-off контролер) је контролер повратне спреге које се нагло пребацује између два стања. Математички модел bang-bang контролера може се представити преко Хевисајдове функције (или јединичне одскочне функције) која која се иначе користи у математици система управљања и обради сигнала да би се представио сигнал који мијења стање у одређено вријеме. Она има вриједност 0 за негативне вриједности аргумента и 1 за позитивне вриједности аргумента:



Слика 2: График Хевисајдове функције.

$$u(x) = \begin{cases} 0, & x < 0 \\ 1, & x > 0 \end{cases} \quad (1)$$

Главне предности примјене bang-bang контролера су једноставна имплементација и брз одговор на промјене, док су недостаци могуће осцилације око жељене вриједности након што се она постигне, као и непогодност за системе гдје је потребно веома прецизно управљање.

Као што је већ наведено, FLL из овог рада има два међусобно раздвојена управљачка блока. Један управљачки блок FLL-а је веома сличан bang-bang контролеру описаном изнад и који, као прекидач, може имати два стања. Он пореди улазни умножак фреквенције са узоркованом вриједношћу бројача и одлучује да ли инкрементирати, декрементирати или онемогућити предстојећи блок тј. двосмјерни бројач (енгл. *Up-Down Counter*). Ако је улазни умножак фреквенције већи од вриједности бројача узорковане у блоку управљачке предобrade, тада се двосмјерни бројач инкрементира, ако је мањи тада се декрементира, а у случају да је једнак, двосмјерни бројач задржава претходно стање. То осигурава постепено управљање и закључавање све

до постизања жељене фреквенције тј. преласка у стабилно стање. Како би се спријечиле (или барем прориједиле) могуће осцилације око жељене вриједности, у овом раду је доведен додатни сигнал који омогућава да се, након што систем једном уђе у стабилно стање, бројач bang-bang контролера не инкрементира или декрементира баш након сваког одступања од жељене вриједности јер се очекује да у стабилном стању та одступања буду незнатна. Тај додатни сигнал се користи и у PID контролеру који представља други управљачки режим о коме ће више ријечи бити у наредном поглављу.

### 2.1.3 PID контролер

У другом управљачком режиму, управљачка бинарна ријеч за DCO се генерише подесивим PID контролером. PID контролер је далеко најчешће коришћен алгоритам за управљање у инжењерству. Највећим бројем повратних спрега се управља преко PID контролера или његових дјелимичних варијација [6]. PID контролер је управљачки механизам заснован на повратној спрези, који ради тако што непрекидно исправља и скалира сигнал грешке. Грешка у овом случају представља разлику између измјерене вриједности у управљачкој предобради (узоркована вриједност бројача) и жељене референтне задате вриједности (вриједност улазног умношка фреквенције). Исправљање и скалирање се распоређује у три компоненте које су имплементиране као подесиви улази са фиксном тачком који се напајају из банке регистара:

- Пропорционална (P) - управља брзином одзива управљачког системама непосредно множећи сигнал грешке константним чиниоцем који се назива и константа пропорционалног појачања. Ако је она превелика, систем може постати нестабилан. Насупрот томе, њена премала вриједност доводи до малог излазног одзива на велику улазну грешку чиме контролер постаје мање осјетљив.
- Интегрална (I) - користи се за смањење грешке стабилног стања (енгл. *Steady State*) скалирањем грешке константним чиниоцем и сумирањем резултата током времена. Грешка стабилног стања је разлика између жељене и стварне вриједности коначног излаза [7]. Интегрално дејство убрзава кретање излаза ка жељеној вриједности.
- Диференцијална (D) - пропорционална брзини промјене грешке, и њен циљ је ограничити излаз да би се смањила могућа прекорачења или осцилације узроковане P и I компонентама, без смањења брзине контролера. Како је у овом систему референтна задата вриједност константна и нема брзих промјена на улазу које могу изазвати такав исход, P и I компоненте су довољне за гладак и стабилан одзив система.

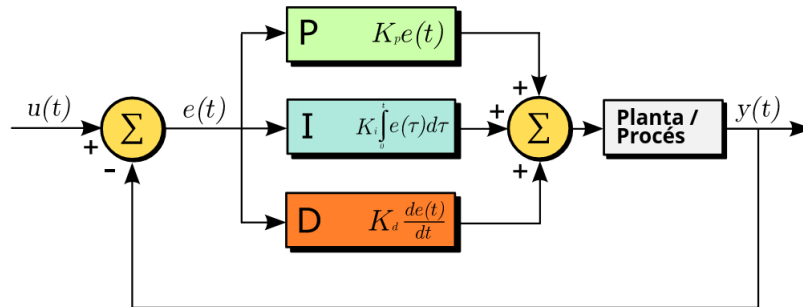
Математички, цјелокупна управљачка функција PID контролера представља суму пропорционалног, интегралног и диференцијалног дејства и записује се на следећи начин:

$$u(t) = K_p e(t) + K_i \int_0^t e(\tau) d\tau + K_d \frac{de(t)}{dt} \quad (2)$$

гдје су  $K_p$ ,  $K_i$  и  $K_d$  коефицијанти за пропорционални, интегрални и диференцијални дио, респективно. У стандардном облику, једначина 2 се записује као:

$$u(t) = K_p \left( e(t) + \frac{1}{T_i} \int_0^t e(\tau) d\tau + T_d \frac{de(t)}{dt} \right) \quad (3)$$

Као што се може видјети, коефицијенти  $K_i$  и  $K_d$  су редом замјењени са  $K_p/T_i$  и  $K_p T_d$ , а предност таквог записа јесте што  $T_i$  и  $T_d$  имају одређено разумљиво физичко значење, јер представљају интегрално и диференцијално вријеме, респективно.  $K_p/T_i$  одређује колико временски дуго ће контролер толерисати излаз који се налази изнад или испод жељене вриједности.  $K_p T_d$  је временска константа којом се контролер покушава приближити жељеној вриједности. Слика 3 представља уопштен блок



Слика 3: Блок дијаграм PID контролера у повратној спрези.

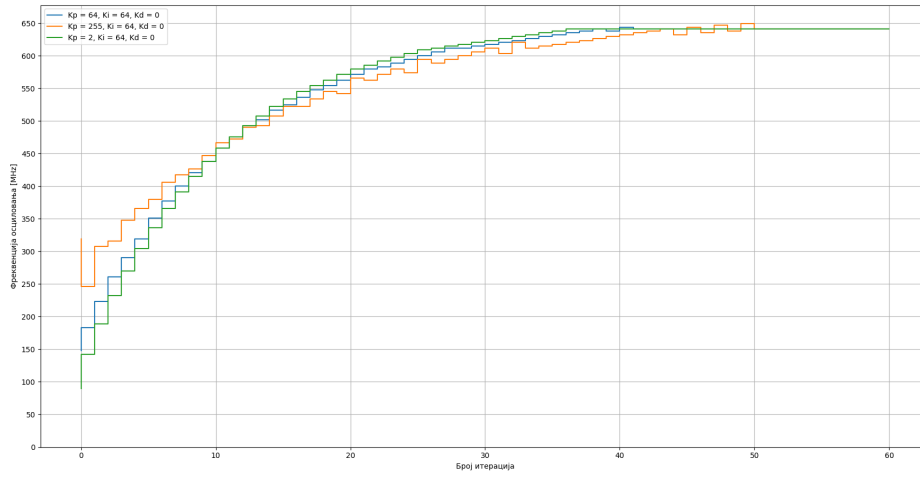
дијаграм PID контролера у повратној спрези који приказује структуру компоненти контролера и њихов принцип рада. PID контролер константно рачуна вриједност грешке  $e(t)$  као разлику између жељене вриједности (енгл. *Setpoint*)  $r(t)$ , која у овом конкретном случају представља улазни умножак фреквенције, и измјерене процесне вриједности  $y(t)$ , односно вриједности измјерене у блоку управљачке предобраде. У том случају, једначина грешке може се записати као:

$$e(t) = r(t) - y(t) \quad (4)$$

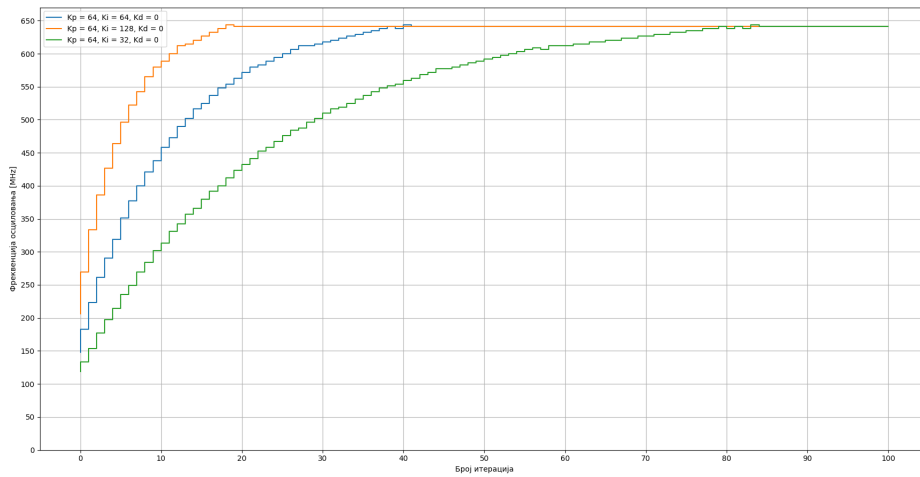
Одзив система тј. брзина и начин достизања жељене фреквенције у PID режиму рада највише зависи од одабира константи контролера, а у овом раду је остављена могућност софтверског уписа константи у регистре, што даље омогућава њихово накнадно мијењање и прилагођавање. У сврху сликовитог приказа утицаја константи PID контролера на одзив система, у Пајтон програмском језику направљен је софтверски модел понашања PID контролера. Сlike 4, 5, 6 редом приказују утицај различитих вриједности константи  $K_p$ ,  $K_i$  и  $K_d$  на брзину и начин достизања жељене фреквенције од 640 MHz. Треба напоменути да направљени модел предвиђа константне услове рада тј. параметри модела се не мијењају током времена, односно кроз итерације у петљи модела. То значи да приказани графици не морају да одговарају стварном одзиву имплементираног система, већ су ту да прикажу значај исправног одабира константи PID контролера на одзив система, као и да помогну при грубом одабиру поменутих константи, а све у циљу добијања најбржег и најправилнијег одзива система у крајњој имплементацији.

#### 2.1.4 Управљачки декодер

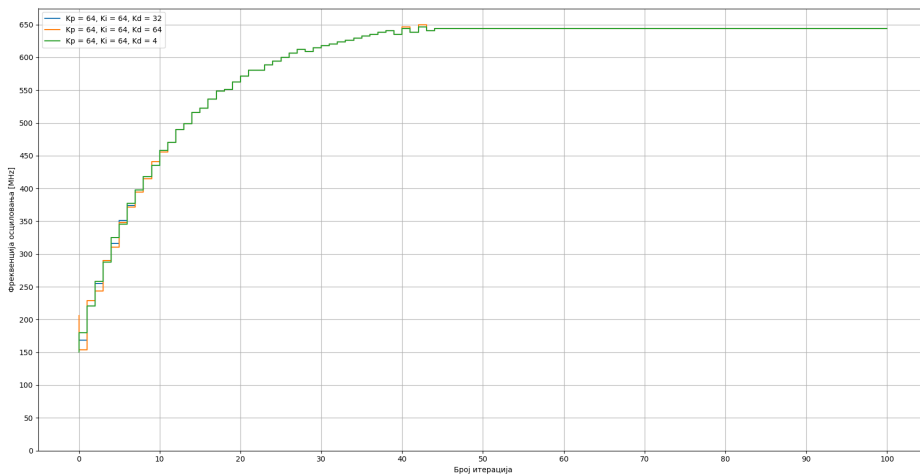
Улога управљачког декодера је претворити управљачке податке из једне бинарне вриједности у скуп управљачких улаза DCO-а. Постоје три таква улаза: *Row On*, унарни вектор, који може да укључује само читаве редове тростатичких инвертора DCO-а; *Row Select*, један од  $n$  (енгл. *One-Hot*) вектор, који укључује један додатни ред тростатичких инвертора DCO-а; и *Column Select*, унарни вектор, који може да укључује колоне тростатичких инвертора DCO-а.



Слика 4: Утицај различитих вриједности параметра  $K_p$  на одзив система у PID режиму рада.



Слика 5: Утицај различитих вриједности параметра  $K_i$  на одзив система у PID режиму рада.



Слика 6: Утицај различитих вриједности параметра  $K_d$  на одзив система у PID режиму рада.

Један од  $n$  вектор представља групу бита гдје је једина исправна комбинација она са једном јединицом и свим осталим нулама [8]. При представљању неког природног броја као један од  $n$  вектора, вриједност броја је једнака позицији јединице у вектору.

С друге стране, да би се природан број  $N$  представио као унарни вектор, јединица се понавља  $N$  пута узастопно [9]. Табела 2 приказује примјер представљања природних бројева у унарном и један од  $n$  запису.

Табела 2: Поређење унарног и један од  $n$  записа

Децимални	Бинарни	Унарни	Један од $n$
0	000	00000000	00000001
1	001	00000001	00000010
2	010	00000011	00000100
3	011	00000111	00001000
4	100	00001111	00010000
5	101	00011111	00100000
6	110	00111111	01000000
7	111	01111111	10000000

Да би се један инвертор укључио, или *Row On*, или и *Row Select* и *Column Select* за одговарајући бит морају бити подешени на 1. Ширина сваког вектора је једнака ширини улаза. Сама структура DCO-а је детаљније описана у поглављу 2.2.

Управљачки податак који долази из претходног степена тј. контролера представља број тростатичких инвертора DCO-а који требају бити укључени, и што их је више укључено, то је излазна фреквенција већа. Рецимо да је тај број 50, и претпоставимо да је DCO састављен од 255 тростатичких инвертора које поједностављено можемо посматрати као прекидаче и нека су организовани у 17 редова и 15 колона. Како постоји 17 редова, ширине *Row On* и *Row Select* вектора биће по 17 бита, док ће због 15 колона, ширина *Column Select* вектора бити 15 бита. То значи, да би се укључило 50 прекидача, потребно је укључити 3 читава реда прекидача и још 5 прекидача из четвртог реда. Да би се то постигло, управљачки улази DCO-а морају имати следеће вриједности:

- *Row On* = 0000000000000000111 → Сви прекидачи у три прва реда су укључени.
- *Row Select* = 000000000000001000 → У четвртом реду је укључено још инвертора.
- *Column Select* = 000000000011111 → Пет инвертора је укључено у реду који је одређен са *Row Select*.

## 2.2 Структура дигитално контролисаног осцилатора

У срцу сваке фазно затворене петље се налази осцилатор који игра кључну улогу у учинку који може бити постигнут [10]. Дигитално контролисани осцилатор описан у овом раду је прстенасти осцилатор, погодан за систем генерисања такта. Прстенасти осцилатор је каскадна комбинација фаза кашњења повезаних у ланац затворене петље [11]. Прстенасте архитектуре су компактније од LC осцилатора и имају доста предности захваљујући својој правилној и периодичној просторној структури. Уопштена структура DCO-а коришћеног унутар описаног FLL-а заснована је на матрици тростатичких CMOS инвертора [12]. Ова матрица је састављена од  $N$ -фазних прстена тростатичких инвертора повезаних паралелно.  $N$  представља број DCO фаза (степени) и мора бити непаран број већи или једнак 3. У физичком смислу, матрица

може бити преобликована у квадрат, што омогућава једноставнију управљачку логику. Један или више прстенова су увијек укључени и дефинишу основну фреквенцију DCO-а. Остали тростатички инвертори се укључују и искључују у зависности од управљачке логики.

Формула за фреквенцију осциловања конкретне имплементације DCO-а из овог рада гласи:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}}V_{\text{DDL}}}, \quad (5)$$

гдје је  $N$  број тростатичких инвертора унутар прстена,  $t_d$  представља кашњење једне ћелије DCO-а, у чијем саставу је тростатички инвертор (у наставку ће бити детаљније објашњена структура саме ћелије DCO-а),  $I_d$  је струја која протиче кроз инвертор,  $C_{\text{load}}$  је капацитивно оптерећење истог инвертора, и  $V_{\text{DDL}}$  је напон напајања DCO-а. Производ  $Nt_d$  је помножен са 2 да би се добила читава периода такта, а не полупериода.

### 2.2.1 Предложена архитектура DCO-а

Када је ријеч о топологији, са повећањем броја DCO фаза (степени), фреквенцијски корак ( $K_{\text{DCO}}$ ) опада, чиме се повећава прецизност DCO-а. Максимална фреквенција осцилатора се такође смањује, и да би се то надомјестило, напон напајања се може повећати, што с друге стране доводи до веће потрошње снаге. Ако претпоставимо да напон напајања и капацитивно оптерећење по једној фази остану непромјењени, повећање броја фаза не утиче на потрошњу снаге. Међутим, ако укупан број тростатичких инвертора остане непромјењен и подијели се на већи број фаза, то ће довести до смањења капацитивног оптерећења по фазама појединачно, што даље доводи до смањења потрошње снаге. Математичком анализом се то може објаснити на следећи начин:  $N$ -фазни прстенасти осцилатор који ради на фреквенцији  $f_{\text{osc}}$  има динамичку потрошњу снаге која се може представити једначином

$$P = Nf_{\text{osc}}C_{\text{tot}}V_{\text{DDL}}^2, \quad (6)$$

гдје  $C_{\text{tot}}$  представља укупно капацитивно оптерећење на једној фази. Пошто је фреквенција осциловања једнака

$$f_{\text{osc}} = \frac{1}{2Nt_d}, \quad (7)$$

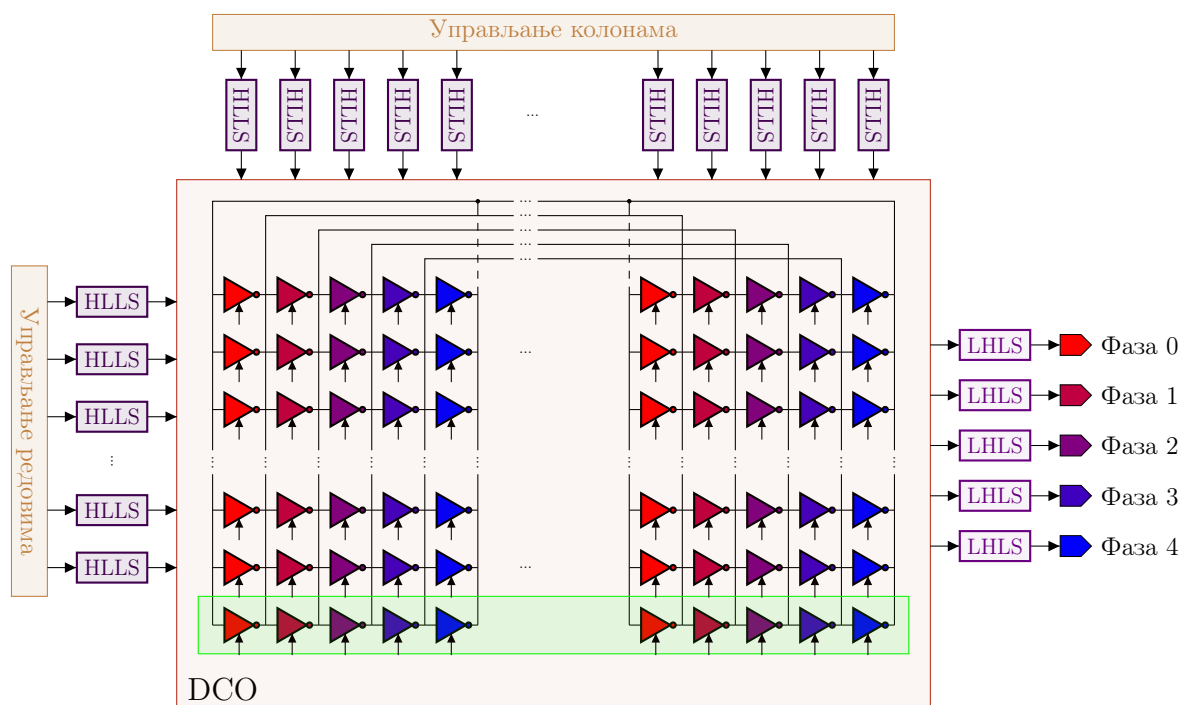
једначину за динамичку снагу можемо написати на следећи начин:

$$P = \frac{C_{\text{tot}}V_{\text{DDL}}^2}{2t_d}, \quad (8)$$

одакле се види да је добијена динамичка снага независна од  $N$  [10].

У овом раду описана је топологија DCO-а са пет фаза, због тога што је таквом топологијом остварен задовољавајући компромис између учинка и потрошње снаге. Слика 7 приказује структуру DCO-а коришћеног у описаној FLL имплементацији.

Свака фаза DCO-а састоји се од 54 тростатичка инвертора, што ако помножимо са бројем фаза даје укупно 270 инвертора. Тростатички инвертори су распоређени у 18 редова и 15 колона. Управљачка логика FLL-а управља са 17 редова и свих 15



Слика 7: Петостепени прстенасти дигитално контролисани осцилатор (DCO) састављен од тростатичких инвертора, са додатим претварачима напонских нивоа (HLLS и LHLS) и уоквиреним редом стално укључених тростатичких инвертора.

колона, што значи да постоји 255 фреквенцијских корака. Преостали ред са  $3 \times 5$  тростатичких инвертора је стално укључен и на њега не утиче управљачка логика FLL-а. Што се више тростатичких инвертора у свакој фази укључи под утицајем управљачке логике FLL-а, тренутна снага покретања (енгл. *Driving Strength*) једне фазе се повећава, док њено капацитивно оптерећење у суштини остаје константно, што резултује повећањем излазне фреквенције осциловања [4].

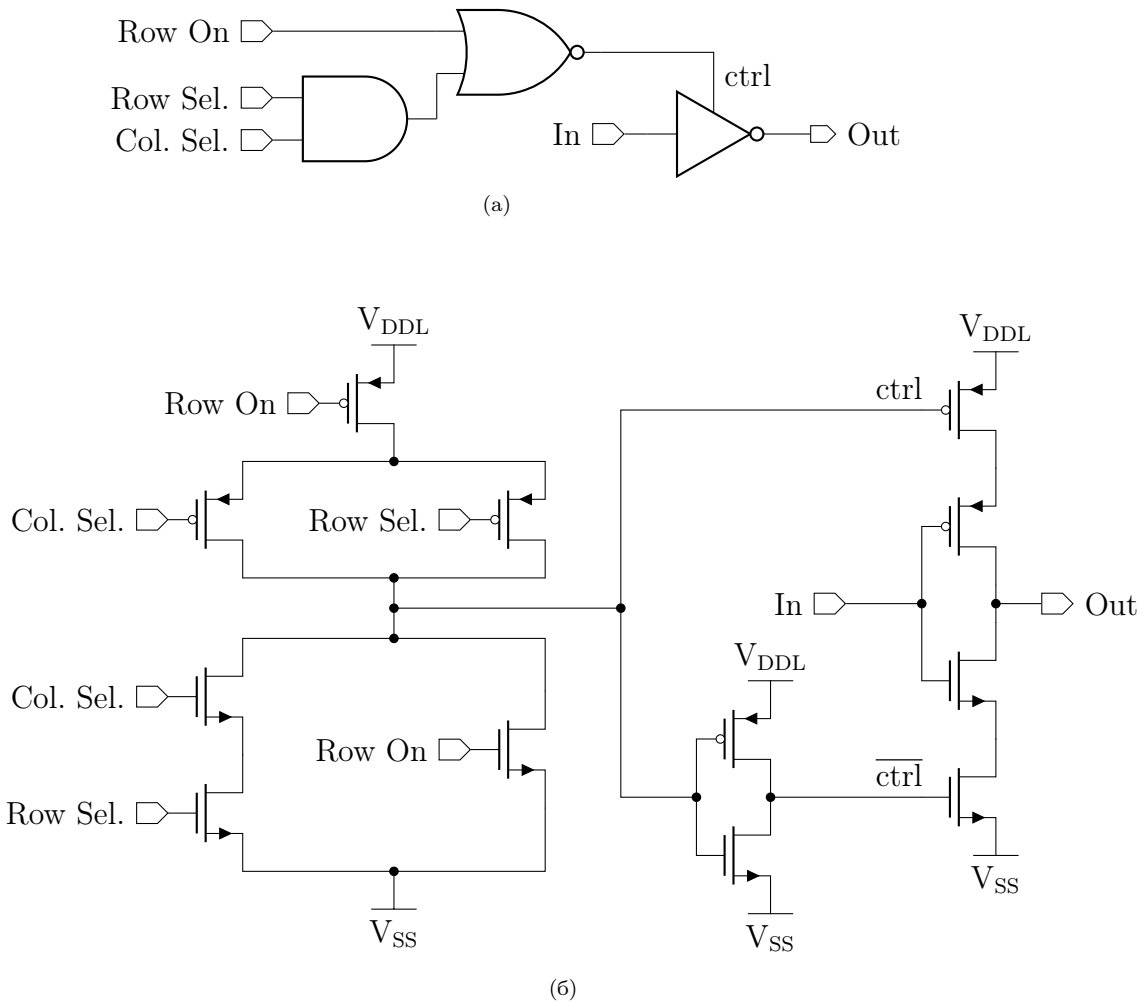
### 2.2.2 Блок дијаграм DCO ћелије

Да би се ефикасно подесила излазна фреквенција DCO-а, уведен је скуп управљачких улаза DCO-а, а то су сигнали *Row On*, *Row Select* и *Column Select*, поменути такође у секцији 2.1.4. Према томе, сваки тростатички инвертор појединачно садржи сопствену управљачку јединицу у облику И-ИЛИ стандардне ћелије, и заједно граде већи блок назван ћелија DCO-а. Слика 8 приказује шему ћелије DCO-а на нивоу логичких кола и на нивоу CMOS транзистора.

### 2.2.3 Претварачи напонског нивоа DCO-а

Напон напајања који користи дигитално контролисани осцилатор ( $V_{DDL}$ ) се у овом раду разликује од напона напајања који користи остатак логике FLL-а ( $V_{DD}$ ). Предност таквог дизајна је могућност подешавања напона напајања DCO-а независно након производње чипа, што даље омогућава постизање жељене резолуције фреквенције (фреквенцијског корака) и фреквенцијског опсега зависно од процесног угла у коме се одвијала производња чипа. Додатна предност јесте и то што могућност смањења напона напајања DCO-а аутоматски доводи и до значајног смањења расипања снаге (енгл. *Power Disipation*) због њене квадратне зависности од напона напајања. Неза-

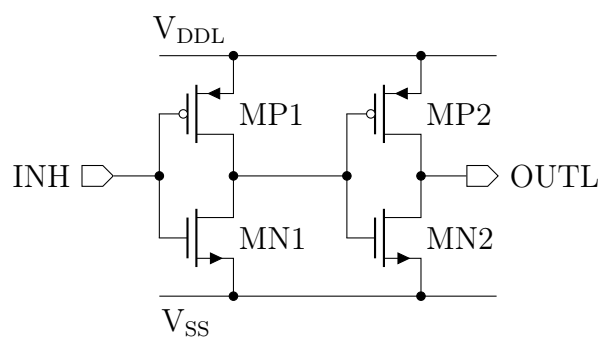




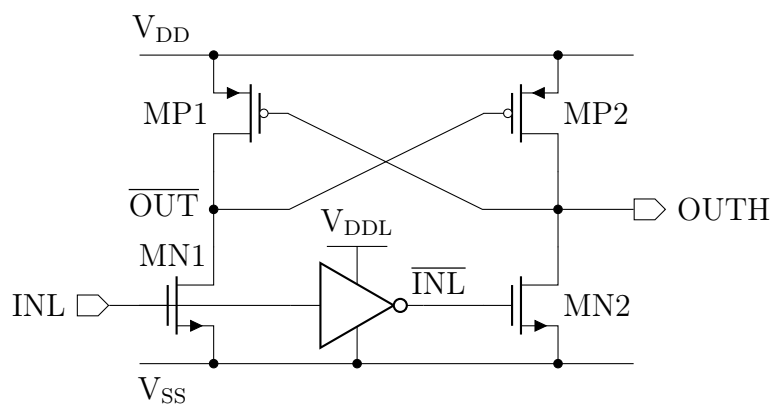
Слика 8: Ћелија DCO-а на нивоу (а) логичких кола и (б) CMOS транзистора.

висан домен напајања DCO-а постигнут је додавањем претварача напонског нивоа на улазе и излазе DCO-а, као што је и приказано на Слици 7. Како је напон напајања DCO-а нижи од остатка система, на управљачке улазе DCO-а постављени су претварачи са високог на низак напонски ниво (енгл. *High-Low Level Shifter*, HLLS), док су на фазне излазе DCO-а постављени претварачи са ниског на висок напонски ниво (енгл. *Low-High Level Shifter*, LHLS). Слика 9 приказује шеме конвенционалних претварача напонског нивоа који су коришћени у претходно описаном систему. Као што се може видјети са Слике 9, претварач са високог на низак напонски ниво није ништа друго до обичан бафер састављен од два инвертора чије напајање ће у коначној реализацији долазити од линије ниског напонског нивоа ( $V_{DDL}$ ). Претварач са ниског на висок напонски ниво је нешто комплекснији и представља регенеративно логичко коло засновано на позитивној повратној спрези [13] и састоји се од два унакрсно спрегнута PMOS транзистора, од NMOS транзистора и инвертора.

Претварачи напонских нивоа могу довести до сметњи у радном циклусу (енгл. *Duty Cycle*), поготово на излазу претварача са ниског на висок напонски ниво. Међутим, то се углавном може избјећи додатним баферовањем излаза DCO-а тј. физичким уметањем одговарајућих бафера између фазног излаза DCO-а и претварача напонског нивоа чиме се сигнал додатно исправља како би такав дошао на улаз претварача са ниског на висок напонски ниво.



(a)

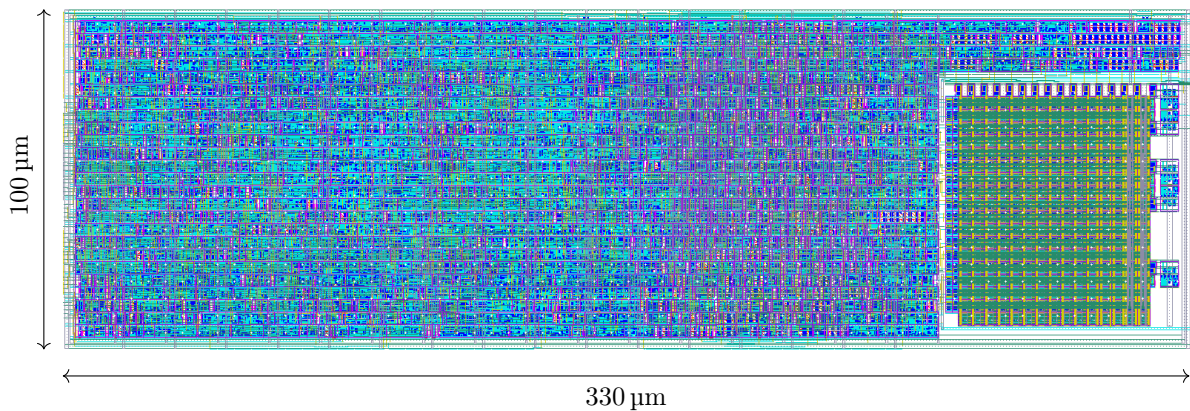


(б)

Слика 9: Шема претварача (а) са високог на низак и (б) са ниског на висок напонски ниво [13].

### 3 Имплементација и резултати симулација

Дигитални FLL описан у овом раду, имплементиран је коришћењем SystemVerilog језика за опис хардвера у 130 nm CMOS технологији. DCO је имплементиран као независна компонента коришћењем библиотека стандардних ћелија. Читав дизајн FLL-а заузима  $33000 \mu\text{m}^2$ , од чега 13% заузима DCO. Референтни такт је 16 MHz, док се такт DCO-а подешава до 640 MHz, при чему је резолуција учестаности око 2.8 MHz у типичним условима рада. У симулацији под типичним условима рада, напон напајања управљачке логице FLL-а ( $V_{DD}$ ) је подешен на 1.2 V, а самог DCO-а ( $V_{DDL}$ ) на 1.1 V, и за њих је средња квадратна вриједност (енгл. *Root Mean Square*, RMS) потрошње струје 0.9 mA и 2.185 mA, респективно. Лејаут коначне верзије цјелокупног FLL-а приказан је на Слици 10.



Слика 10: Лејаут дигиталног FLL-а, са DCO-ом у доњем десном углу.

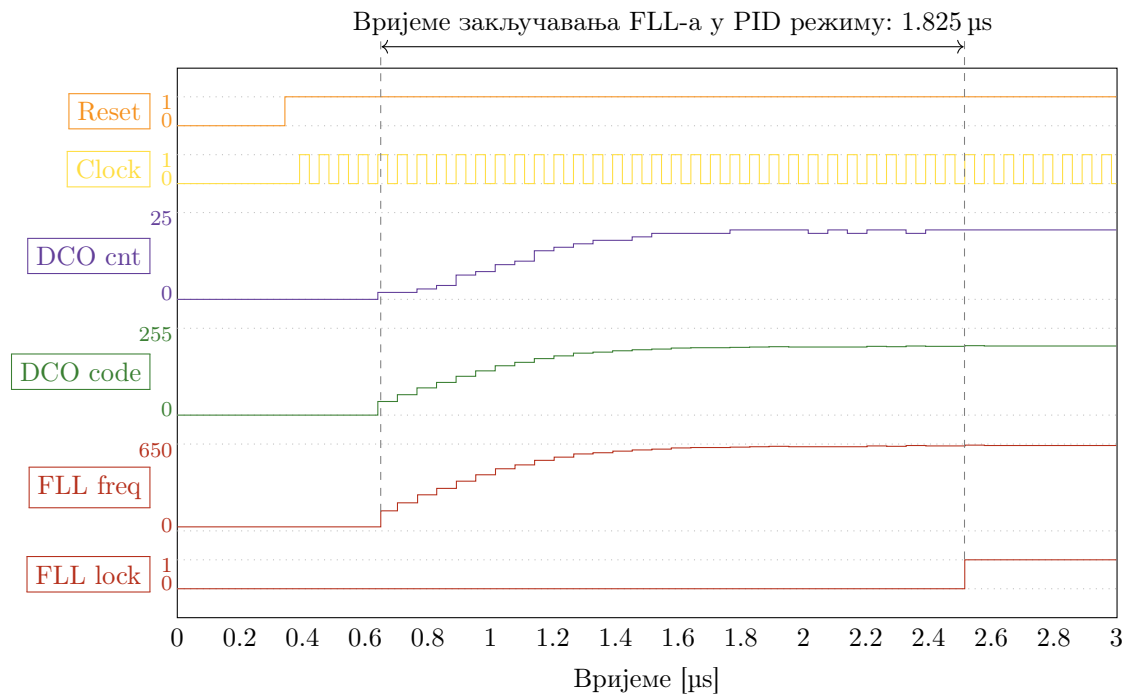
#### 3.1 Симулација рада фреквенцијски затворене петље

Симулација рада FLL-а у оба управљачка режима приказана је на Слици 11. Са приказаних графика се може видјети да се у оба управљачка режима достиже стабилно закључавање FLL-а са излазном фреквенцијом веома блиској траженој фреквенцији, при чему грешка може бити у опсегу просјечне вриједности резолуције DCO-а (испод 3 MHz). Међутим, иако се у оба режима исправно достиже жељена фреквенција, између њих постоји разлика у брзини достизања исте. Тако, у PID режиму ( $P=15$ ,  $I=15$ ,  $D=0$ ), закључавање се одвија много брже, и то за  $1.83 \mu\text{s}$ , док је, поређења ради, за закључавање у bang-bang режиму потребно  $13.13 \mu\text{s}$ .

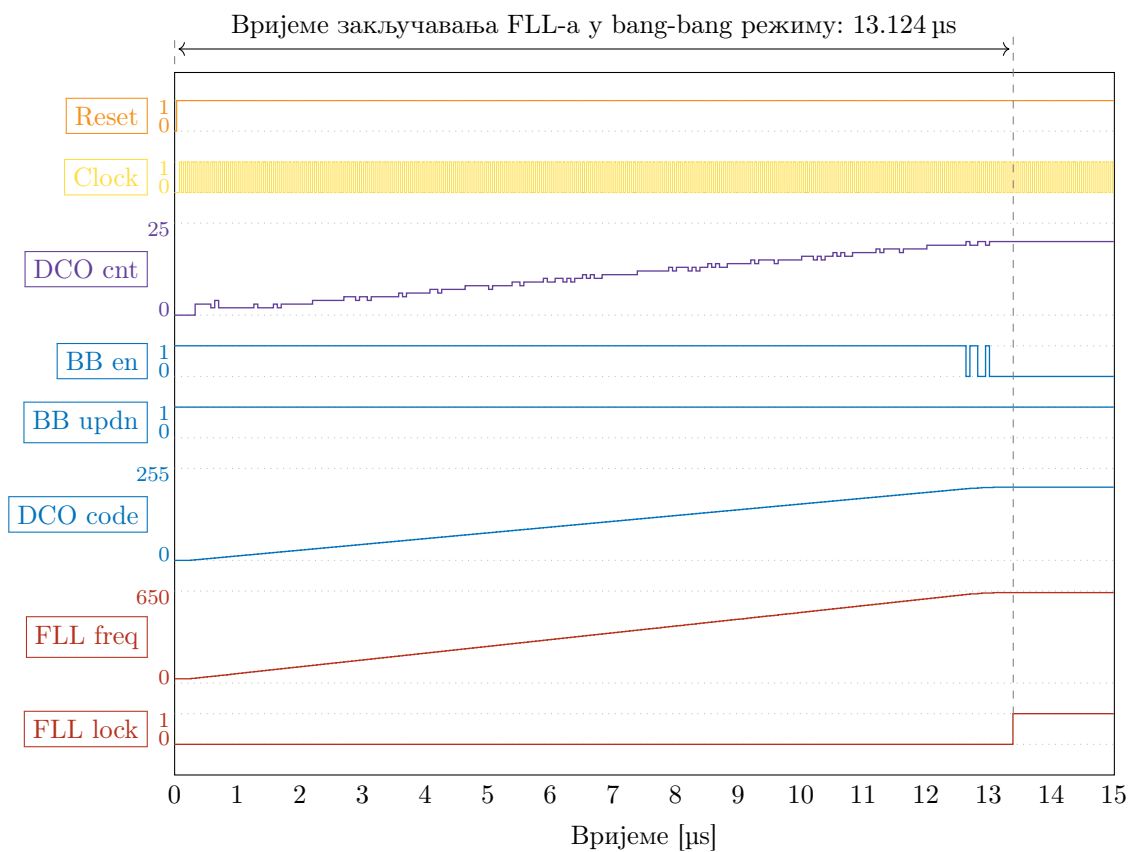
#### 3.2 PVT зависност дигитално контролисаног осцилатора

Да би се одредило понашање DCO-а у реалним условима, потребно је провјерити понашање DCO-а при промјени процесних углова, напона напајања и температуре, односно провјерити различите PVT случајеве. У оквиру овог рада симулирано је понашање у три различита PVT случаја:

1. Најгори (најспорији) случај (slow-slow процесни угао,  $V_{DD}=1.1 \text{ V}$ ,  $V_{DDL}=1 \text{ V}$ ,  $125^\circ\text{C}$ )
2. Типичан случај (typical-typical процесни угао,  $V_{DD}=1.2 \text{ V}$ ,  $V_{DDL}=1.1 \text{ V}$ ,  $40^\circ\text{C}$ )



(a)



(б)

Слика 11: Симулација FLL-а у (а) PID режиму и (б) bang-bang режиму.

3. Најбољи (најбржи) случај (fast-fast процесни угао,  $V_{\text{DD}}=1.3\text{ V}$ ,  $V_{\text{DDL}}=1.2\text{ V}$ ,  $-40^\circ\text{C}$ )

Да би се значајно смањило вријеме потребно за добијање резултата из симулација након екстракције лејаута, и то без губљења прецизности добијених резултата, симулације DCO-а су извршене на нивоу појединачно екстракованих ћелија DCO-а и екстракованих претвараача напонског нивоа, са додатним паразитним кондензатором на свакој фази DCO-а. Улога тих кондензатора је да надомјесте паразитне капацитивности које се јављају у потпуно екстракованом лејауту DCO-а због међусобно повезаних ћелија, а које нису аутоматски урачунате ако се симулације врше на нивоу појединачно екстракованих компоненти DCO-а, као што је то овде случај. Вриједност капацитивности додатог кондензатора прорачуната је на основу извјештаја генерисаног из екстракције на нивоу читавог дизајна.

Слика 12 приказује зависност фреквенције DCO-а и фреквенцијског корака тј. резолуције фреквенције ( $K_{\text{DCO}}$ ) од броја укључених тростатичких инвертора (тј. од управљачке ријечи DCO-а), за најгори, типични и најбољи PVT случај. Табела 3 приказује фреквенцијски опсег DCO-а и просјечну вриједност фреквенцијског корака ( $K_{\text{DCO}}$ ) у три претходно обрађена случаја. Под опсегом се подразумјевају минималне и максималне вриједности фреквенције која се добија на излазу DCO-а за укључен минималан (у овом случају 15) и максималан број (у овом случају 255) тростатичких инвертора DCO-а, респективно.

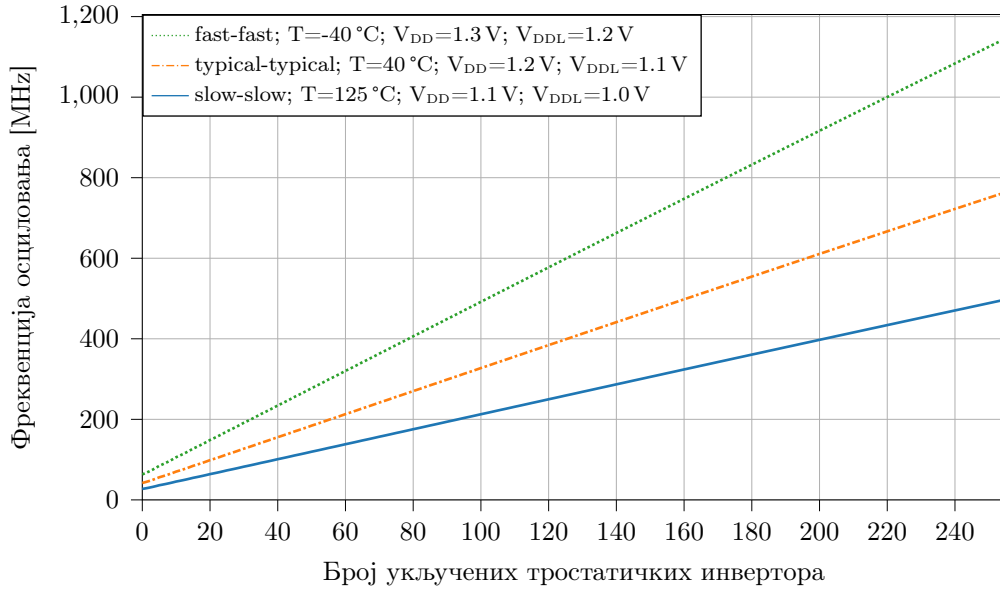
Табела 3: Фреквенцијски опсег DCO-а и просјечна вриједност фреквенцијског корака ( $K_{\text{DCO}}$ ).

Случај	$f_{\min}$	$f_{\max}$	Просјечан $K_{\text{DCO}}$
Најспорији	27.2 MHz	502 MHz	1.8 MHz
Типичан	42 MHz	764 MHz	2.8 MHz
Најбржи	63.3 MHz	1.146 GHz	4.2 MHz

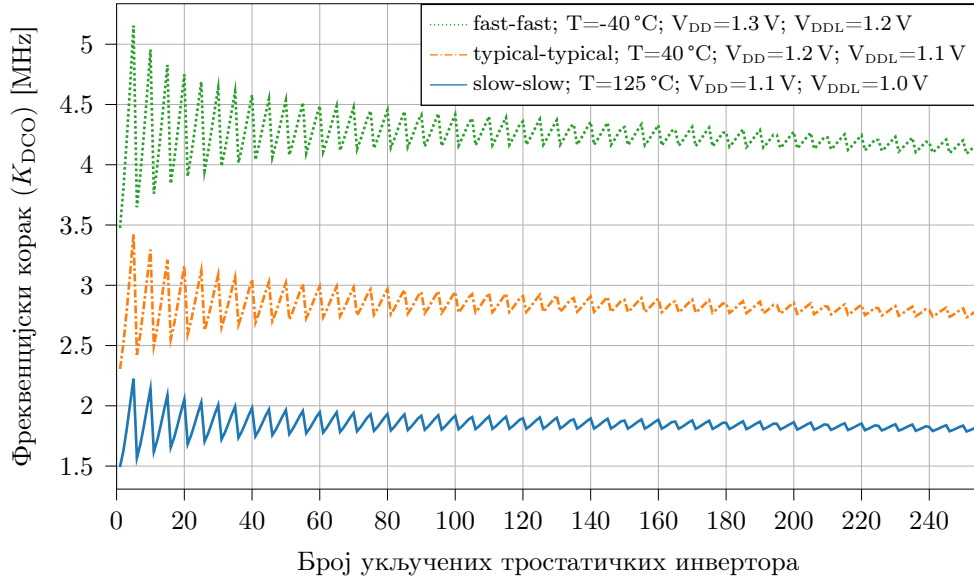
Иако у најгорем случају фреквенција не достиже жељених 640 MHz, она ипак може бити достигнута повећањем засебног напона напајања осцилатора ( $V_{\text{DDL}}$ ). Такође је могуће анализирати и зависност фреквенције од свих PVT параметара независно, међутим те зависности нису приказане у раду због временске захтјевности извршавања потребних симулација, као и због већ приказаних резултата симулација у најгорем, типичном и најбољем случају, који су ипак најбитнији за анализу понашања имплементираних система јер се ослањају на понашање система у граничним условима рада. Ипак, што се тиче понашања DCO-а у зависности од свих PVT параметара појединачно, потребно је напоменути да се фреквенција повећава са бржим процесним углом, већим напоном напајања, као и мањом температуром.

### 3.3 Временски одзив дигитално контролисаног осцилатора

Временски одзив (енгл. *Timing*) односи се на облик сигнала на фазама дигитално контролисаног осцилатора на нивоу једне периоде излазног такта. У сврху приказа временског одзива симулиран је рад потпуно екстракованог DCO-а у типичним условима. Слика 13 приказује генерисани сигнал такта на свакој од пет фаза DCO-а. Приказани сигнали су добијени са улаза ( $V_{\text{DDL}}$  домен напона напајања) и излаза ( $V_{\text{DD}}$  домен напона напајања) претвараача са ниског на висок напонски ниво. Као што је приказано у једначини 5, фреквенција осциловања  $f_{\text{osc}}$  зависи од  $t_d$  тј. кашњења кроз ћелију DCO-а која садржи тростатички инвертор. Та вриједност је практично једнака аритметичкој средини кашњења узлазне и силазне ивице сигнала такта ( $t_{1h}$



(a)

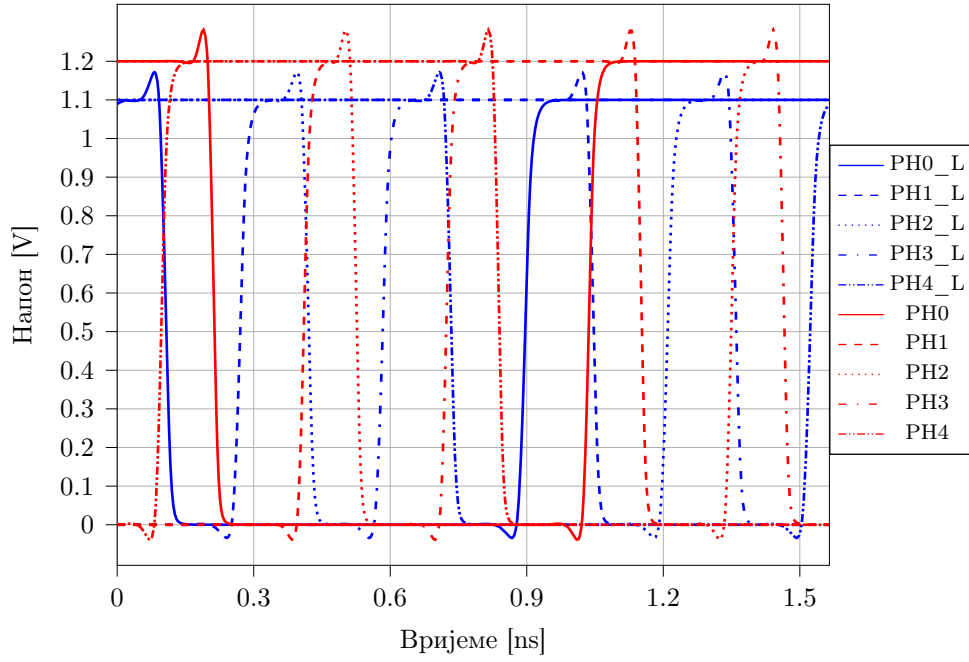


(б)

Слика 12: Зависност (а) фреквенције осциловања и (б) фреквенцијског корака од броја укључених тростатичких инвертора за најспорији, типични и најбржи случај.

и  $t_{hl}$ ). Други важан параметар за разматрање је радни циклус тј. однос времена које излазни сигнал проведе на високом, односно ниском, напону у једној периоди такта и самог периода такта. Изражава се у процентима тј. колико процентуално сигнал такта проведе на високом, а колико на ниском напону тј. нули и идеално је да тај однос буде 50% – 50%.

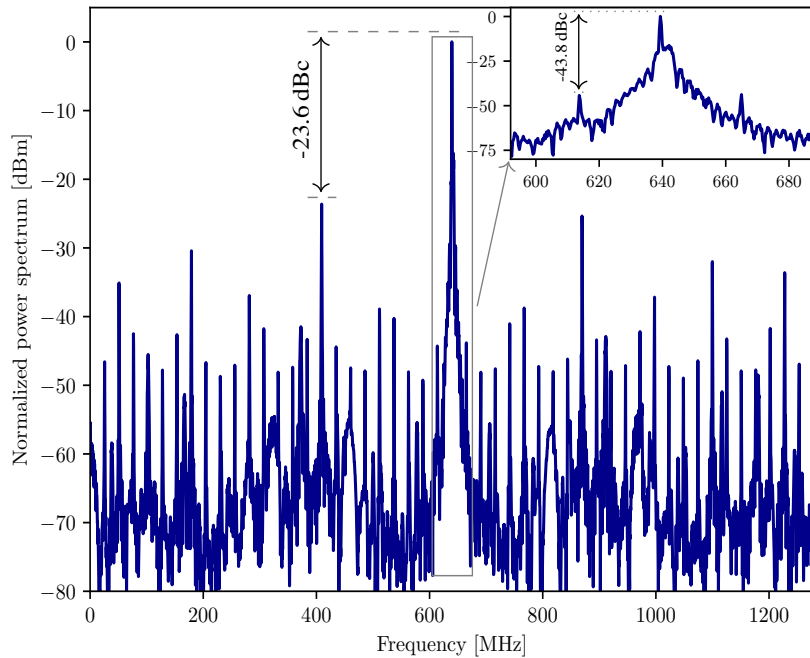
Добијене вриједности кашњења узлазне и силазне ивице такта на баферованом излазу претварача са ниског на висок напонски ниво су  $t_{lh} = 26$  ps и  $t_{lh} = 20$  ps, респективно. Добијени однос унутар радног циклуса такта је апроксимативно 48% – 52%. Временски помјерај између двије сусједне фазе је око 940 ps.



Слика 13: Генерисани такт на свих 5 фаза DCO-а у  $V_{DD}$  и  $V_{DDL}$  доменима напајања.

### 3.4 Спектар снаге фреквенцијски затворене петље

Нормализовани спектар снаге предложеног FLL-а у PID режиму, током процеса одржавања вриједности фреквенције од 640 MHz на излазу, приказан је на Слици 14. Подаци са графика су добијени из 15  $\mu$ m дигиталне симулације на нивоу логичких



Слика 14: Спектар снаге FLL-а, са фреквенцијом носиоца 640 MHz, најјачим нивоом непожељног сигнала (у средини лијево) на -23.6 dBc, и највећим непожељним сигналом референтне фреквенције унутар  $640 \pm 16$  MHz (горе десно, зумирано) на нивоу -43.8 dBc.

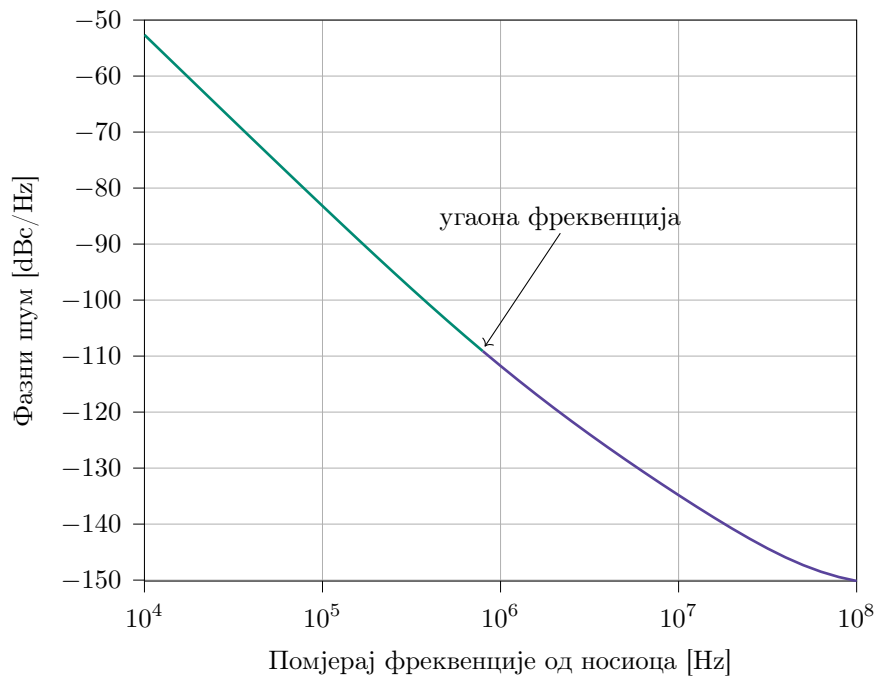
кола, која укључује идеалан бешумни модел DCO-а написан у SystemVerilog-у. Излаз

симулације је потпуно детерминистички квадратни талас састављен од јединица и нула, одабран са учестаношћу 10 GHz, и сачуван за даљу обраду.

Највећа вриједност на графику представља фреквенцију осциловања FLL-а, односно фреквенцију носиоца (енгл. *Carrier Frequency*). Ниво највећег непожељног тона је  $-23.6\text{ dBc}$ , која је више од два реда величине испод нивоа фреквенције носиоца ( $0\text{ dBc}$ ). У зумираној области, може се видјети непожељан сигнал унутар референтне фреквенције и то лијево и десно од носиоца са помјерајем (енгл. *Offset*) од 16 MHz, чији је најјачи ниво на  $-43.8\text{ dBc}$ .

### 3.5 Фазни шум дигитално контролисаног осцилатора

Због насумичних фазних одступања, спектар снаге реалног осцилатора се такође шири на фреквенције око фреквенције носиоца,  $f_{\text{osc}}$ . Извори насумичних фазних поремећаја [14] у смислу шума треперења (енгл. *Flicker Noise*) и топлотног шума (енгл. *Thermal Noise*) се манифестују као  $1/f^3$  and  $1/f^2$  области, респективно, у симулираном профилу фазног шума на Слици 15. Приказани резултати су добијени у типичним PVT условима, са вриједношћу напона напајања DCO-а ( $V_{\text{DDL}}$ ) од 1.1 V, и вриједности фреквенције носиоца ( $f_{\text{osc}}$ ) од 640 MHz.



Слика 15: Спектар фазног шума DCO-а: област шума треперења (лијево), област топлотног шума (десно), и угаона фреквенција од  $\approx 800\text{ kHz}$ .



## 4 Закључак

У овом раду представљена је синтетизабилна дигитална фреквенцијски затворена петља са једноставном али ефикасном архитектуром. Дигитално контролисан осцилатор са прстенастом структуром, састављен од тростатичких инвертора омогућава достизање пристојне резолуције фреквенције и брзог радног учинка. Додатне предности су му и једноставно управљање, преносивост и прилагодљивост. Представљена су два управљачка режима FLL-а: bang-bang контролер и PID контролер. Детаљно је објашњена обрада у различитим доменима такта, као и заштита од метастабилности.

FLL је потпуно синтетизабилан, имплементиран коришћењем SystemVerilog језика за опис хардвера. У зависности од технолошке библиотеке може бити направљен коришћењем само библиотеке стандардних ћелија без преуређивања у току коришћења методологије тока дигиталног пројектовања. Обрађени FLL је послат на производњу у 130 nm CMOS технологији.

Даљи рад на описаном и имплементираном FLL-у ће укључити тестирање чипа након производње и паковања, као и пројектовање додатних синтетизабилних дигиталних блокова као што је фазно спрегнута петља (енгл. *Phase-Locked Loop*, PLL), временско-дигитални претварач (енгл. *Time-to-Digital Converter*, TDC), регулатор с ниским падом напона (енгл. *Low-Dropout Regulator*, LDO) итд.

## Литература

- [1] Imran Ali и др., „An Ultra-Low Power, Adaptive All-Digital Frequency-Locked Loop With Gain Estimation and Constant Current DCO”, y: *IEEE Access* 8 (2020.), стр. 97215–97230, DOI: 10.1109/ACCESS.2020.2995853.
- [2] Ahmed Musa и др., „A Compact, Low-Power and Low-Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration”, y: *IEEE Journal of Solid-State Circuits* 49.1 (2014.), стр. 50–60, DOI: 10.1109/JSSC.2013.2284651.
- [3] Wei Deng и др., „A Fully Synthesizable All-Digital PLL With Interpolative Phase Coupled Oscillator, Current-Output DAC, and Fine-Resolution Digital Varactor Using Gated Edge Injection Technique”, y: *IEEE Journal of Solid-State Circuits* 50.1 (2015.), стр. 68–80, DOI: 10.1109/JSSC.2014.2348311.
- [4] JosÉ A. Tierno, Alexander V. Rylyakov и Daniel J. Friedman, „A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI”, y: *IEEE Journal of Solid-State Circuits* 43.1 (2008.), стр. 42–51, DOI: 10.1109/JSSC.2007.910966.
- [5] A. V. Rylyakov и др., „A Modular All-Digital PLL Architecture Enabling Both 1-to-2GHz and 24-to-32GHz Operation in 65nm CMOS”, y: *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers* (2008.), стр. 516–632, DOI: 10.1109/ISSCC.2008.4523284.
- [6] Karl Johan Astrom и Tore Hagglund, *PID Controllers: Theory, Design, and Tuning*, 2. издање, Instrument Society of America, 1995.
- [7] Bela G. Liptak, *Instrument Engineers' Handbook: Process Control and Optimization*, 4. издање, св. 2, CRC Press, Taylor & Francis Group, 2006.
- [8] David Money Harris и Sarah L. Harris, *Digital Design and Computer Architecture*, 2. издање, Morgan Kaufmann, 2012., стр. 129.
- [9] Martin Davis, Ron Sigal и Elaine J. Weyuker, *Computability, Complexity, and Languages: Fundamentals of Theoretical Computer Science (Computer Science and Scientific Computing)*, 2. издање, Academic Press, Inc., 1994., стр. 117.
- [10] Behzad Razavi, *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*, Cambridge University Press, 2020.
- [11] Reddy B. Madhusudhana и др., „CMOS Based Digital Controlled Oscillators (DCO) – A Review”, y: *International Journal of Applied Engineering Research* 10.20 (2015.), стр. 18626–18630.
- [12] M. Terosiet и др., „A Comprehensive In-Depth Study of Tri-State Inverter Based DCO”, y: *Microelectronics Journal* (2020.), DOI: 10.1016/j.mejo.2020.104760.
- [13] Yuji Osaki и др., „A Low-Power level-shifter With Logic Error Correction for Extremely Low-Voltage Digital CMOS LSIs”, y: *IEEE Journal of Solid-State Circuits* 47.7 (2012.), стр. 1776–1783, DOI: 10.1109/JSSC.2012.2191320.
- [14] V. Milovanović и B. Nikolić, „An HDL model of a digitally controlled oscillator for rapid digital PLL prototyping”, y: *2017 IEEE 30th International Conference on Microelectronics (MIEL)*, 2017., стр. 205–208, DOI: 10.1109/MIEL.2017.8190103.