

Пројектовање синтетизабилне сведигиталне фреквенцијски  
затворене петље са широким опсегом подешавања  
до учестаности од  $640\text{ MHz}$

Ђорђе Гачић

**Катедра за електротехнику и рачунарство**  
Факултет инжењерских наука Универзитета у Крагујевцу

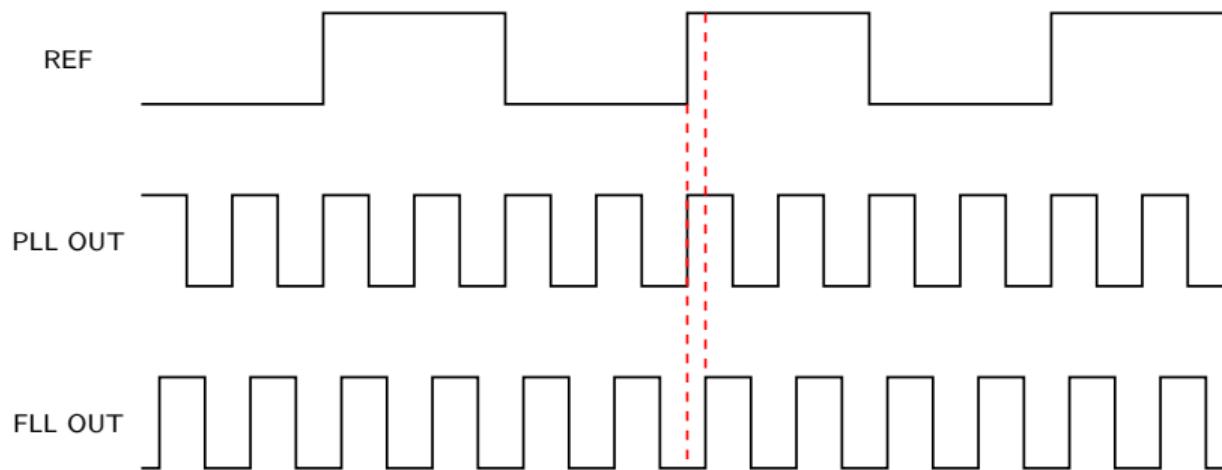


Крагујевац, 26. септембар 2024.

- 1 Увод и мотивација**
- 2 Дигитална фреквенцијски затворена петља (FLL)**
- 3 Дигитално контролисани осцилатор (DCO)**
- 4 Управљачка логика**
- 5 Имплементација и резултати симулација**
- 6 Пајтон модел FLL-а**
- 7 Поређење DCO-а у 130 nm и 180 nm TSMC технологији**
- 8 Утицај дубоке јаме N типа у аналогном пројектовању DCO-а**
- 9 Резиме**
- 10 Објављени рад**



- Постоји велики број чипова који захтијевају генератор такта, за чију имплементацију се обично користи фазно затворена петља (PLL).
- Међутим, да ли је PLL увијек неопходан?
- Можда је довољна фреквенцијски затворена петља (FLL)?



## Дигитални или аналогни FLL

Предности дигиталног FLL-а:

- мања површина
- отпорност на PVT промјене
- прилагодљивост различитим технологијама
- већа скалабилност и могућност параметризације
- једноставније и брже пројектовање

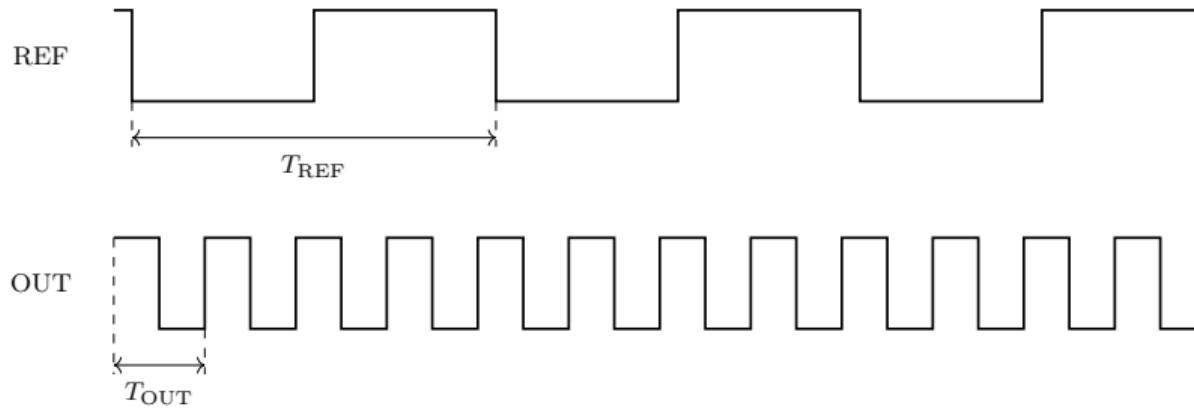
Предности аналогног FLL-а:

- већа максимална учестаност
- боља резолуција учестаности

Кад год захтјеви то дозвољавају, пожељно је користити дигитални FLL!



# Дигитална фреквенцијски затворена петља (FLL)



$$f_{\text{REF}} = \frac{1}{T_{\text{REF}}} \quad (1)$$

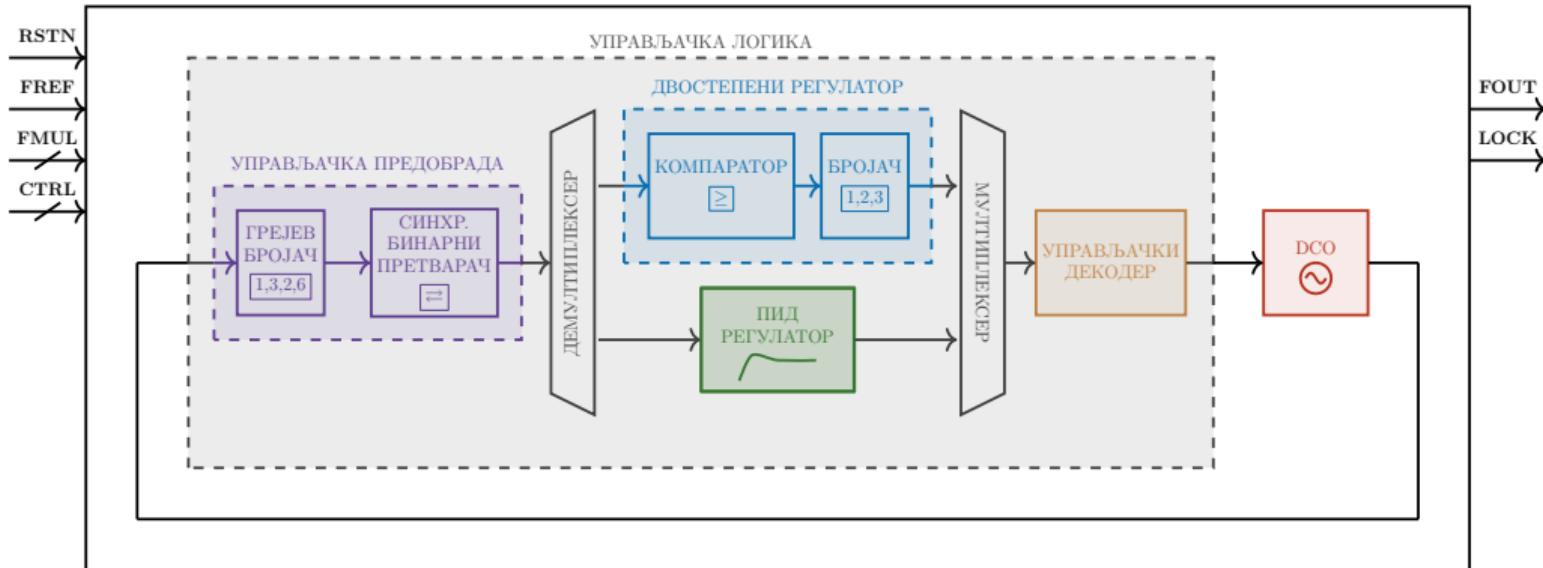
$$f_{\text{OUT}} = \frac{1}{T_{\text{OUT}}} \quad (2)$$

$$f_{\text{OUT}} = \text{FMUL} \cdot f_{\text{REF}} \quad (3)$$



# Дигитални FLL: Структура

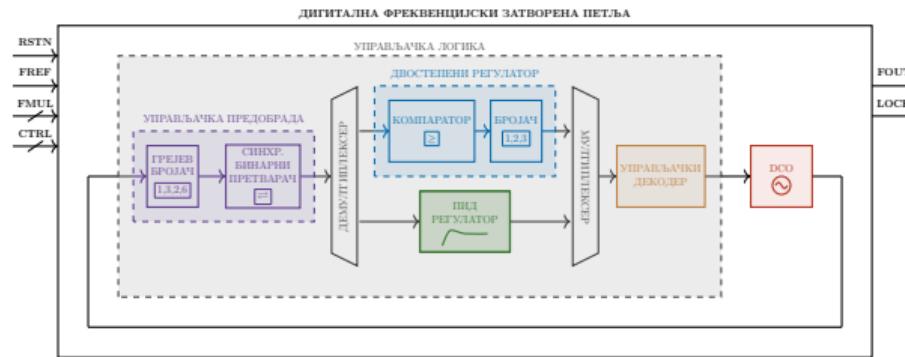
ДИГИТАЛНА ФРЕКВЕНЦИЈСКИ ЗАТВОРЕНА ПЕТЉА



- Управљачка логика
- Дигитално контролисани осцилатор (DCO)



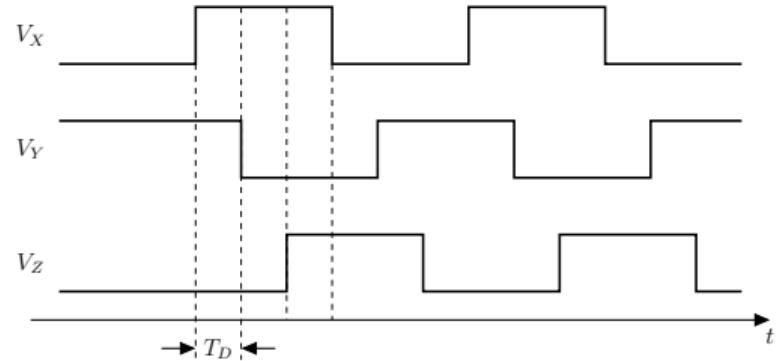
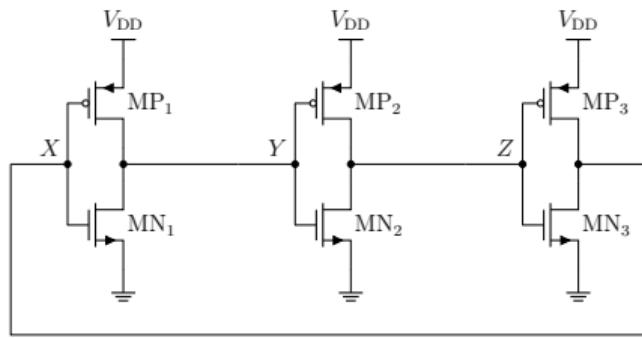
# Дигитално контролисани осцилатор (DCO)



- У срцу сваке фазно затворене петље налази се осцилатор, који има критичну улогу у постизању жељених перформанси система.
- Пројектован је као прстенасти DCO заснован на матрици тростатичких инвертора, са одвојеним напоном напајања.



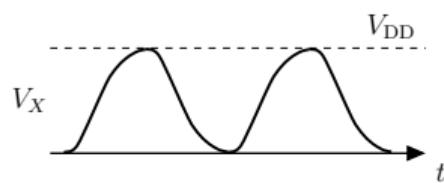
# DCO: Инверторски прстен



$$f_{\text{osc}} = \frac{1}{6T_D}$$

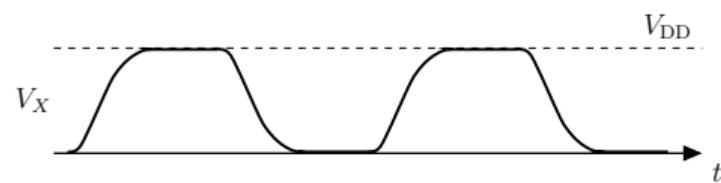


- тростепени прстен



$$f_{OSC} = \frac{1}{6T_D}$$

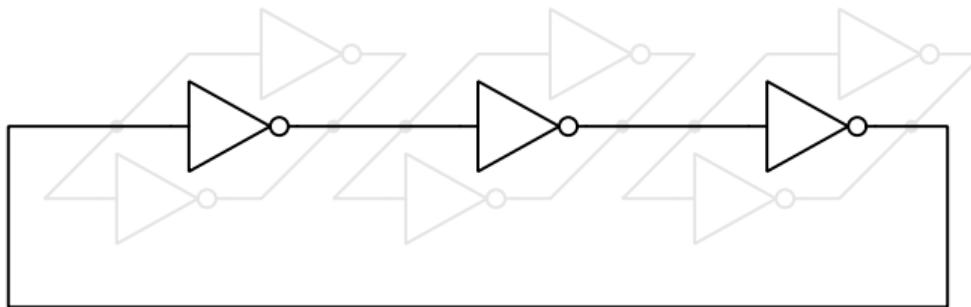
- петостепени прстен



$$f_{OSC} = \frac{1}{10T_D}$$

- Повећањем броја степени (фаза) учестаност осциловања се смањује.



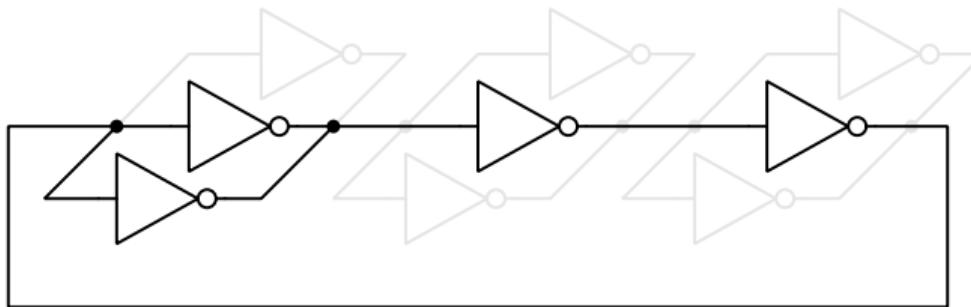


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



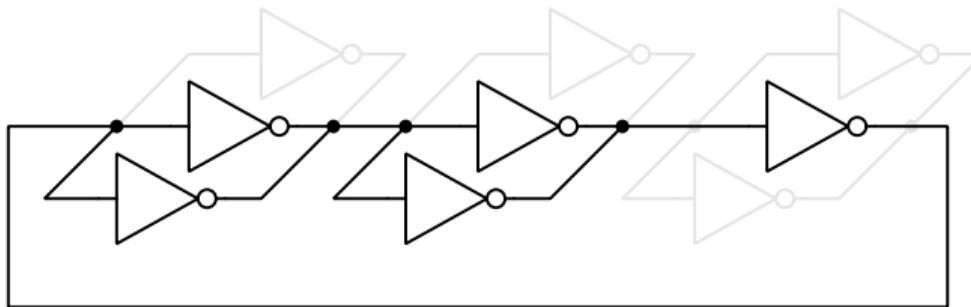


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



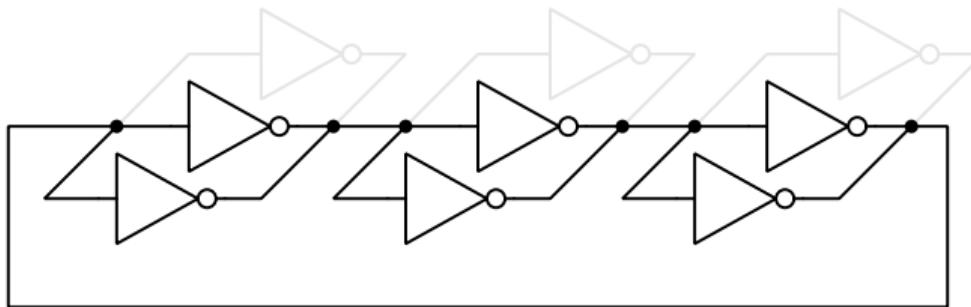


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



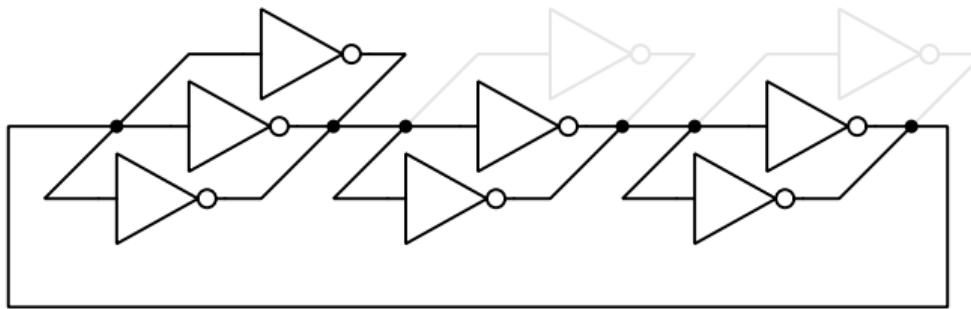


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



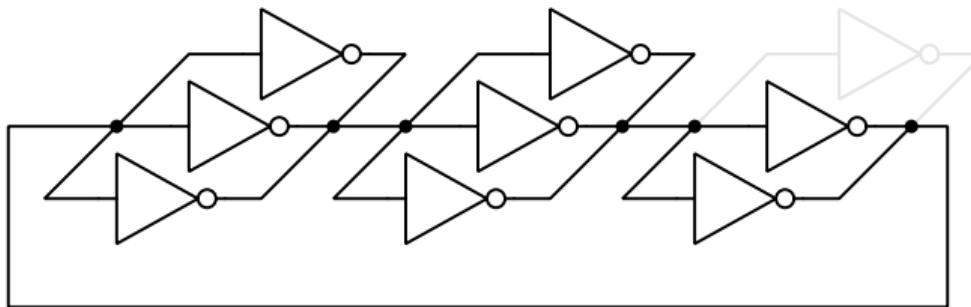


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



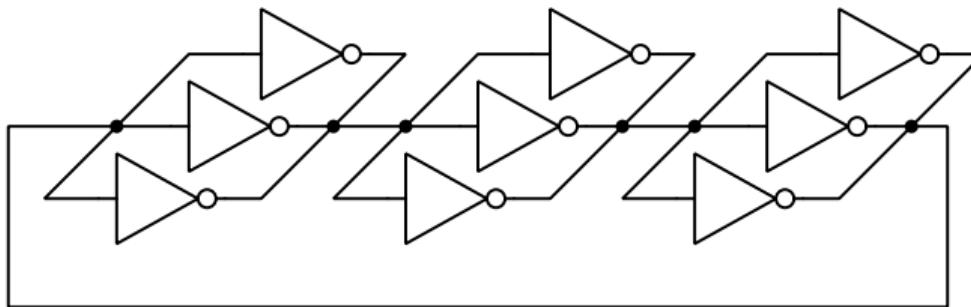


- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а





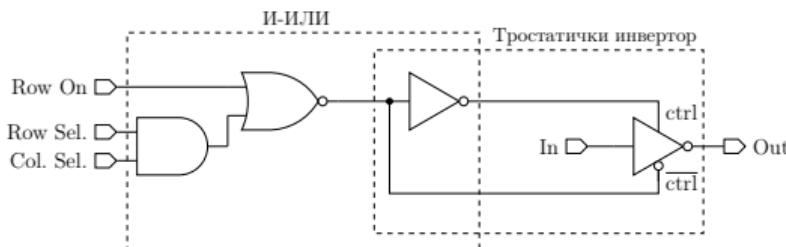
- Формула за учестаност осциловања инверторског прстенастог осцилатора:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}} V_{\text{DDL}}}$$

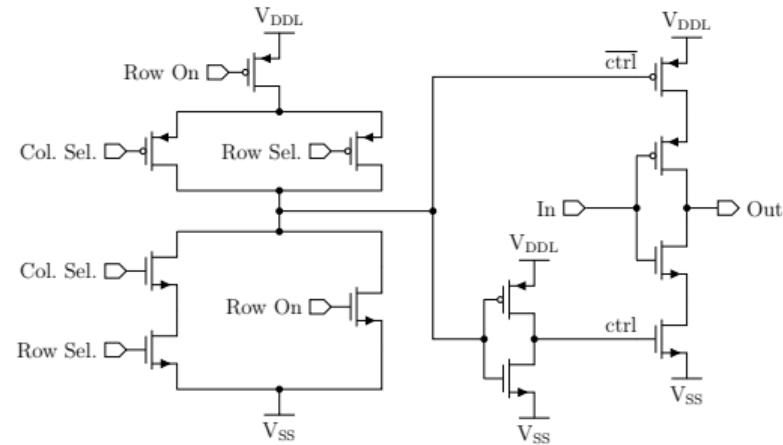
- $N$  је број тростатичких инвертора у једном прстену (број степени, тј. фаза)
- $t_d$  је кашњење ћелије DCO-а која садржи тростатички инвертор
- $I_d$  је струја кроз један тростатички инвертор
- $C_{\text{load}}$  је капацитивно оптерећење тростатичког инвертора
- $V_{\text{DDL}}$  је напон напајања DCO-а



- Ђелија DCO-а је основна градивни блок DCO-а, који се састоји од:
  - ➊ тростатичког инвертора
  - ➋ И-ИЛИ управљачке јединице



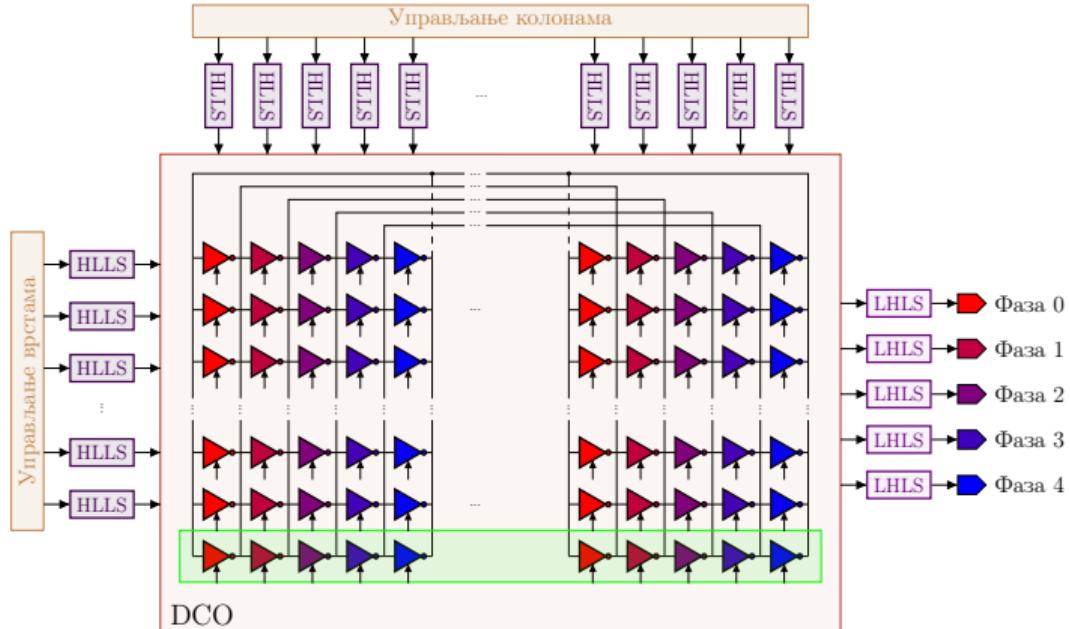
Слика: Ђелија DCO-а на нивоу логичких кола.



Слика: Ђелија DCO-а на нивоу транзистора.



# DCO: Матрица ћелија DCO-а

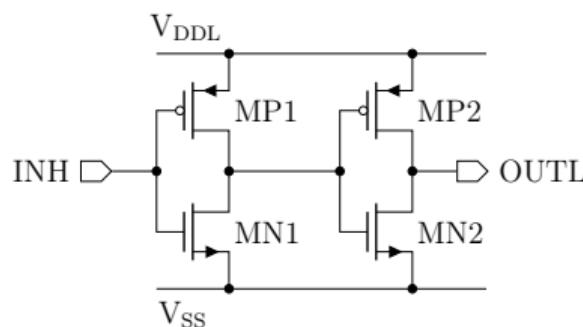


- петостепени прстен (оптималне перформансе и потрошња)
- 54 прстена (270 инвертора, односно ћелија DCO-а)
- 18 врста  $\times$  15 колона (1 врста увијек укључених инвертора)
- 3 прстена (15 инвертора) по врсти
- **17  $\times$  15 инвертора којима се управља** (255 корака учестаности)
- $2 \times 17 + 15$  управљачких сигнална

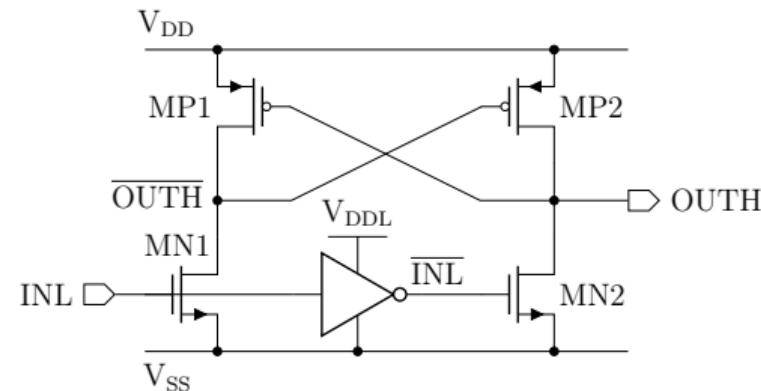


# DCO: Претварачи напонских нивоа

- DCO ради на сопственом напону напајања ( $V_{DDL}$ ), а то је омогућено додавањем претварача напонских нивоа на улазе и излазе DCO-a.



Слика: Претварач са високог на низак напонски ниво.

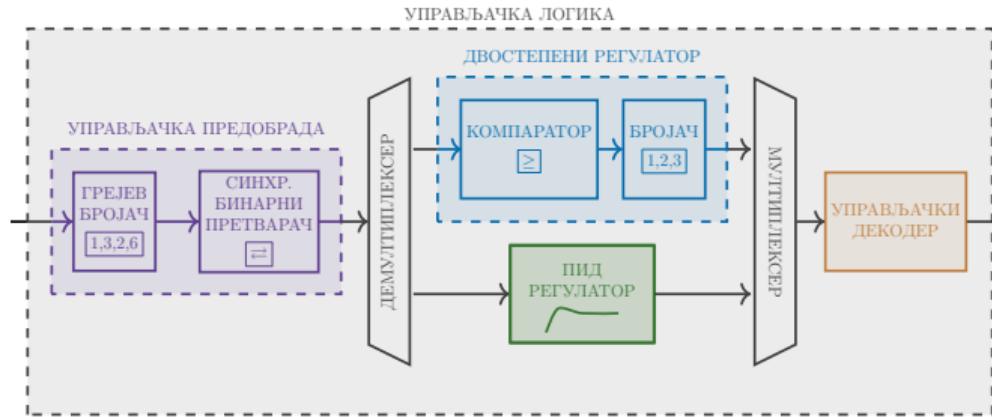


Слика: Претварач са ниског на висок напонски ниво.

- Тиме је омогућено независно подешавање напона напајања DCO-а након фабрикације, да би се постигао жељени опсег и корак учстаности и смањила потрошња снаге.



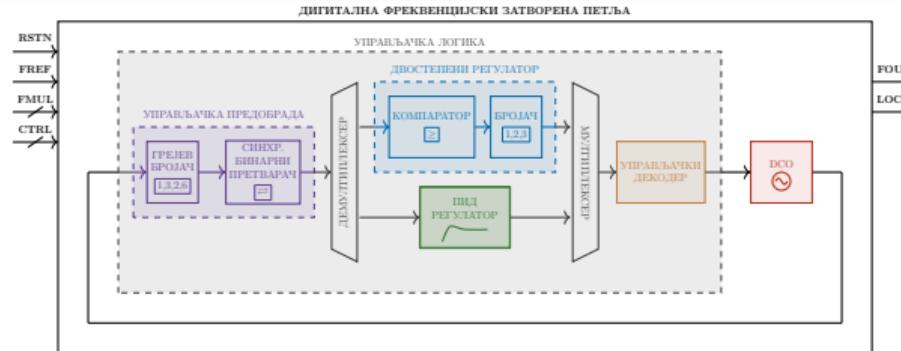
# Управљачка логика



- Управљачка предобрада
- Двостепени регулатор / ПИД регулатор
- Управљачки декодер



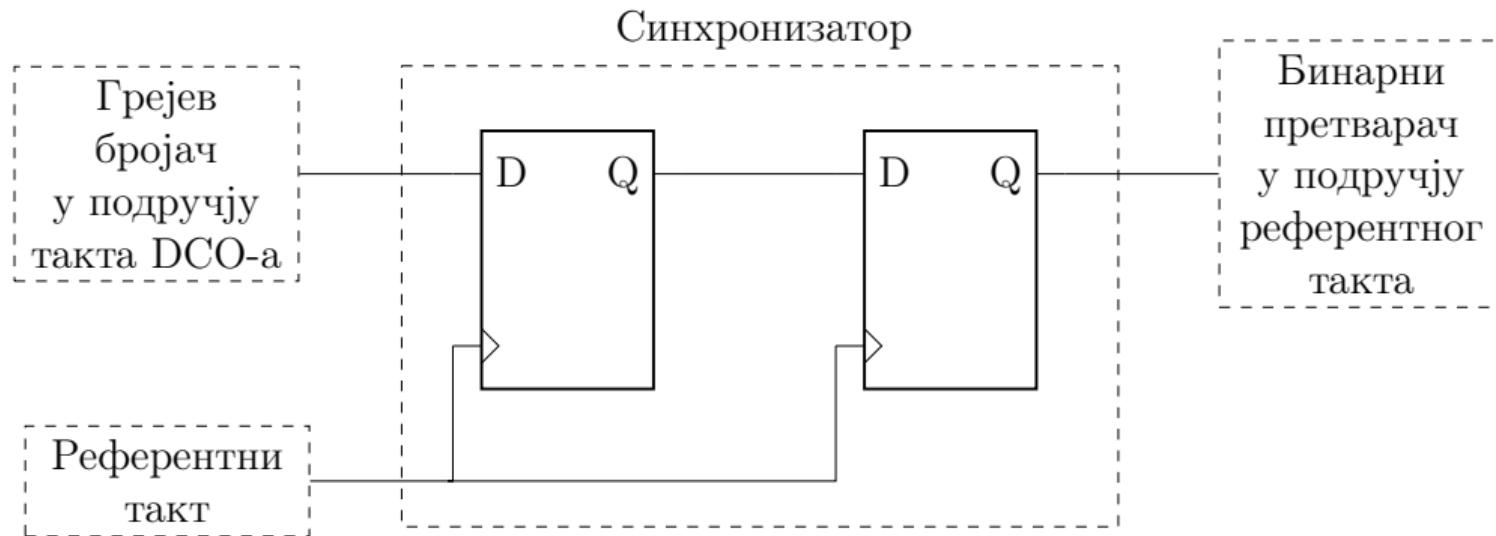
# Управљачка логика: Управљачка предобрада



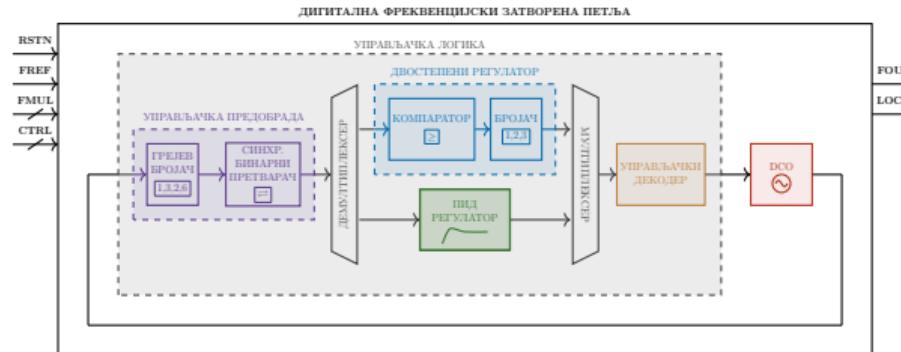
- Претвара учестаност такта DCO-а у бинарну вриједност управљачке логике помоћу:
  - ➊ Грејевог бројача: броји периоде такта DCO-а унутар периода референтног такта
  - ➋ Синхронизатора и бинарног конвертора: омогућавају исправно пребацивање вриједности Грејевог бројача из области такта DCO-а у област референтног такта и претварање у бинарни код.
- У Грејевом коду свака узастопна вриједност се разликује за по један бит. Заједно са синхронизатором који се састоји од два флип-флопа, ризик од ефеката метастабилности је значајно смањен.



# Управљачка логика: Управљачка предобрада(Синхронизатор)



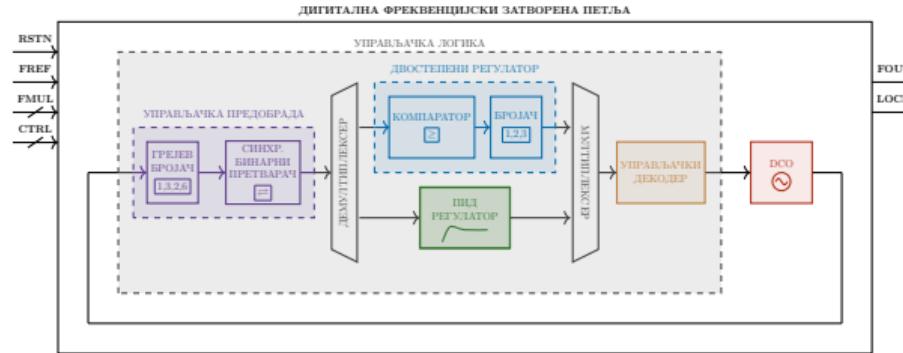
# Управљачка логика: Двостепени регулатор



- Двостепени (или on-off) регулатор има три стања: инкрементирај, декрементирај и онемогући наредни блок.
- Састоји се од два блока:
  - Компаратор: упоређује улазни умножак учестаности са узоркованим вриједношћу бројача такта DCO-а и шаље сигнал инкрементирања, декрементирања или онемогућавања наредном блоку.
  - Двосмјерни бројач: бинарни бројач који директно утиче на улазну управљачку вриједност DCO-а.
- Осигурује се управљање учестаношћу корак по корак и њено коначно закључавање.



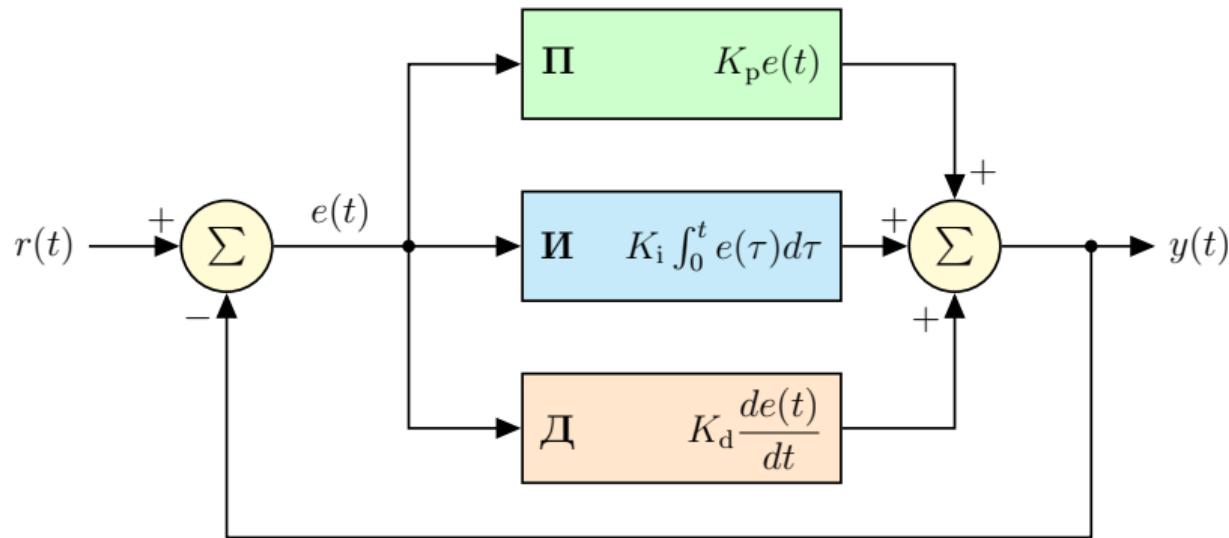
# Управљачка логика: ПИД регулатор



- ПИД регулатор је повратни управљачки механизам, који константно скалира и исправља сигнал грешке (која у овдје представља разлику између узорковане вриједности бројача такта DCO-а и улазног умношака учестаности):
  - $P$  компонента: контролише брзину одзива система
  - $I$  компонента: смањује грешку стационарног стања
  - $D$  компонентета: ограничава излаз да би се смањило потенцијално прекорачење или осцилације.
- Како је умножак учестаности константан и нема наглих промјена на улазу,  $P$  и  $I$  компоненте су довољне за гладак и стабилан одзив система.



# Управљачка логика: ПИД регулатор

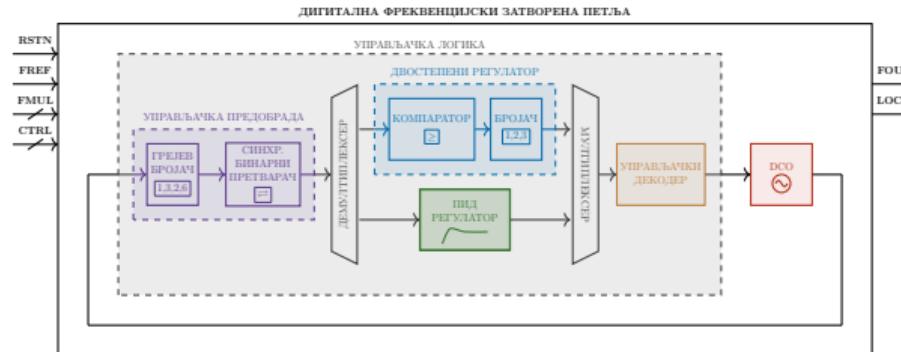


$$y(t) = K_p e(t) + K_i \int_0^t e(\tau) d\tau + K_d \frac{de(t)}{dt}$$



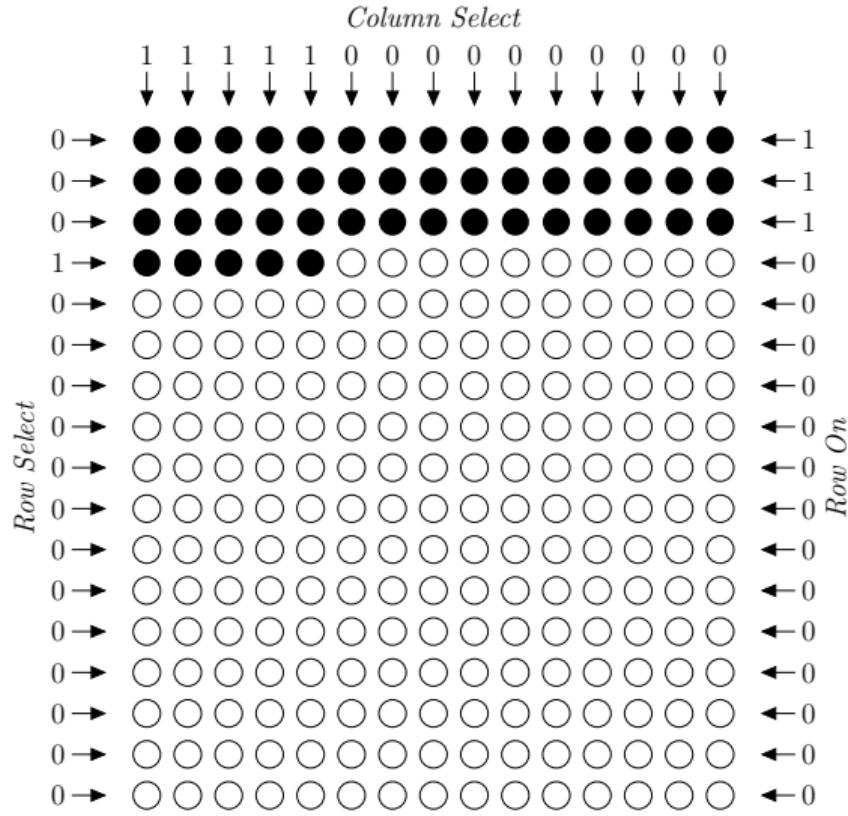
# Управљачка логика: Управљачки декодер

## УПРАВЉАЧКИ ДЕКОДЕР



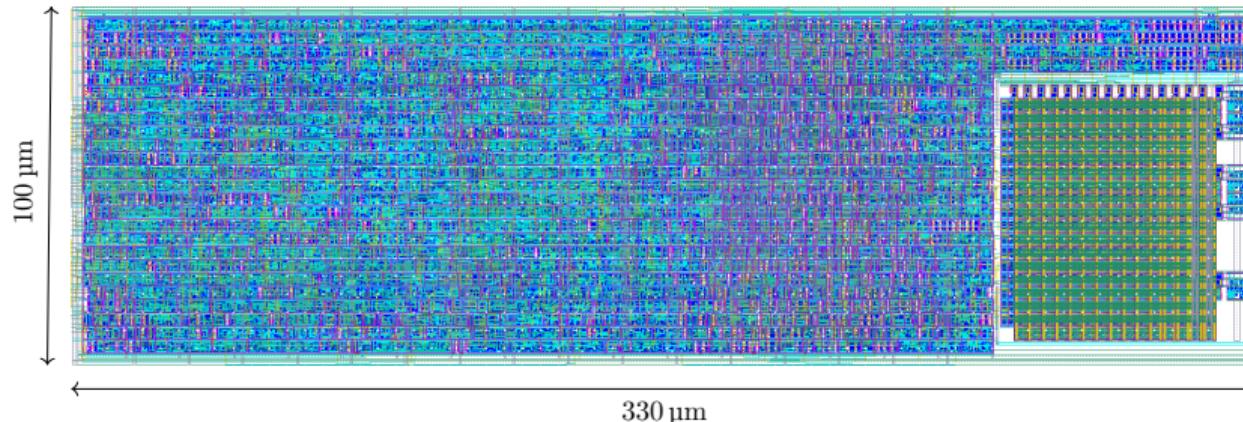
- Претвара управљачки податак из једне бинарне вриједности у скуп управљачких улаза DCO-а:
  - *Row On*: унарни вектор, који укључује само читаве врсте тростатичких инвертора.
  - *Row Select*: један од  $p$  вектор, који укључује једну додатну врсту торстатичких инвертора.
  - *Column Select*: унарни вектор, који може да укључује колоне тростатичких инвертора.
- Да би тростатички инвертор био укључен потребно је да или *Row On*, или и *Row Select* и *Column Select* за одговарајући бит имају логичку вриједност 1.

# Управљачка логика: Управљачки декодер

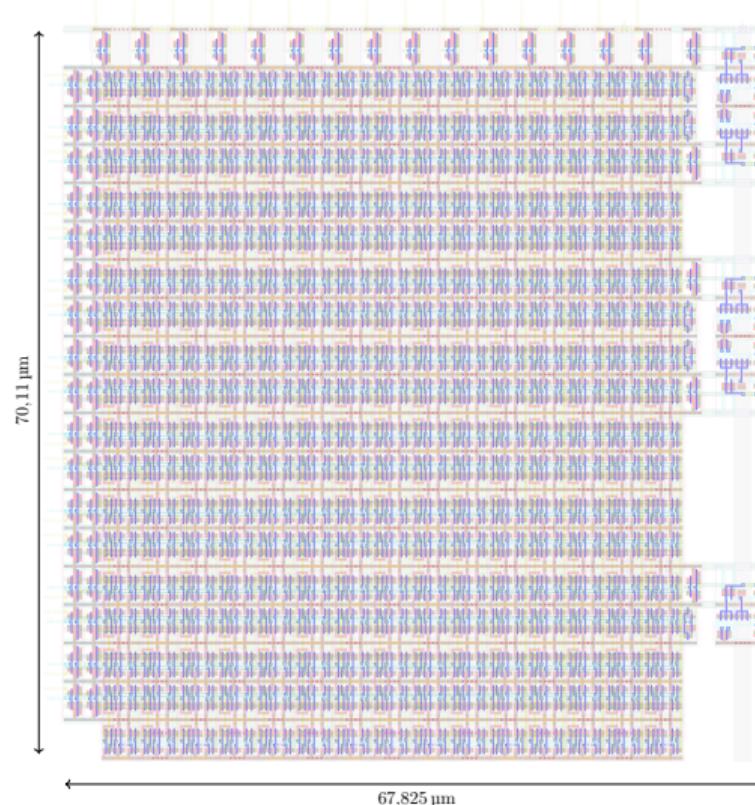


# Имплементација и резултати симулација

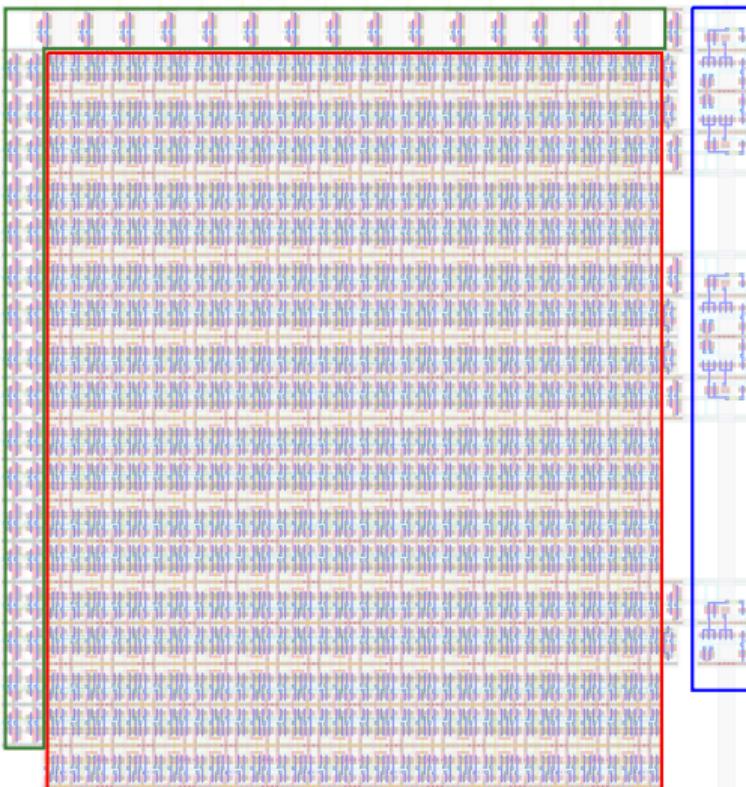
- FLL је имплементиран коришћењем SystemVerilog језика за опис хардвера, у 130 nm CMOS технологији.
- DCO је имплементиран као посебна компонента коришћењем библиотеке стандардних ћелија.
- $F_{REF}=16 \text{ MHz}$ ,  $F_{MUL}=40 \implies F_{OUT}=640 \text{ MHz}$ ,  $F_{RES}=2,8 \text{ MHz}$ .
- $V_{DD}=1,2 \text{ V}$ ,  $V_{DDL}=1,1 \text{ V}$ ,  $I_{DD}=0,9 \text{ mA}$ ,  $I_{DDL}=2,185 \text{ mA}$ ,  $\implies P_{FLL}=3,5 \text{ mW}$
- Читав дизајн заузима око  $33000 \mu\text{m}^2$ , од чега око 13 % заузима DCO (доле десно у приказаном лејауту FLL-а):



# Имплементација и резултати симулација: Лејаут DCO-а



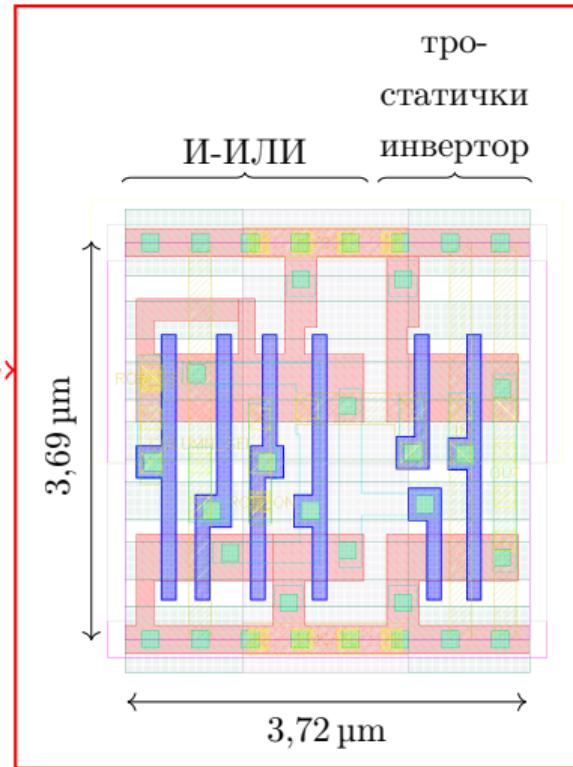
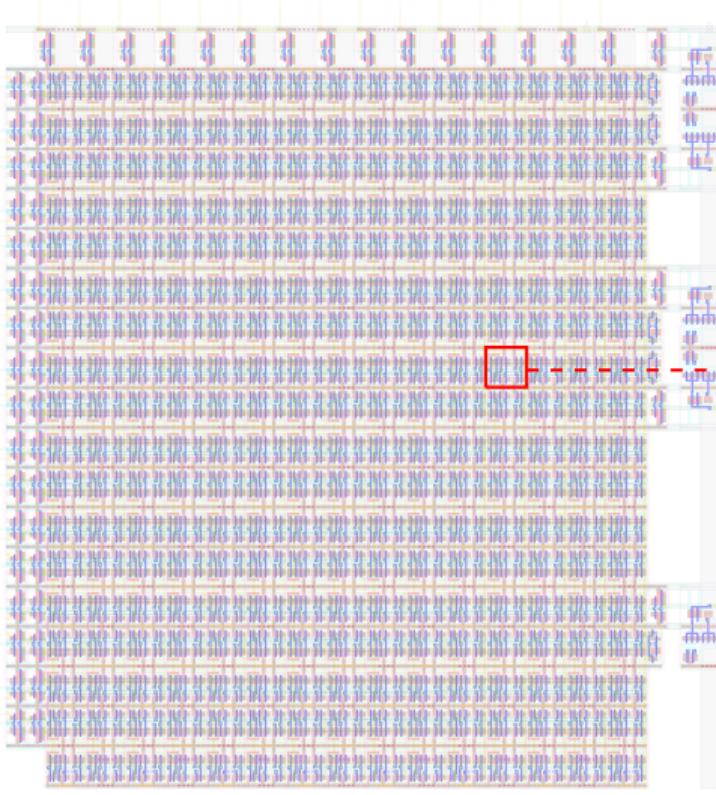
# Имплементација и резултати симулација: Лејаут DCO-а



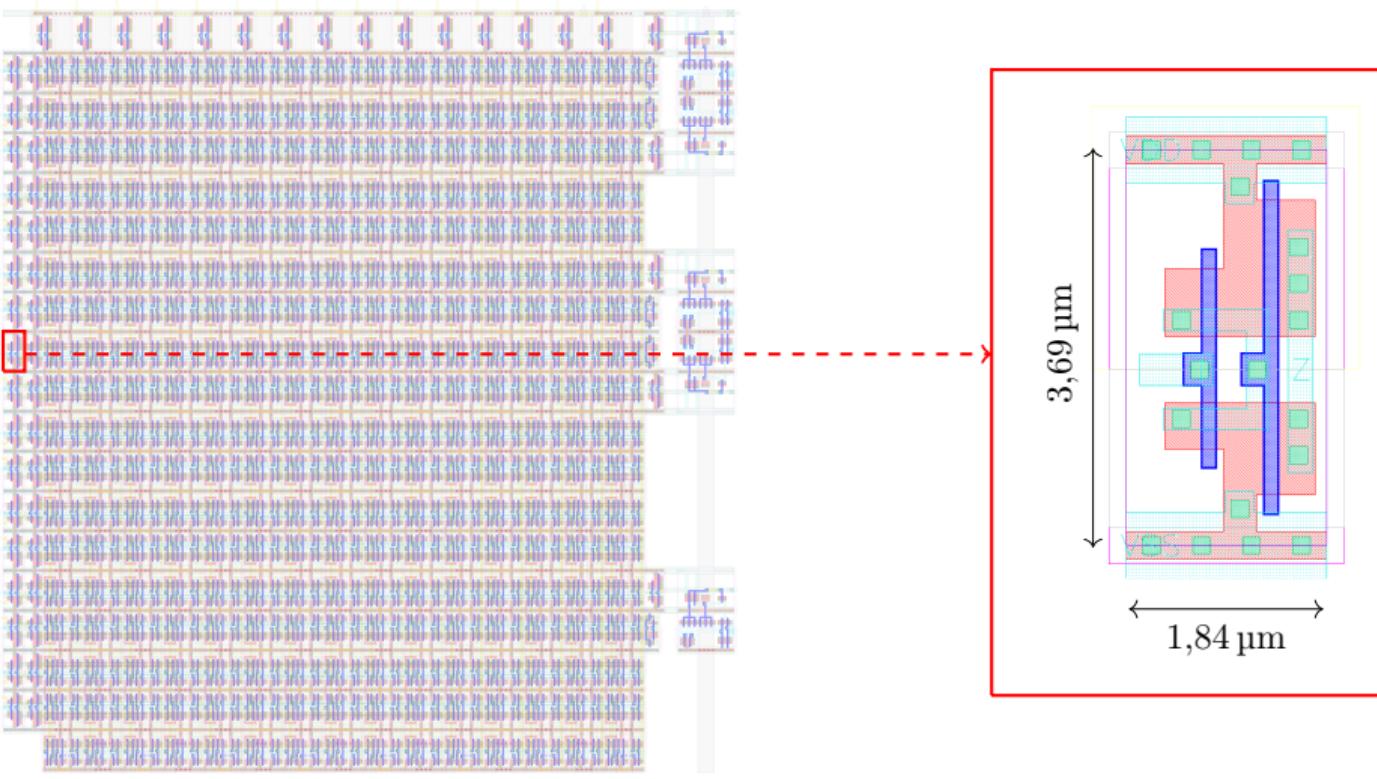
- Матрица ћелија DCO-а
- Претварачи са високог на низак напонски ниво
- Претварачи са ниског на висок напонски ниво



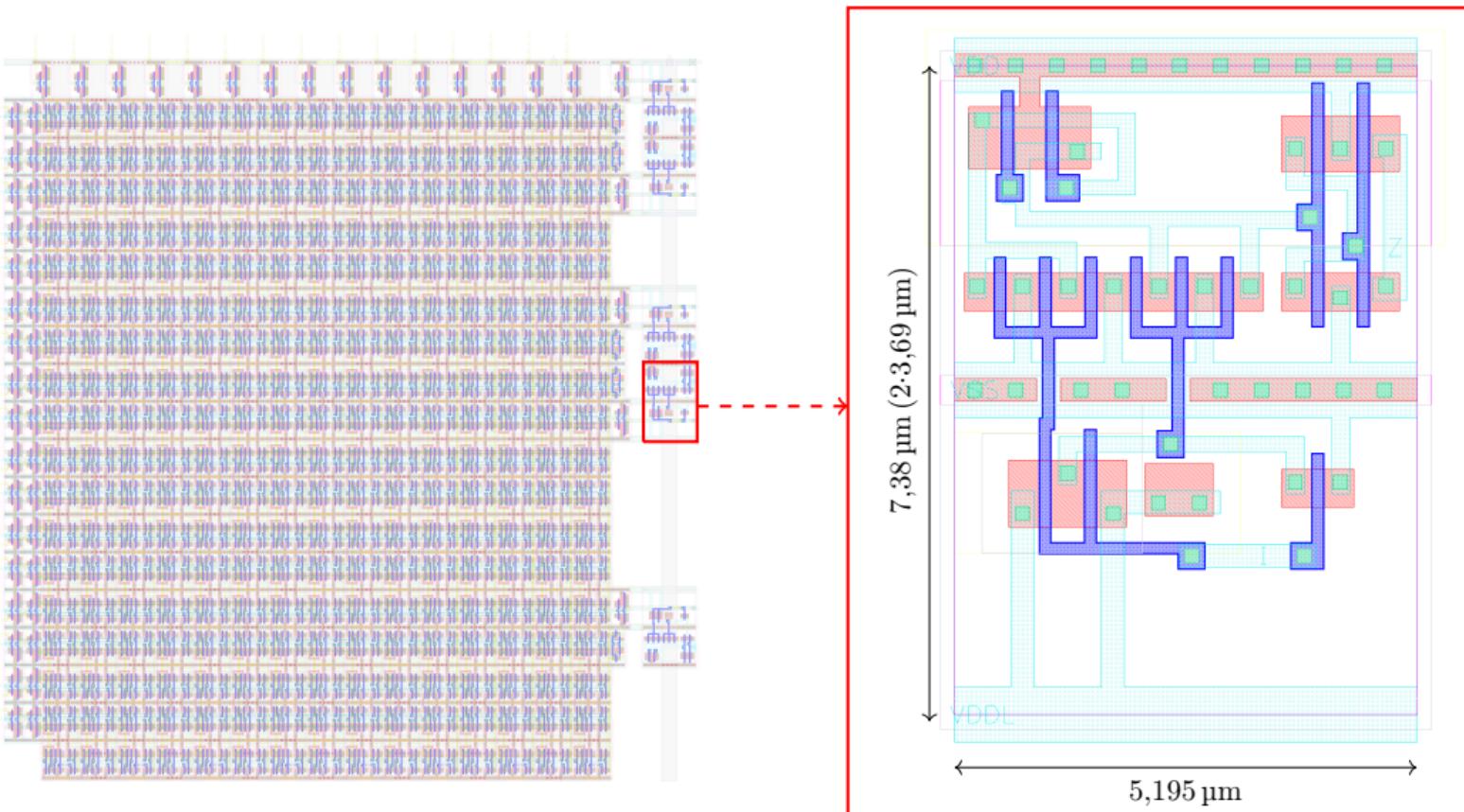
# Имплементација и резултати симулација: Лејаут ћелије DCO-a



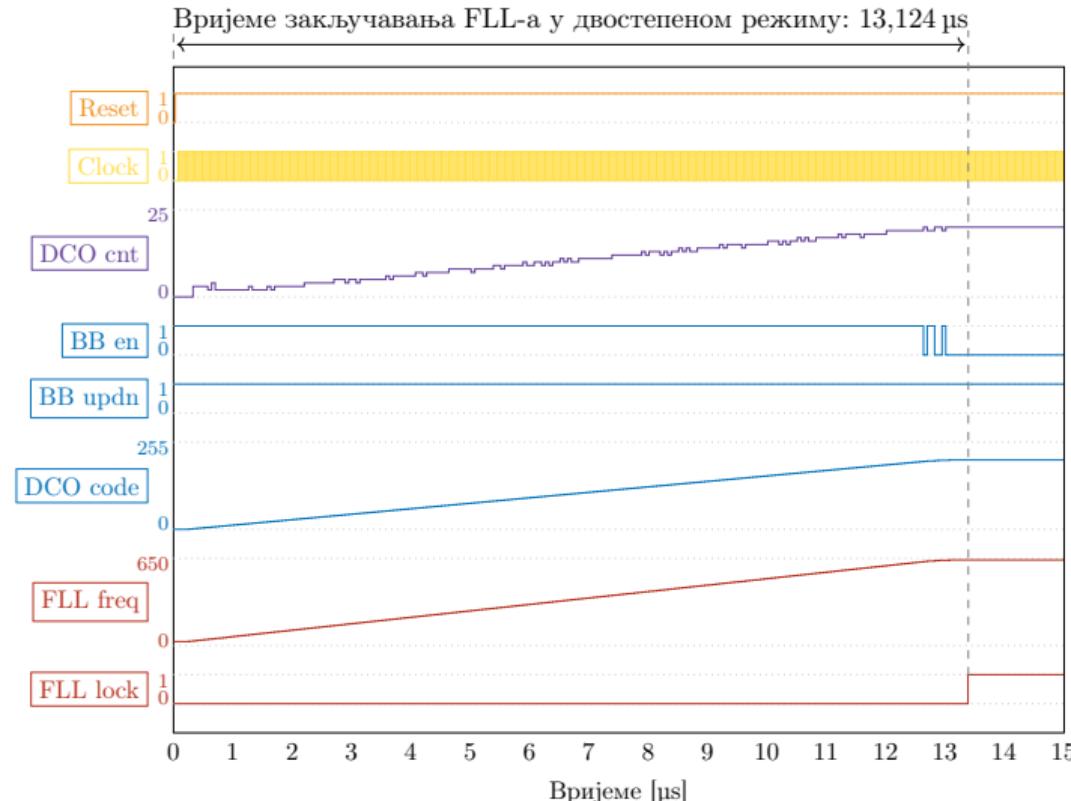
# Имплементација и резултати симулација: Лејаут НЛ претварача



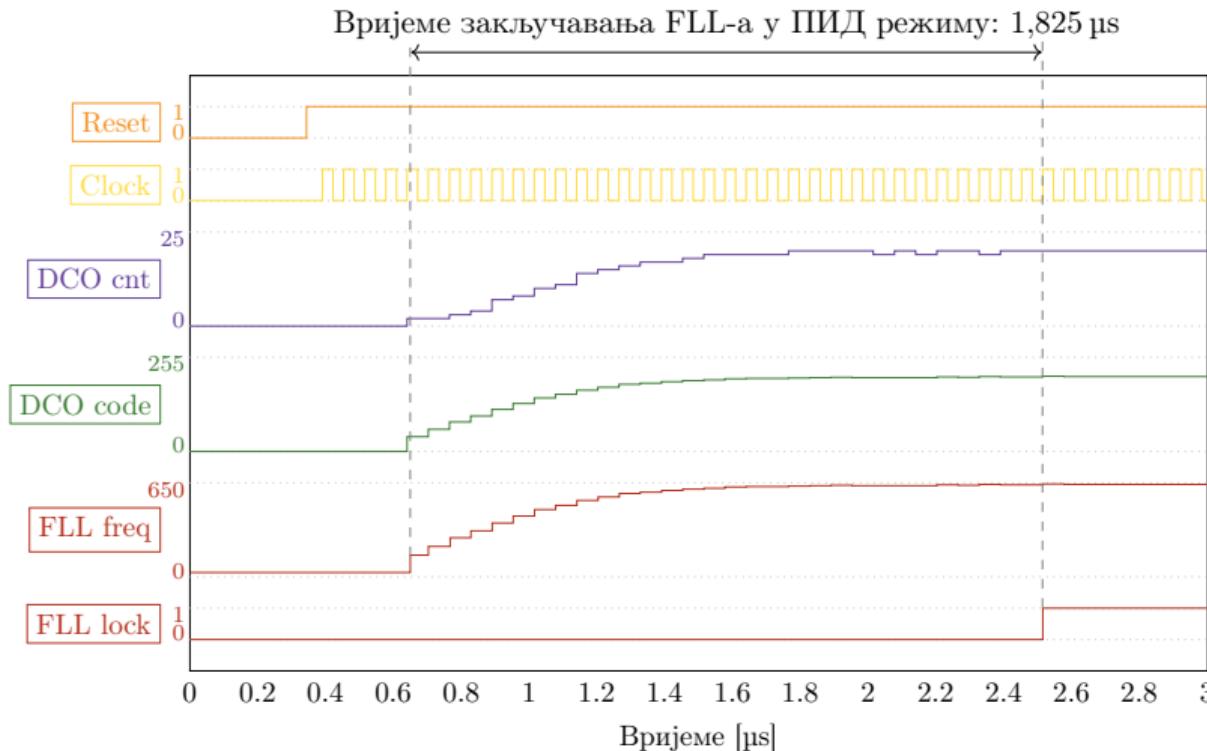
# Имплементација и резултати симулација: Лејаут LH претварача



# Имплементација и резултати симулација: Верификација FLL-а (Двостепени режим)

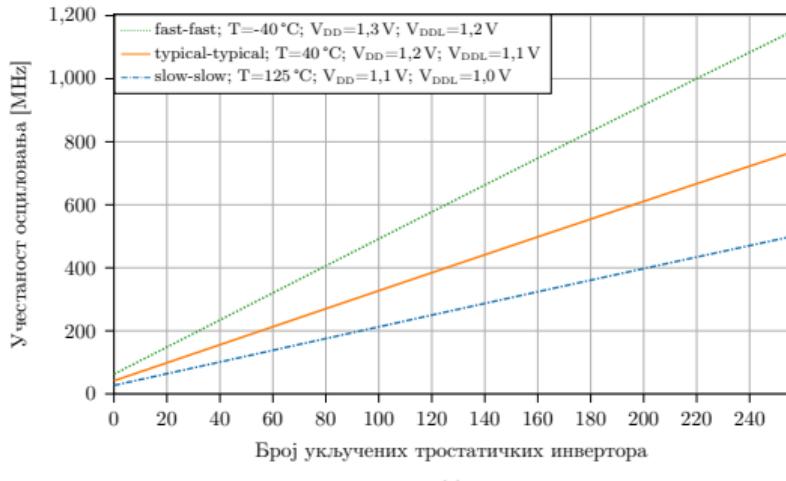


# Имплементација и резултати симулација: Верификација FLL-а (ПИД режим)

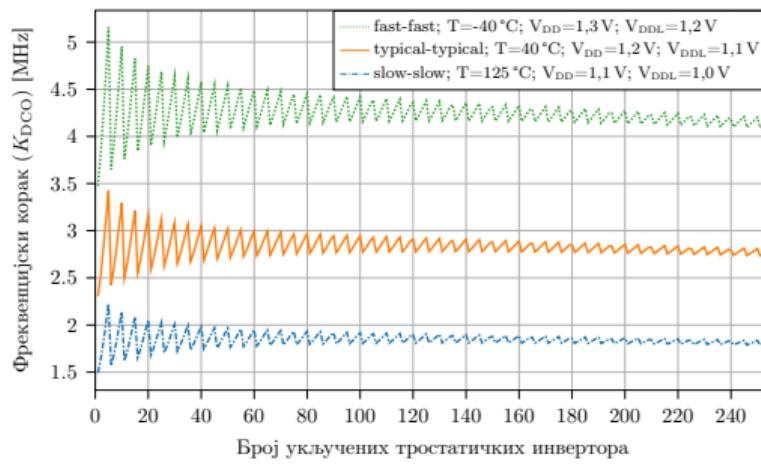


# Имплементација и резултати симулација: PVT зависност DCO-а

- Зависност (а) учестаности осциловања и (б) корака учестаности ( $K_{DCO}$ ) од броја укључених тростатичких инвертора за најспорији, типични и најбржи случај.

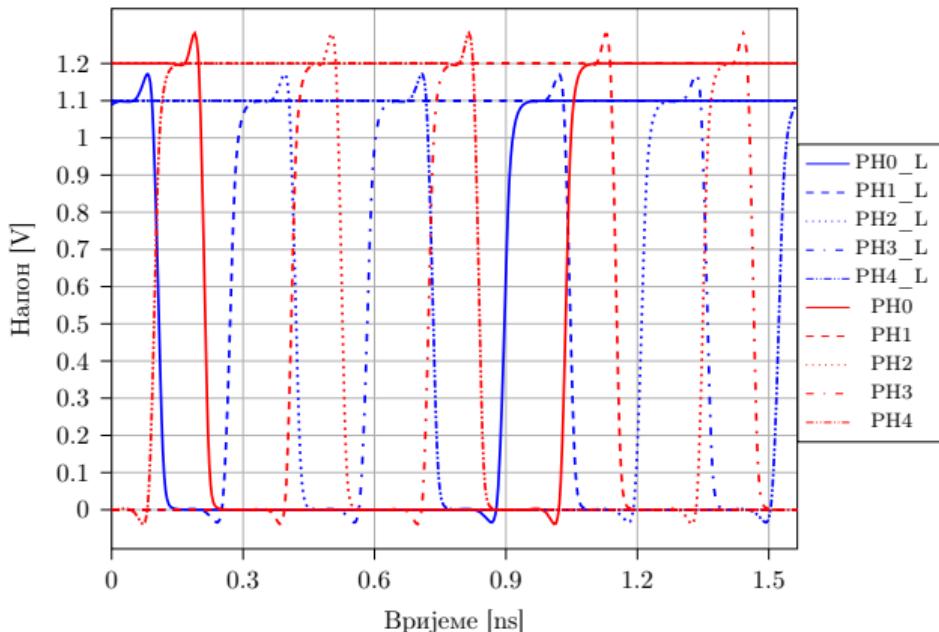


(а)



(б)





- Генерисани сигнали на 5 фаза DCO-а у  $V_{DD}$  и  $V_{DDL}$  области такта.
- Параметри временског одзыва DCO-а (за типичан PVT случај):

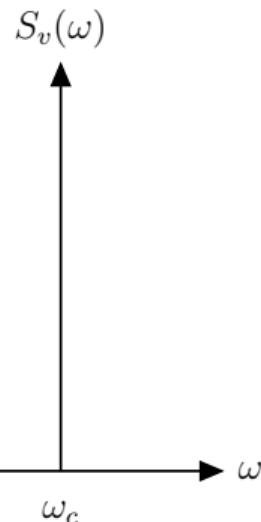
- Трајање узлазне ивице:  $t_{lh} = 26 \text{ ps}$
- Трајање силазне ивице:  $t_{hl} = 20 \text{ ps}$
- Кашњење тростатичког инвертора:

$$t_d = \frac{t_{lh} + t_{hl}}{2} = 23 \text{ ps}$$

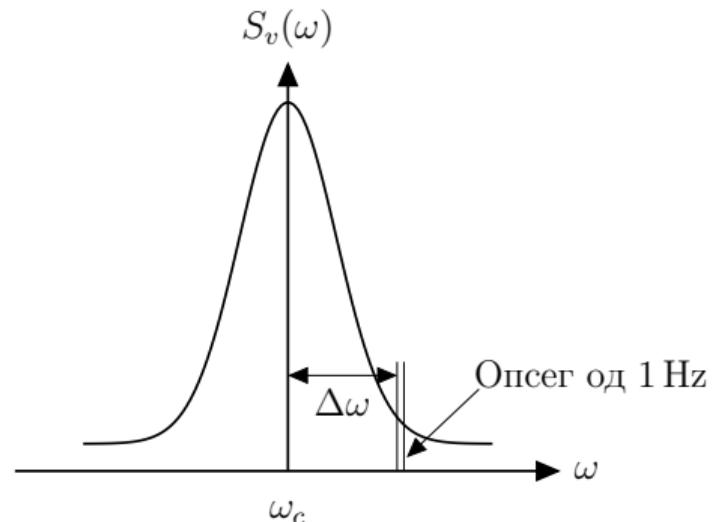
- Фазни помјерај:  $t_{ps} = 920 \text{ ps}$

- Због насумичних фазних одступања, спектар снаге реалног осцилатора сешири на учестаности око учестаности носиоца  $\omega_c$ .

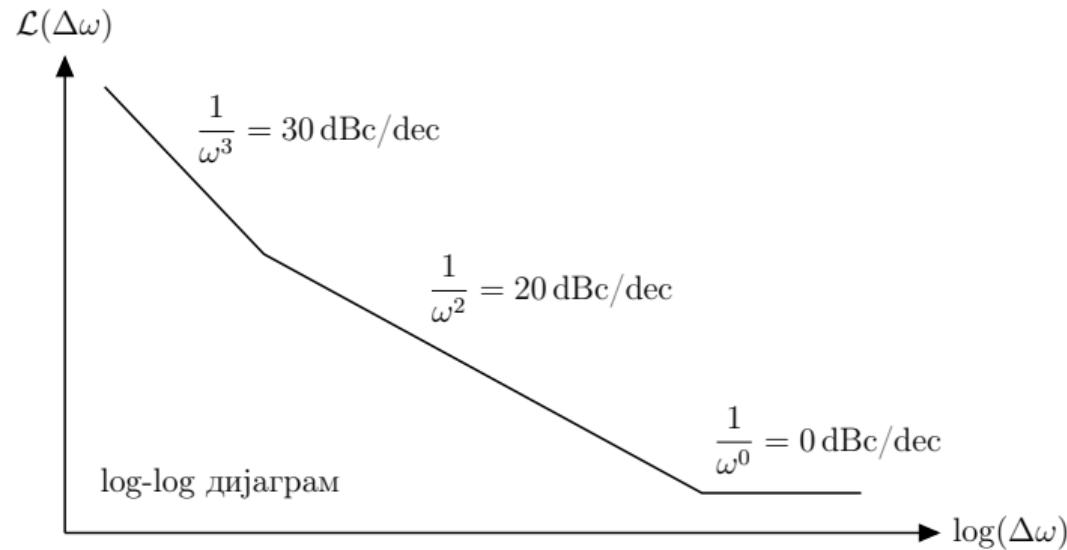
Идеални осцилатор



Реални осцилатор

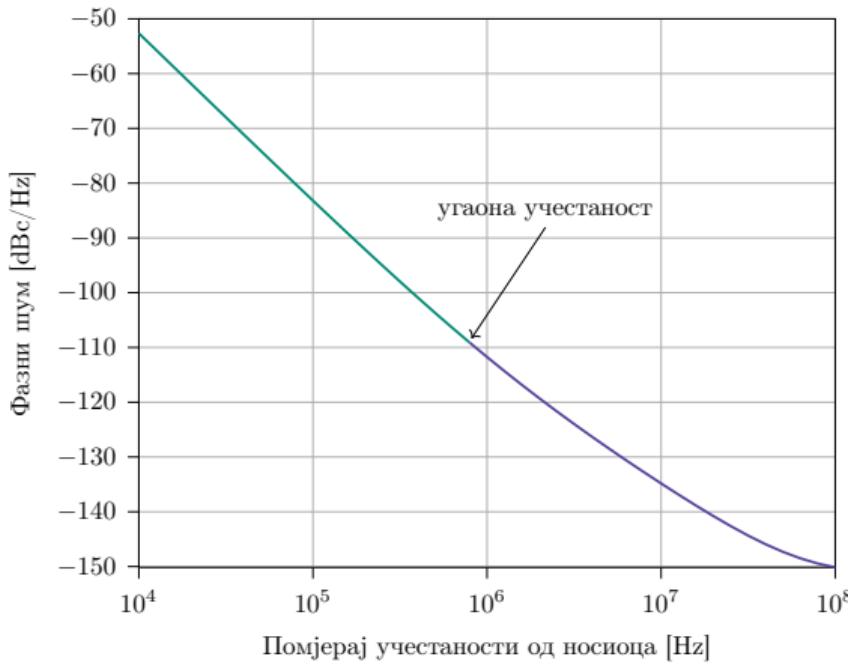


- Извори насумичних фазних поремећаја у виду шума треперења (енгл. *flicker noise*) и термичког шума (енгл. *thermal noise*) манифестишу се као  $1/\omega^3$  and  $1/\omega^2$  области, респективно.



# Имплементација и резултати симулација: Фазни шум DCO-а

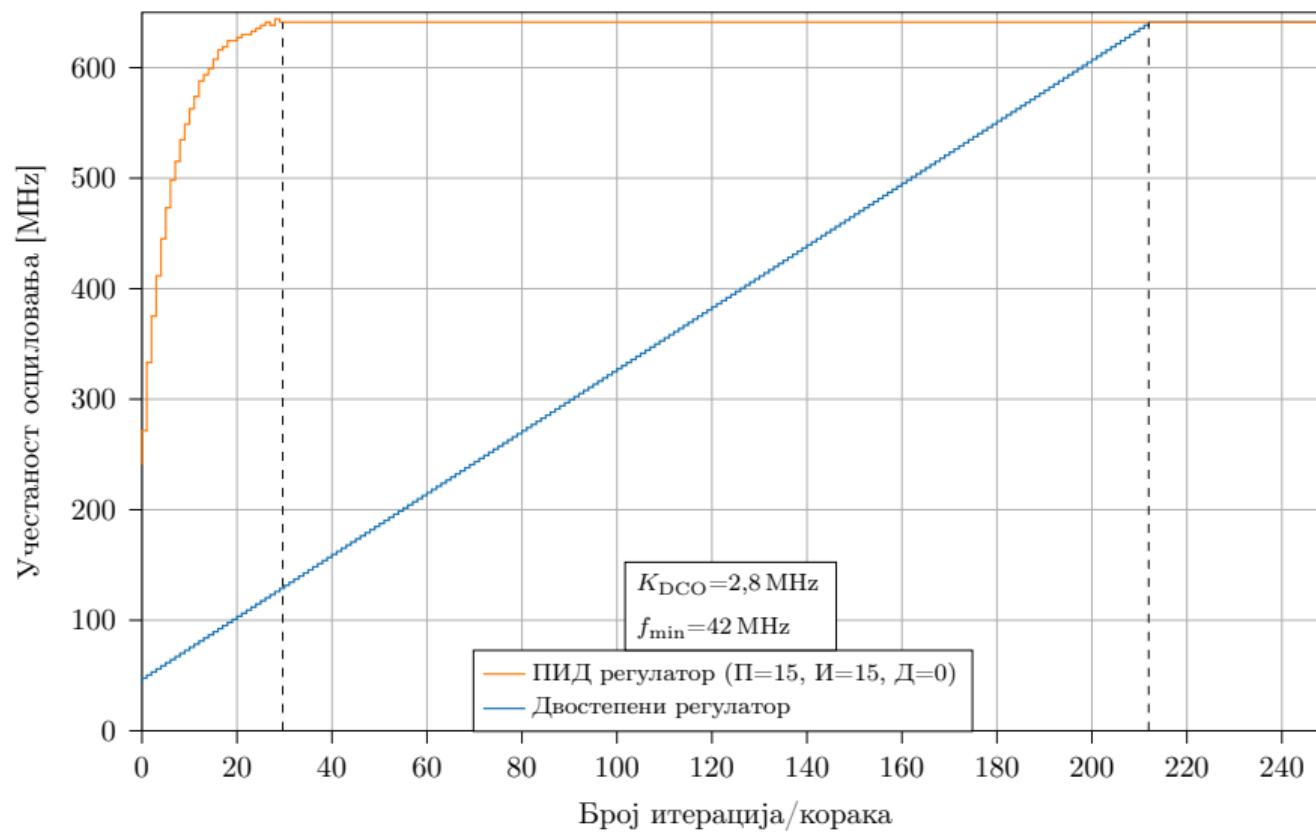
- Профил фазног шума DCO-а (у типичном PVT случају, за  $V_{DDL}=1,1\text{ V}$  и  $f_{osc}=640\text{ MHz}$ ):



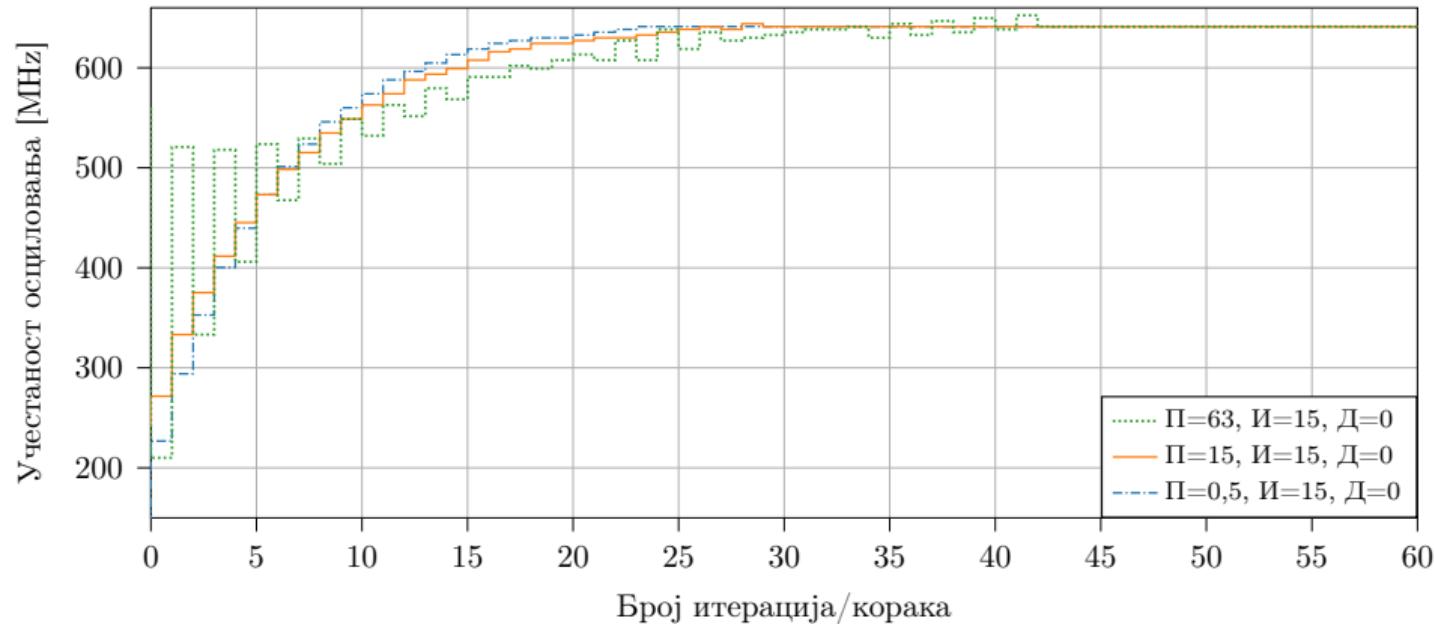
- Практичније симулирање
- Брже предвиђање понашања FLL-а
- Параметризација понашања компоненти дизајна
  - Почетна учестаност DCO-а
  - Корак учестаности,  $K_{DCO}$
- Резултати симулација из Пајтон модела не морају да одговарају резултатима из симулација на нивоу логичких кола, већ су ту да пројектанта наведу на исправну употребу одређених константи (као што су ПИД константе) или да му помогну око одабира компоненти дизајна чије појединачно понашање му је већ познато и може да се параметризује (рецимо понашање DCO-а)



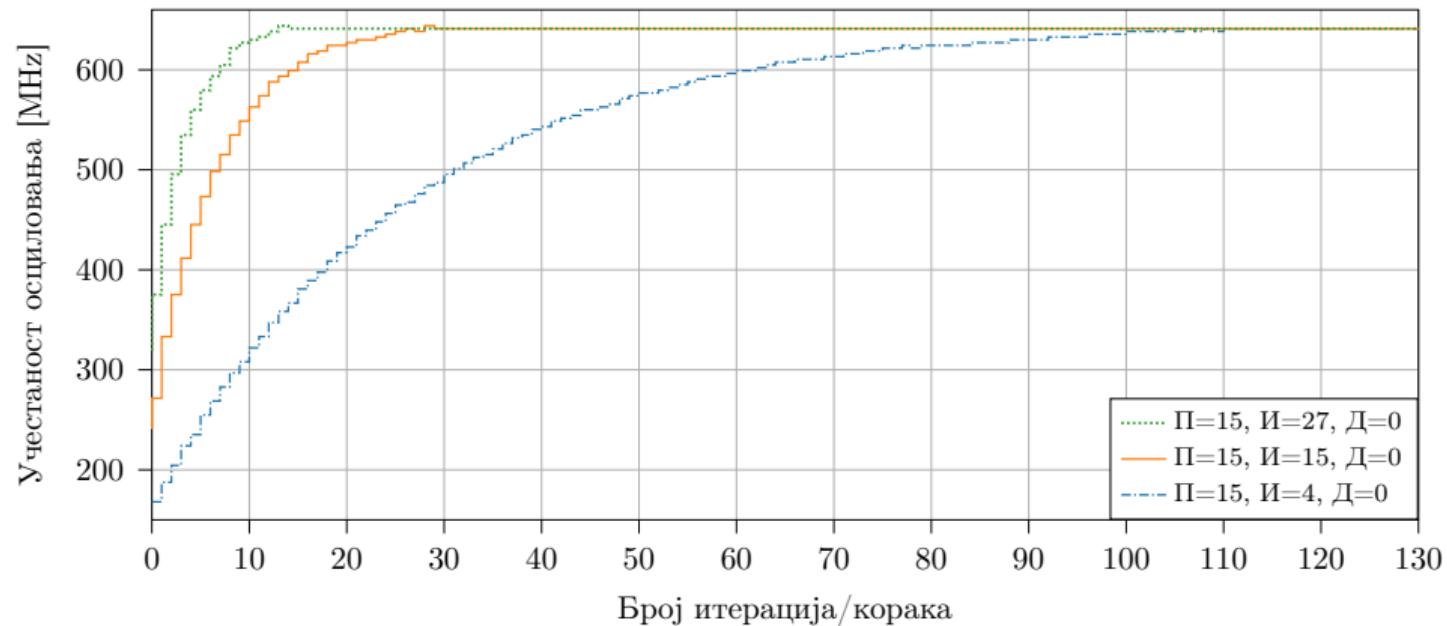
# Пајтон модел FLL-а: Поређење рада управљачких режима



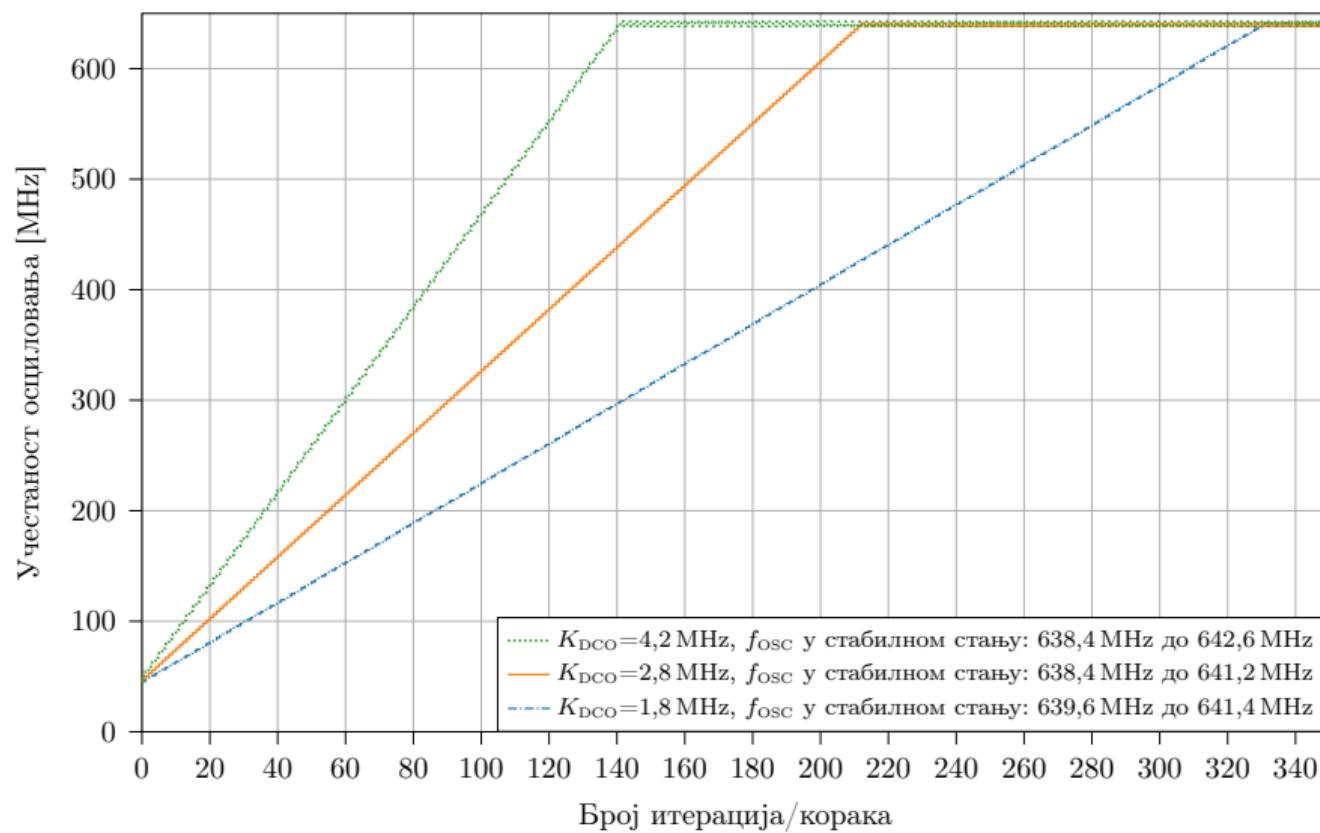
# Пајтон модел FLL-а: Утицај константи ПИД регулатора



# Пајтон модел FLL-а: Утицај константи ПИД регулатора



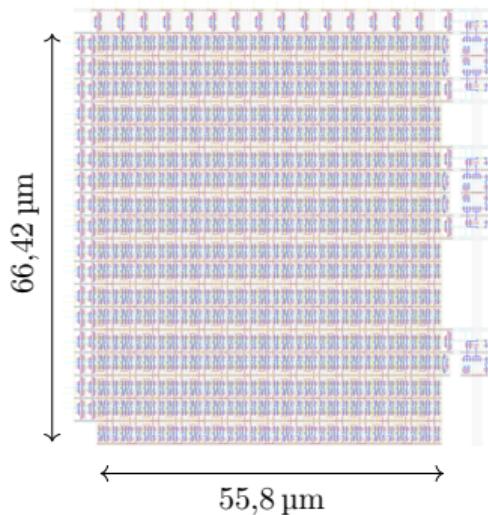
# Пајтон модел FLL-а: Утицај корака учестаности на одзив



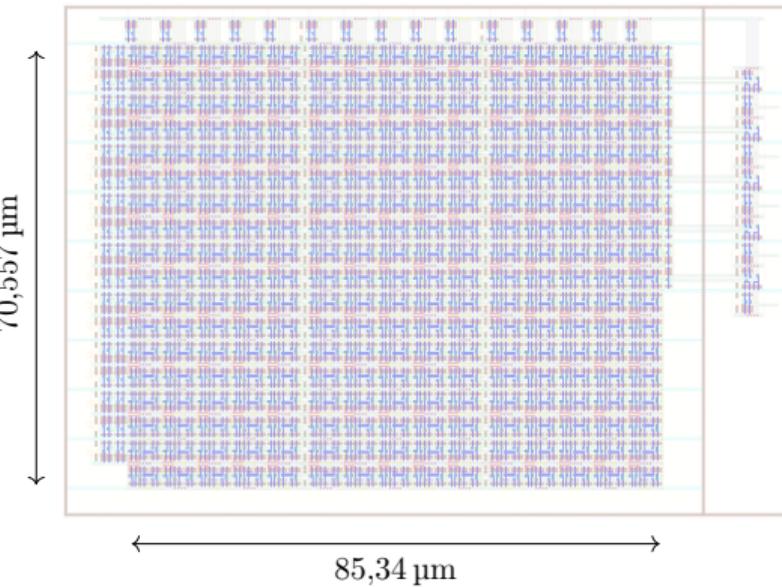
- Скалирањем технологије транзистори постају мањи, чиме се омогућава већа густина транзистора на чипу, што даље доводи до смањења укупне површине интегрисаног кола.
- Ознаке 130 nm и 180 nm се односе на дужине полисилицијумског гејта MOSFET-а.
- Површине потребне за реализацију DCO-а у 130 nm и 180 nm су редом  $3700 \mu\text{m}^2$  и  $6000 \mu\text{m}^2$ , што значи да је умањење површине услијед скалирања око 40 %.



# Поређење DCO-а у 130 nm и 180 nm TSMC технологији



Слика: Лејаут DCO-а у 130 nm TSMC технологији.



Слика: Лејаут DCO-а у 180 nm TSMC технологији.



# Поређење DCO-а у 130 nm и 180 nm TSMC технологији

Табела: Поређење RMS вриједности потрошње струје и просјечне снаге DCO-а пројектованих у 130 nm и 180 nm.

Технологија	130 nm	180 nm
$\text{rms}(i_{\text{DDL}})$	2,185 mA	3,105 mA
$\text{rms}(i_{\text{DD}})$	0,18 mA	0,27 mA
Укупно $\text{rms}(i)$	2,365 mA	3,375 mA
$P_{\text{avg}}(V_{\text{DDL}})$	2,5 mW	5,0 mW
$P_{\text{avg}}(V_{\text{DD}})$	0,22 mW	0,5 mW
Укупно $P_{\text{avg}}$	2,72 mW	5,5 mW

- Просјечна потрошња снаге је мања за око 50 % у 130 nm TSMC технологији (долази до изражена квадратна зависност од напона напајања).



# Поређење DCO-а у 130 nm и 180 nm TSMC технологији

Табела: Подешавање услова рада за симулације опсега учестаности.

Случај	Технологија	Процесни угао	Температура	$V_{DD}$	$V_{DDL}$
Најспорији	130 nm	slow-slow	125° C	1,1 V	1,0 V
Типични	130 nm	typical-typical	40° C	1,2 V	1,1 V
Најбржи	130 nm	fast-fast	-40° C	1,3 V	1,2 V
Најспорији	180 nm	slow-slow	125° C	1,6 V	1,4 V
Типични	180 nm	typical-typical	40° C	1,8 V	1,6 V
Најбржи	180 nm	fast-fast	-40° C	2,0 V	1,8 V

- Примјећујемо значајно већи напон напајања за DCO у 180 nm.



# Поређење DCO-а у 130 nm и 180 nm TSMC технологији

**Табела:** Поређење опсега учестаности при различитим условима рада за DCO пројектован у 130 nm и 180 nm.

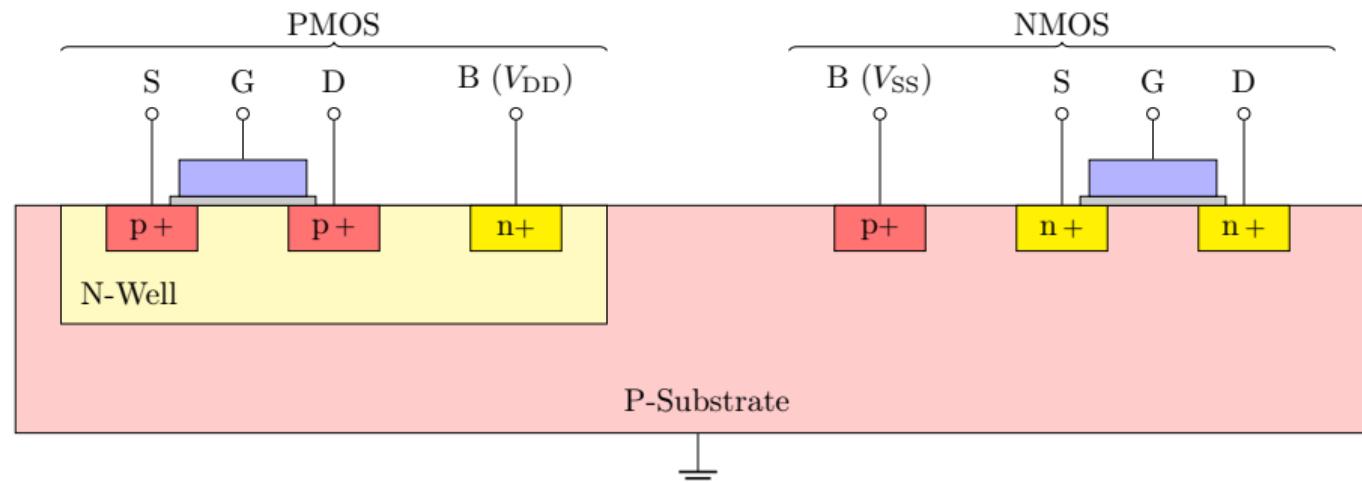
Случај	Технологија	$f_{\min}$	$f_{\max}$
Најспорији	130 nm	27,2 MHz	502 MHz
Типични	130 nm	42 MHz	764 MHz
Најбржи	130 nm	63,3 MHz	1,146 GHz
Најспорији	180 nm	23,06 MHz	421,4 MHz
Типични	180 nm	40 MHz	726 MHz
Најбржи	180 nm	64,43 MHz	1,168 GHz

- Скалирањем технологије значајно се може смањити напон напајања, а да се и даље добија жељени опсег учестаности, што значи да се уз много мању потрошњу постижу исте, или чак боље, перформансе у раду DCO-а.



# Утицај дубоке јаме N типа у аналогном пројектовању DCO-а

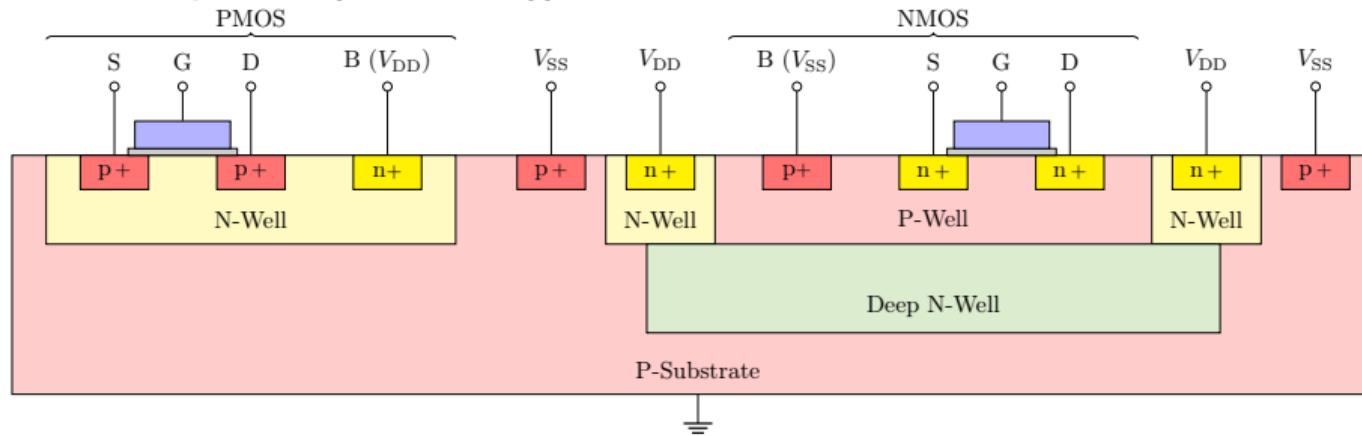
- Примјењено на DCO у 180 nm технологији.
- NMOS транзистори нису изоловани од супртата, па се јавља додатни шум у супстрату.
- У основној CMOS изради, NMOS транзистор је уроњен у P супстрат повезан на масу, док је PMOS уроњен у N јаму (енгл. *N-well*) повезану на напајање.



Слика: Попречни пресјек PMOS и NMOS транзистора.

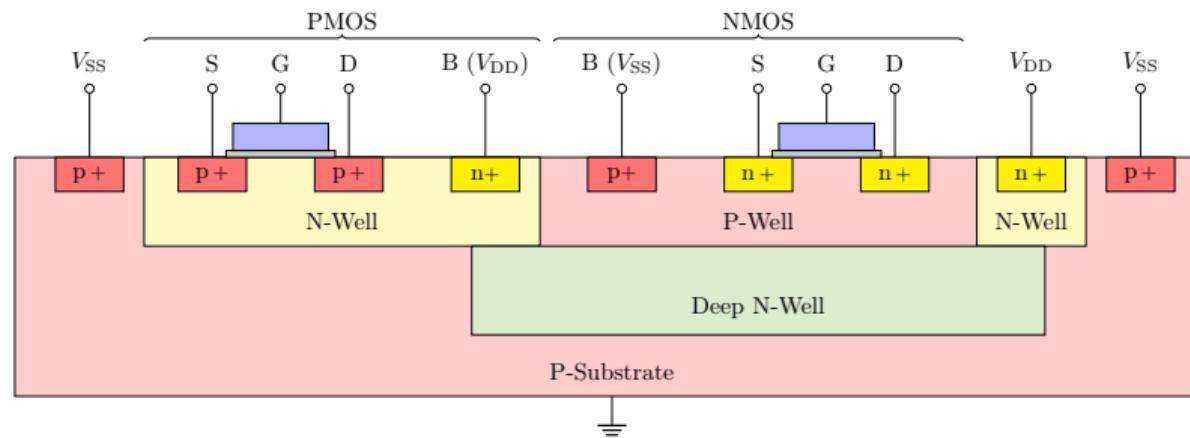
# Утицај дубоке јаме N типа у аналогном пројектовању DCO-а

- Изолација NMOS транзистора се може постићи коришћењем поменуте дубоке јаме N типа (енгл. *Deep N-Well*, DNW). Она се формира уметањем високоенергетске јонске имплантације непосредно прије формирања стандардне јаме N типа
- Повезивање дубоке јаме N типа врши се преко стандардне јаме N типа која је окружује и повезана је на напајање,  $V_{DD}$ . Тако се, стварањем изоловане јаме P типа (енгл. *P-well*), изолује NMOS транзистор.
- Како додатном изолацијом глобални P супстрат остаје без p+ споја који је неопходан да се појавом шума у супстрату не наруше перформансе уређаја, додаје се заштитни прстен који се повезује на  $V_{SS}$ .



# Утицај дубоке јаме N типа у аналогном пројектовању DCO-а

- Како NMOS и PMOS транзистори обично иду у пару приликом CMOS пројектовања, да би се боље искористио простор тј. смањила површина крајњег лејаута, за повезивање дубоке јаме N типа се може искористити стандардна јама N типа коју користи PMOS транзистор, а заштитни прстен се помјера да обухвати читав дизајн.



- Како додавање дубоке јаме N типа изискује и додавање заштитног прстена, површина коју заузима дизајн се повећава, тако да то може бити недостатак овог приступа ако су захтјеви за површином строги.



- Дигитални FLL
  - Предности наспрам аналогног FLL-а
  - Синтетизабилност из ћелија стандардне библиотеке
  - Имплементација у SystemVerilog језику за опис хардвера у 130 nm CMOS
  - Параметризован и широко подесиви DCO
  - Два управљачка режима FLL-а: ПИД и двостепени
  - Неутралисање ефекта метастабилности приликом пребацања између различитих области такта
  - Пајтон модел FLL-а
  - Поређење перформанси DCO-а у 130 nm и 180 nm CMOS технологији
  - Утицај додавања дубоке јаме N типа на потискивање шума супстрата
- Даљи рад:
  - Тестирање чипа након фабрикације и паковања
  - Имплементација додатних синтетизабилних дигиталних блокова: PLL, LDO, итд.



IEEE Xplore® Browse ▾ My Settings ▾ Help ▾ Institutional Sign In

All  ADVANCED SEARCH

Conferences > 2024 11th International Confe... ?

## A Synthesizable Digital Frequency-Locked Loop Widely Tunable up to 640 MHz in 130 nm CMOS

Publisher: IEEE

Cite This



Dejan D. Petković; Đorđe S. Gačić; Marijana R. Gavrilović Božović; Vladimir M. Milovanović All Authors



### Abstract

#### Abstract:

Frequency-locked loops (FLLs) represent a viable way of generating a range of frequencies from a single reference frequency by using a negative feedback electronic control system that compares the frequency of a controlled oscillator to the reference one. A digital synthesizable FLL is designed in 130 nm CMOS technology for a target frequency of up to 640 MHz. It employs a wide-tuning range digitally controlled oscillator (DCO) assembled from tri-state inverters in the form of a matrix. The FLL can optionally use a bang-bang or a soft-programmable standard proportional-integral-derivative (PID) controller to regulate the feedback loop. Its design practically minimizes metastability occurrence. The proposed digital FLL occupies **100 $\mu$ m × 330 $\mu$ m** and consumes 3.5 mW in typical operating conditions. The reference clock is 16 MHz, and the output oscillation frequency is set to 640 MHz, while the achieved frequency resolution is 2.8 MHz.

### Document Sections

#### I. Introduction

#### II. Proposed Digital Frequency-Locked Loop

#### III. Implementation and Results

#### IV. Conclusion

### Authors

#### More Like This

A frequency-locked loop technology of three-phase grid-connected inverter based on improved reduced order generalized integrator

2015 IEEE 10th Conference on Industrial Electronics and Applications (ICIEA)  
Published: 2015

A Novel Frequency Locked Loop With Current Harmonic Elimination Method for the Three-Phase Grid-Connected Inverter  
IEEE Access  
Published: 2022

Show More



Published in: 2024 11th International Conference on Electrical, Electronic and Computing Engineering (IcETRAN)



## AWARD FOR THE BEST PAPER

presented in the Section of Electronics (ELI)  
at the XI International Conference - IcETRAN 2024

Dejan Petković, Đorđe Gačić,  
Marijana Gavrilović Božović  
and Vladimir Milovanović

„A Synthesizable Digital Frequency-Locked Loop  
Widely Tunable up to 640MHz in 130nm CMOS“

President of ETRAN Society

A handwritten signature in blue ink, appearing to read "Vladimir Katić".

Niš, 4. 6. 2024.

# Навигација за питања

## 1 Увод и мотивација

## 2 Дигитална фреквенцијски затворена петља (FLL)

- Структура

## 3 Дигитално контролисани осцилатор (DCO)

- Инверторски прстен
- Реалан облик сигнала за тростепени и петостепени прстен
- Прстенасти осцилатор
- Ђелија DCO-а
- Матрица ђелија DCO-а
- Претварачи напонских нивоа

## 4 Управљачка логика

- Управљачка предобрађа
  - Синхронизатор
- Двостепени регулатор
- ПИД регулатор
- Управљачки декодер

## 5 Имплементација и резултати симулација

- Лејаут DCO-а
- Лејаут ђелије DCO-а
- Лејаут HL претварача
- Лејаут LH претварача
- Верификација FLL-а
- PVT зависност DCO-а
- Временски одзив DCO-а
- Фазни шум DCO-а

## 6 Пајтон модел FLL-а

- Поређење рада управљачких режима
- Утицај константи ПИД регулатора
- Утицај корака учестаности на одзив

## 7 Поређење DCO-а у 130 nm и 180 nm TSMC технологији

## 8 Утицај дубоке јаме N типа у аналогном пројектовању DCO-а

## 9 Резиме

## 10 Објављени рад

