

Факултет инжењерских наука
Универзитета у Крагујевцу

Ђорђе С. Гачић

Пројектовање синтетизабилне
сведигиталне фреквенцијски
затворене петље са широким опсегом
подешавања до учестаности од
640 MHz

Мастер рад

Крагујевац, 2024.

Факултет инжењерских наука Универзитета у Крагујевцу



Назив студијског програма: Електротехника и рачунарство

Ниво студија: Мастер академске студије

Предмет: Напредно машинско учење

Број индекса: 408/2022

Ђорђе С. Гачић

Пројектовање синтетизабилне
сведигиталне фреквенцијски
затворене петље са широким опсегом
подешавања до учестаности од
640 MHz

Мастер рад

Комисија за преглед и одбрану:

1. проф. др Владимир М. Миловановић -
ментор
2. др Шћепан Шћекић
3. доц. др Жарко Попара

Датум одбране: _____

Оцена: _____

У оквиру овог мастер рада кандидат треба да. . .

Препоручена литература:

- [1] Robert Bogdan Staszewski и Poras T. Balsara, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2005.
- [2] Behzad Razavi, *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*, Cambridge University Press, 2020.

Крагујевац, 25. 6. 2024.

Ментор:
Др Владимир М. Миловановић,
ванредни професор



Универзитет у Крагујевцу
Факултет инжењерских наука
Универзитета у Крагујевцу



Основне академске студије: Назив студијског програма

Модул: Назив (ако постоји)

Назив предмета: Назив

Име и презиме: Петар Петровић

Број индекса: 123/1832

ПРИЈАВА ДИПЛОМСКОГ РАДА

Тема рада: Израда примера дипломског рада у LaTeX пакету коришћењем класе *finthesis*

Задатак: Приликом пријаве дипломског рада ментор задаје тему по правилу преузету са листе тема коју је усвојила одговарајућа Катедра Факултета. Циљ дипломског рада је да студент докаже способност примене стечених знања и вештина при решавању задатака који су у складу са усвојеним исходима знања. Препорука је да дипломски рад буде пројекат мањег обима, експериментално-лабораторијско испитивање, примена инструменталне методе, прегледни рад, теоријска разрада, компјутерска симулација једноставнијег реалног проблема и сл. Након одобравања теме, ментор је дужан да студента упуту у начин обраде теме, упуту га на додатну литературу, одреди обим дипломског рада и током консултација усмерава и контролише рад кандидата.

Ментор:

Др Томо М. Петровић,
изванредни професор

Садржај

1	Увод	3
2	Структура фреквенцијски затворене петље	4
2.1	Управљачка логика дигиталне фреквенцијски затворене петље	4
2.1.1	Управљачка предобрада	4
2.1.2	Bang-bang контролер	5
2.1.3	PID контролер	5
2.1.4	Управљачки декодер	5
2.2	Структура дигитално контролисаног осцилатора	6
2.2.1	Предложена архитектура DCO-а	6
2.2.2	Блок дијаграм DCO ћелије	8
2.2.3	Претварачи напонског нивоа DCO-а	8
3	Имплементација и резултати симулација	10
3.1	Симулација рада фреквенцијски затворене петље	10
3.2	PVT зависност дигитално контролисаног осцилатора	10
3.3	Временски одзив дигитално контролисаног осцилатора	12
3.4	Спектар снаге фреквенцијски затворене петље	12
3.5	Фазни шум дигитално контролисаног осцилатора	12
4	Закључак	14
	Литература	15

Abstract

Frequency-locked loop (FLL) represents a viable way of generating a range of frequencies from a single reference frequency by using a negative feedback electronic control system that compares the frequency of a controlled oscillator to the reference one. A digital synthesizable FLL is designed in 130 nm CMOS technology for a target frequency of up to 640 MHz. It employs a wide-tuning range digitally controlled oscillator (DCO) assembled from tri-state inverters in the form of a matrix. The FLL can optionally use a bang-bang or a soft-programmable standard proportional-integral-derivative (PID) controller to regulate the feedback loop. Its design practically minimizes metastability occurrence. The proposed digital FLL occupies $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$ and consumes 3.5 mW in typical operating conditions. The reference clock is 16 MHz, and the output oscillation frequency is set to 640 MHz, while the achieved frequency resolution is 2.8 MHz.

Keywords: Frequency-locked loop, digitally controlled oscillator, clock generator, synthesizable, CMOS technology, PID controller, metastability.

Резиме

Фреквенцијски затворена петља (енгл. *Frequency-Locked Loop*, FLL) представља одржив начин генерисања опсега фреквенција из једне референтне фреквенције коришћењем електронског система управљања са негативном повратном спрегом, који пореди фреквенцију контролисаног осцилатора са поменутом референтном фреквенцијом. Дигитално синтетизабилан FLL је дизајниран у 130 nm технологији за циљану фреквенцију до 640 MHz. Он погони дигитално контролисани осцилатор (енгл. *Digitally Controlled Oscillator*, DCO) са широким подешавањем опсега који се састоји од тростатаичких инвертора у облику матрице. FLL може произвољно користити тзв. (енгл. *Bang-Bang*) контролер или дјелимично програмирани стандардни пропорционално, интегрални, диференцијални (енгл. *Proportional-Integral-Derivative*, PID) контролер за управљање негативном петљом. Такав дизајн у пракси минимизује појаву метастабилности. Предложени дигитални FLL заузима $100\text{ }\mu\text{m} \times 330\text{ }\mu\text{m}$ простора и троши 3.5 mW у уобичајеним условима рада. Референтни такт је 16 MHz, а излазна фреквенција осциловања је подешена на 640 MHz, док постигнута резолуција фреквенције износи 2.8 MHz.

Кључне ријечи: Фреквенцијски затворена петља, дигитално контролисани осцилатор, генератор такта, синтетизабилност, CMOS технологија, PID контролер, метастабилност.

1 Увод

У данашње вријеме, фазно затворена петља (енгл. *Phase-Locked Loop*, PLL) и петља са затвореним кашњењем (енгл. *Delay-Locked Loop*, DLL) представљају свеprisутне блокове у дизајну чипова. Безброј примјена самих чипова захтјевају или генератор такта или синтетизатор фреквенције, што подразумјева уградњу неког од поменутих блокова унутар система који се пројектује. Главна улога таквог блока у дизајну је да генерише стабилан и прецизан излазни сигнал чија је фаза подесива у односу на фазу улазног сигнала, самим тим одржавајући везу између улазне и излазне фреквенције. Међутим, чак и веома сложени системи често захтјевају генератор такта, који само множи улазну фреквенцију без да посебно води рачуна о фази такта или апсолутном подрхтавању (енгл. *Jitter*). У таквим примјенама, потребна и довољна је само фреквенцијски затворена петља (енгл. *Frequency-Locked Loop*, FLL) да би се испунили тражени захтјеви.

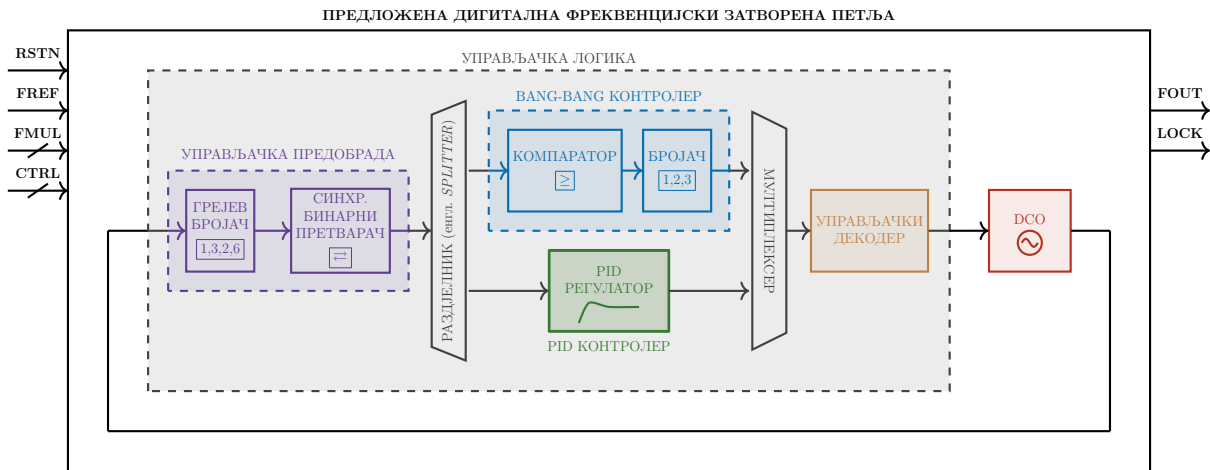
По дефиницији, FLL је управљачки систем са негативном повратном спрегом који закључава фреквенцију излазног сигнала на предвиђену циљану фреквенцију. У принципу, непрестано управља фреквенцијом осцилатора на аутоматски начин све док излазна фреквенција на достигне циљану вриједност, након чега се та вриједност фреквенције одржава на излазу. Постоје многи начини имплементације FLL-а [1]. Штавише, FLL као интегрисано коло може спадати у двије групе: дигитални и аналогни FLL. Иако је очигледан недостатак првих максимална фреквенција и њена резолуција, они посједују многе друге предности наспрам њихових аналогних супарника. Они заузимају мање простора, истичу се већом отпорношћу на промјене процесних углова, напона и температуре (енгл. *Process-Voltage-Temperature*, PVT), лако су употребљиви у различитим технологијама, и стога омогућавају поновну употребу, већу прилагодљивост, једноставнију методологију тока пројектовања, као и брже циклусе пројектовања. Узимајући у обзир све претходно поменуто, испоставља се да је у општем случају боље ићи ка развоју дигиталног FLL-а кад год спецификација архитектуре система то дозвољава. Дакле, фокус овог рада је пројектовати и унаприједити једноставне али моћне синтетизабилне дигиталне блокове чипа.

Овај рад конкретно предлаже синтетизабилан дигитални FLL сличан предложеном у литератури [2], са побољшаном брзином закључавања FLL-а [3] и смањеним ризиком од метастабилности. Осцилатор је састављен од тростатичких инвертора и заснован на прстенастом DCO-у из литературе [4] измјењен додавањем независног напона напајања DCO-а са претварачима напонских нивоа (енгл. *Level Shifters*) и употребом петостепене [5] умјесто тростепене толологије прстена осцилатора.

Остатак рада укључује додатна поглавља. Поглавље 2 описује предложени дигитални FLL на системском нивоу и нивоу блокова и кола уз детаљна теоријска разматрања. Поглавље 3 пружа увид у имплементацију и добијене резултате симулација, такође уз теоријска разматрања појава које су од значаја за рад читавог система. Коначно, поглавље 4 закључује рад и наговјештава могућности даљег рада на побољшању и проширењу система.

2 Структура фреквенцијски затворене петље

У овом раду описана је релативно једноставна али ефикасна дигитална фреквенцијски затворена петља (FLL), чију се системску архитектуру на нивоу блокова приказује Слика 1. Описани FLL се практично састоји из два блока: дигитално контролисаног осцилатора (DCO) и блока управљачке логики, који генерише улазне сигнале за DCO на основу тренутне фреквенције DCO-а. У сврху поједностављења, са слике су изостављени неки конфигурациони улази FLL-а, као што су умножак фреквенције (енгл. *Frequency Control Word*, FCW), коефицијенти PID контролера и улаз за одабир режима рада.



Слика 1: Блок дијаграм дигиталне фреквенцијски затворене петље састављене од: блока управљачке логики (лијево) и дигитално контролисаног осцилатора (десно).

2.1 Управљачка логика дигиталне фреквенцијски затворене петље

Управљачка логика FLL-а састоји се од двије независне процесне гране, које представљају два међусобно искључива режима управљања FLL-а. Оба режима на улазу примају бинарну вриједност повезану са бројем периода такта DCO-а унутар периода референтног такта. Такође, оба управљачка режима генеришу бинарну вриједност на излазу, која представља управљачку бинарну ријеч осцилатора директно пропорционалну излазној фреквенцији. Главне разлике између два поменута режима су брзина затварања (закључавања) FLL-а и једноставност подешавања. Циљ управљачке логики FLL-а је изједначити вриједност улазног множака фреквенције са бројем периода такта DCO-а унутар периода референтног такта што је брже и прецизније могуће одрадити, чиме се долази до постизања жељене фреквенције на излазу DCO-а. Комплетна управљачка логика FLL-а је подијељена на неколико фаза, које су описане у наредним поглављима.

2.1.1 Управљачка предобрада

Фаза управљачке предобраде (енгл. *Control Preprocessing*) укључује неколико блокова чија је функција претворити информацију о фреквенцији излазног такта DCO-а у бинарну вриједност која ће бити прослијеђена као улаз наредној фази управљачке логики FLL-а. Као прво, да би се одредила брзина осциловања DCO-а, потребан је

бројач. У имплементацији описаној у овом раду коришћен је Грејев бројач умјесто природног бинарног бројача из разлога што значајно умањује метастабилност бројача изазвану узорковањем (енгл. *Sampling*), јер у Грејевом коду свака узастопна вриједност се разликује за по један бит. Недостатак овог приступа је то што Грејев бројач има мању максималну радну фреквенцију од бинарног бројача. Да би се у још већем обиму смањио ризик од метастабилности, сваки бит са излаза Грејевог бројача се пропушта кроз синхронизатор са два флип-флопа да би безбједно прешао у подручје референтног такта. Затим, синхронизована вриједност Грејевог бројача се претвара у бинарни формат и узоркује се за даљу обраду.

2.1.2 Bang-bang контролер

Први управљачки блок FLL-а је веома сличан bang-bang (или on-off) контролеру, односно контролеру са повратном спрегом који, као прекидач, може имати два стања. Он пореди улазни умножак фреквенције са узоркованом вриједношћу бројача и одлучује да ли инкрементирати, декрементирати или онемогућити предстојећи блок тј. двосмјерни бројач (енгл. *Up-Down Counter*). То осигурава постепено управљање и закључавање све до постизања жељене фреквенције.

2.1.3 PID контролер

У другом управљачком режиму, управљачка бинарна ријеч за DCO се генерише подесивим PID контролером. PID контролер је управљачки механизам заснован на повратној спрези, који ради тако што непрекидно исправља и скалира сигнал грешке, који је разлика између измјерене вриједности у обради (узоркована вриједност бројача) и жељене референтне задате вриједности (вриједност улазног умношка фреквенције). Исправљање и скалирање се распоређује у три компоненте: пропорционална (P), интегрална (I) и диференцијална (D), имплементиране као подесиви улази са фиксном тачком који се напајају из банке регистара.

Сврха P компоненте је да управља брзином одзива управљачког система, непосредно множећи сигнал грешке константним чиниоцем. I компонента се користи за смањење грешке стабилног стања (енгл. *Steady State*) скалирањем грешке константним чиниоцем и сумирањем резултата током времена. D компонента пропорционална брзини промјене грешке, и њен циљ је ограничити излаз да би се смањила могућа прекорачења или осцилације узроковане P и I компонентама, без смањења брзине контролера. Како је у овом систему референтна задата вриједност константна и нема брзих промјена на улазу које могу изазвати такав исход, P и I компоненте су довољне за гладак и стабилан одзив система.

2.1.4 Управљачки декодер

Улога управљачког декодера је претворити управљачке податке из једне бинарне вриједности у скуп управљачких улаза DCO-а. Постоје три таква улаза: *Row On*, унарни вектор, који може да укључује само читаве редове тростатичких инвертора DCO-а; *Row Select*, један од n вектор (енгл. *One-Hot Vector*), који укључује један додатни ред тростатичких инвертора DCO-а; и *Column Select*, унарни вектор, који може да укључује колоне тростатичких инвертора DCO-а. Да би се један инвертор укључио, или *Row On*, или и *Row Select* и *Column Select* за одговарајући бит мо-

рају бити подешени на 1. Ширина сваког вектора је једнака ширини улаза. Сама структура DCO-а је детаљније описана у поглављу 2.2.

2.2 Структура дигитално контролисаног осцилатора

У срцу сваке фазно затворене петље се налази осцилатор који игра кључну улогу у учинку који може бити постигнут [6]. Дигитално контролисани осцилатор описан у овом раду је прстенасти осцилатор, погодан за систем генерисања такта. Прстенасти осцилатор је каскадна комбинација фаза кашњења повезаних у ланац затворене петље [7]. Прстенасте архитектуре су компактније од LC осцилатора и имају доста предности захваљујући својој правилној и периодичној просторној структури. Уопштена структура DCO-а коришћеног унутар описаног FLL-а заснована је на матрици тростатичких CMOS инвертора [8]. Ова матрица је састављена од N -фазних прстена тростатичких инвертора повезаних паралелно. N представља број DCO фаза (степени) и мора бити непаран број већи или једнак 3. У физичком смислу, матрица може бити преобликована у квадрат, што омогућава једноставнију управљачку логику. Један или више прстенова су увијек укључени и дефинишу основну фреквенцију DCO-а. Остали тростатички инвертори се укључују и искључују у зависности од управљачке логики.

Формула за фреквенцију осциловања конкретне имплементације DCO-а из овог рада гласи:

$$f_{\text{osc}} = \frac{1}{2Nt_d} \approx \frac{I_d}{2NC_{\text{load}}V_{\text{DDL}}}, \quad (1)$$

гдје је N број тростатичких инвертора унутар прстена, t_d представља кашњење једне ћелије DCO-а, у чијем саставу је тростатички инвертор (у наставку ће бити детаљније објашњена структура саме ћелије DCO-а), I_d је струја која протиче кроз инвертор, C_{load} је капацитивно оптерећење истог инвертора, и V_{DDL} је напон напајања DCO-а. Производ Nt_d је помножен са 2 да би се добила читава периода такта, а не полупериода.

2.2.1 Предложена архитектура DCO-а

Када је ријеч о топологији, са повећањем броја DCO фаза (степени), фреквенцијски корак (K_{DCO}) опада, чиме се повећава прецизност DCO-а. Максимална фреквенција осцилатора се такође смањује, и да би се то надомјестило, напон напајања се може повећати, што с друге стране доводи до веће потрошње снаге. Ако претпоставимо да напон напајања и капацитивно оптерећење по једној фази остану непромјењени, повећање броја фаза не утиче на потрошњу снаге. Међутим, ако укупан број тростатичких инвертора остане непромјењен и подијели се на већи број фаза, то ће довести до смањења капацитивног оптерећења по фазама појединачно, што даље доводи до смањења потрошње снаге. Математичком анализом се то може објаснити на следећи начин: N -фазни прстенасти осцилатор који ради на фреквенцији f_{osc} има динамичку потрошњу снаге која се може представити једначином

$$P = Nf_{\text{osc}}C_{\text{tot}}V_{\text{DDL}}^2, \quad (2)$$

гдје C_{tot} представља укупно капацитивно оптерећење на једној фази. Пошто је фреквенција осциловања једнака

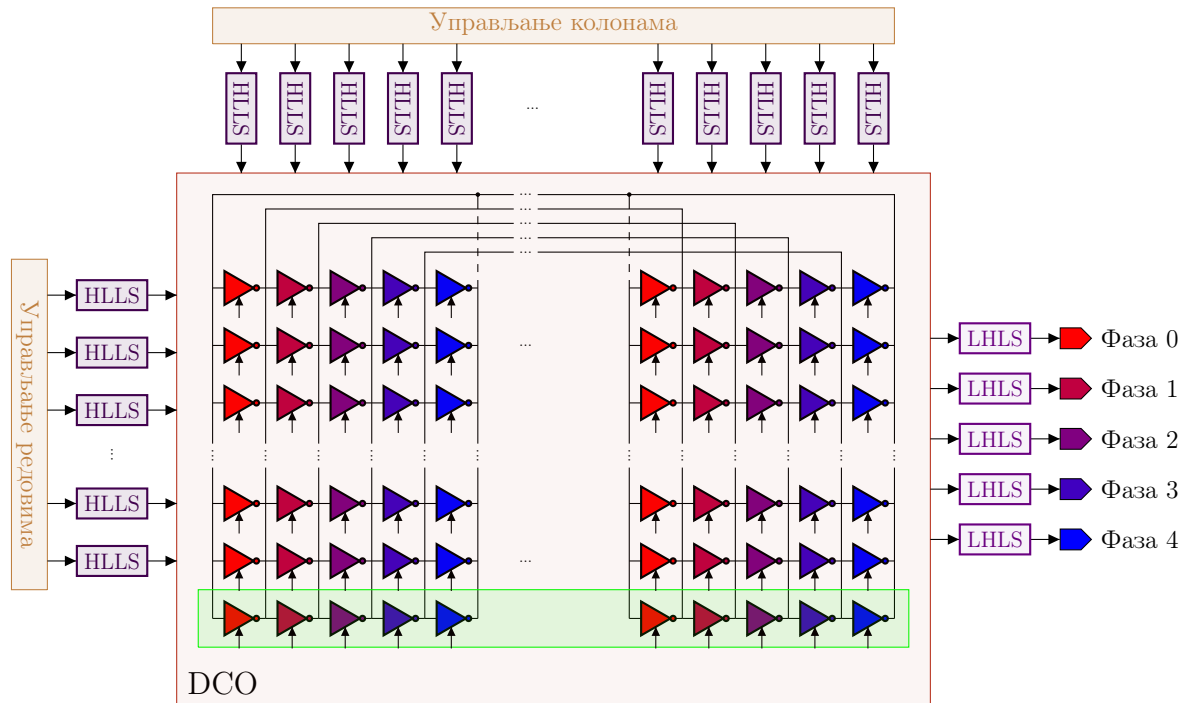
$$f_{\text{osc}} = \frac{1}{2Nt_d}, \quad (3)$$

једначину за динамичку снагу можемо написати на следећи начин:

$$P = \frac{C_{\text{tot}} V_{\text{DDL}}^2}{2t_d}, \quad (4)$$

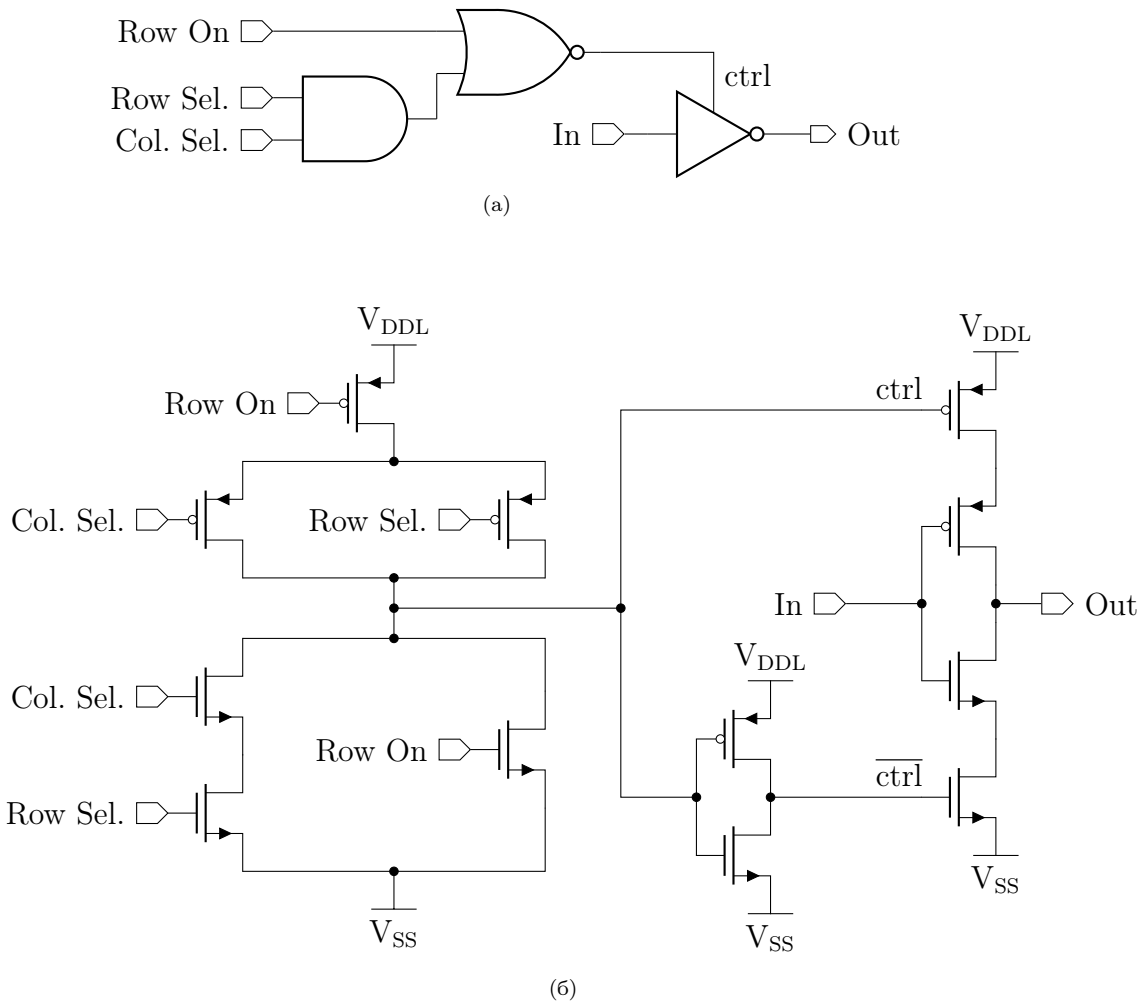
одакле се види да је добијена динамичка снага независна од N [6].

У овом раду описана је топологија DCO-а са пет фаза, због тога што је таквом топологијом остварен задовољавајући компромис између учинка и потрошње снаге. Слика 2 приказује структуру DCO-а коришћеног у описаној FLL имплементацији.



Слика 2: Петостепени прстенасти дигитално контролисани осцилатор (DCO) састављен од тростатичких инвертора, са додатим претварачима напонских нивоа (HLLS и LHLS) и уоквиреним редом увијек укључених тростатичких инвертора.

Свака фаза DCO-а састоји се од 54 тростатичка инвертора, што ако помножимо са бројем фаза даје укупно 270 инвертора. Тростатички инвертори су распоређени у 18 редова и 15 колона. Управљачка логика FLL-а управља са 17 редова и свих 15 колона, што значи да постоји 255 фреквенцијских корака. Преостали ред са 3×5 тростатичких инвертора је увијек укључен и на њега не утиче управљачка логика FLL-а. Што се више тростатичких инвертора у свакој фази укључи под утицајем управљачке логике FLL-а, тренутна снага покретања (енгл. *Driving Strength*) једне фазе се повећава, док њено капацитивно оптерећење у суштини остаје константно, што резултује повећањем излазне фреквенције осциловања [4].



Слика 3: Ћелија DCO-а на нивоу (а) логичких кола и (б) CMOS транзистора.

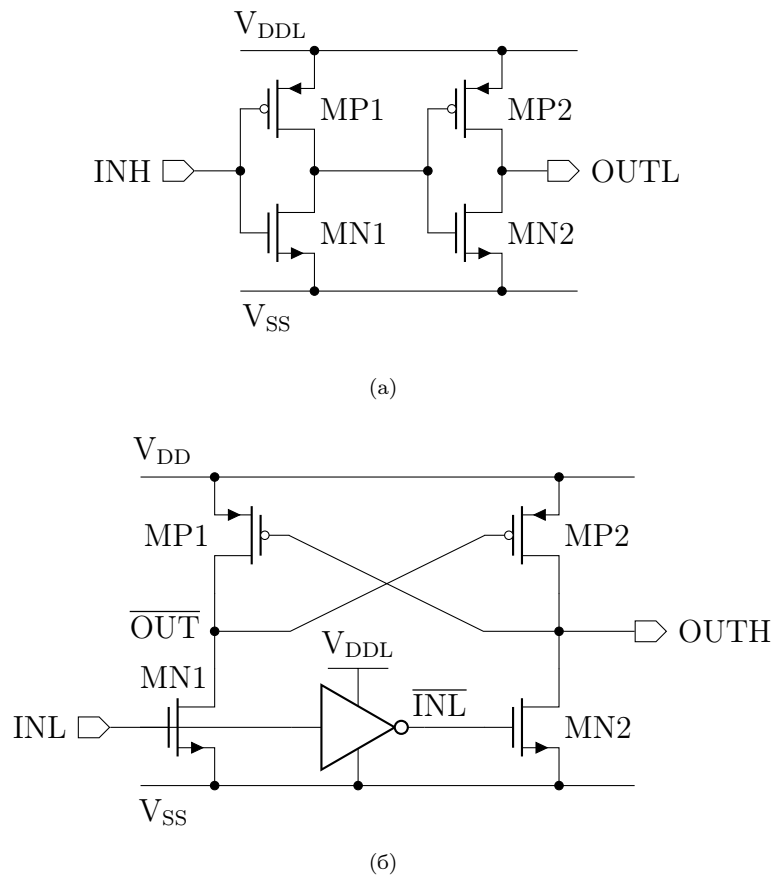
2.2.2 Блок дијаграм DCO ћелије

Да би се ефикасно подесила излазна фреквенција DCO-а, уведен је скуп управљачких улаза DCO-а, а то су сигнали *Row On*, *Row Select* и *Column Select*, поменути такође у секцији 2.1.4. Према томе, сваки тростатички инвертор појединачно садржи сопствену управљачку јединицу у облику И-ИЛИ стандардне ћелије, и заједно граде већи блок назван ћелија DCO-а. Слика 3 приказује шему ћелије DCO-а на нивоу логичких кола и на нивоу CMOS транзистора.

2.2.3 Претварачи напонског нивоа DCO-а

Напон напајања који користи дигитално контролисани осцилатор (V_{DDL}) се у овом раду разликује од напона напајања који користи остатак логице FLL-а (V_{DD}). Предност таквог дизајна је могућност подешавања напона напајања DCO-а независно након производње чипа, што даље омогућава постизање жељене резолуције фреквенције (фреквенцијског корака) и фреквенцијског опсега зависно од процесног угла у коме се одвијала производња чипа. Додатна предност јесте и то што могућност смањења напона напајања DCO-а аутоматски доводи и до значајног смањења расипања снаге (енгл. *Power Disipation*) због њене квадратне зависности од напона напајања. Независан домен напајања DCO-а постигнут је додавањем претварача напонског нивоа

на улазе и излазе DCO-а, као што је и приказано на Слици 2. Како је напон напа-



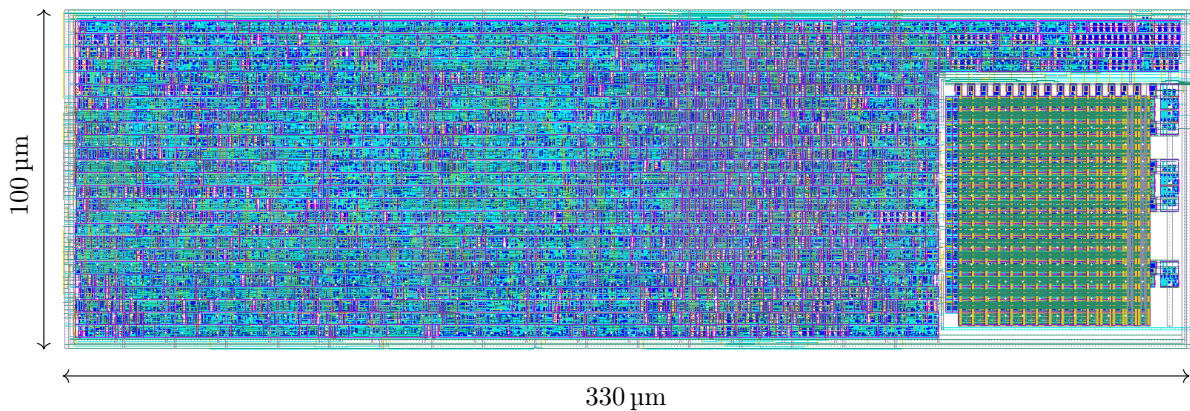
Слика 4: Шема претварача (а) са високог на низак и (б) са ниског на висок напонски ниво [9].

јања DCO-а нижи од остатка система, на управљачке улазе DCO-а постављени су претварачи са високог на низак напонски ниво (енгл. *High-Low Level Shifter*, HLLS), док су на фазне излазе DCO-а постављени претварачи са ниског на висок напонски ниво (енгл. *Low-High Level Shifter*, LHLS). Слика 4 приказује шеме конвенционалних претварача напонског нивоа који су коришћени у претходно описаном систему. Као што се може видјети са Слике 4, претварач са високог на низак напонски ниво није ништа друго до обичан бафер састављен од два инвертора чије напајање ће у коначној реализацији долазити од линије ниског напонског нивоа (V_{DDL}). Претварач са ниског на висок напонски ниво је нешто комплекснији и представља регенеративно логичко коло засновано на позитивној повратној спрези [9] и састоји се од два унакрсно спрегнута PMOS транзистора, од NMOS транзистора и инвертора.

Претварачи напонских нивоа могу довести до сметњи у радном циклусу (енгл. *Duty Cycle*), поготово на излазу претварача са ниског на висок напонски ниво. Међутим, то се углавном може избјећи додатним баферовањем излаза DCO-а тј. физичким уметањем одговарајућих бафера између фазног излаза DCO-а и претварача напонског нивоа чиме се сигнал додатно исправља како би такав дошао на улаз претварача са ниског на висок напонски ниво.

3 Имплементација и резултати симулација

Дигитални FLL описан у овом раду, имплементиран је коришћењем SystemVerilog језика за опис хардвера у 130 nm CMOS технологији. DCO је имплементиран као независна компонента коришћењем библиотека стандардних ћелија. Читав дизајн FLL-а заузима $33000 \mu\text{m}^2$, од чега 13% заузима DCO. Референтни такт је 16 MHz, док се такт DCO-а подешава до 640 MHz, при чему је резолуција учестаности око 2.8 MHz у типичним условима рада. У симулацији под типичним условима рада, напон напајања управљачке логице FLL-а (V_{DD}) је подешен на 1.2 V, а самог DCO-а (V_{DDL}) на 1.1 V, и за њих је средња квадратна вриједност (енгл. *Root Mean Square*, RMS) потрошње струје 0.9 mA и 2.185 mA, респективно. Лејаут коначне верзије цјелокупног FLL-а приказан је на Слици 5.



Слика 5: Лејаут дигиталног FLL-а, са DCO-ом у доњем десном углу.

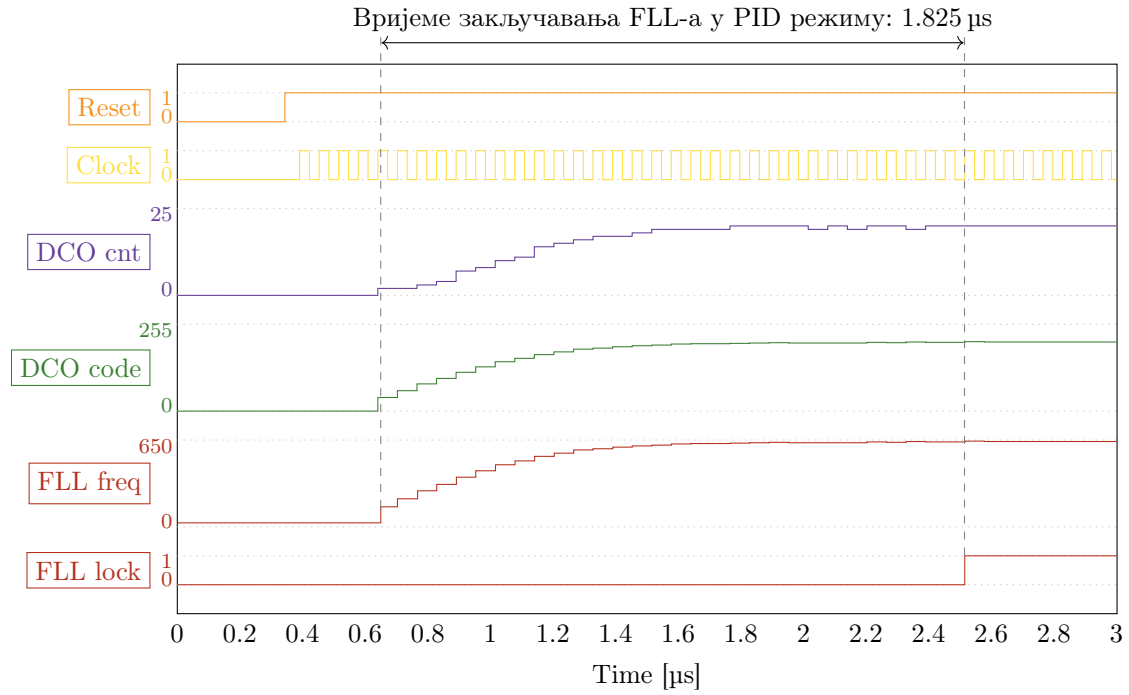
3.1 Симулација рада фреквенцијски затворене петље

Симулација рада FLL-а у оба управљачка режима приказана је на Слици 6. Са приказаних графика се може видјети да се у оба управљачка режима достиже стабилно закључавање FLL-а са излазном фреквенцијом веома блиској траженој фреквенцији, при чему грешка може бити у опсегу просјечне вриједности резолуције DCO-а (испод 3 MHz). Међутим, иако се у оба режима исправно достиже жељена фреквенција, између њих постоји разлика у брзини достигања исте. Тако, у PID режиму ($P=15$, $I=15$, $D=0$), закључавање се одвија много брже, и то за $1.83 \mu\text{s}$, док је, поређења ради, за закључавање у bang-bang режиму потребно $13.13 \mu\text{s}$.

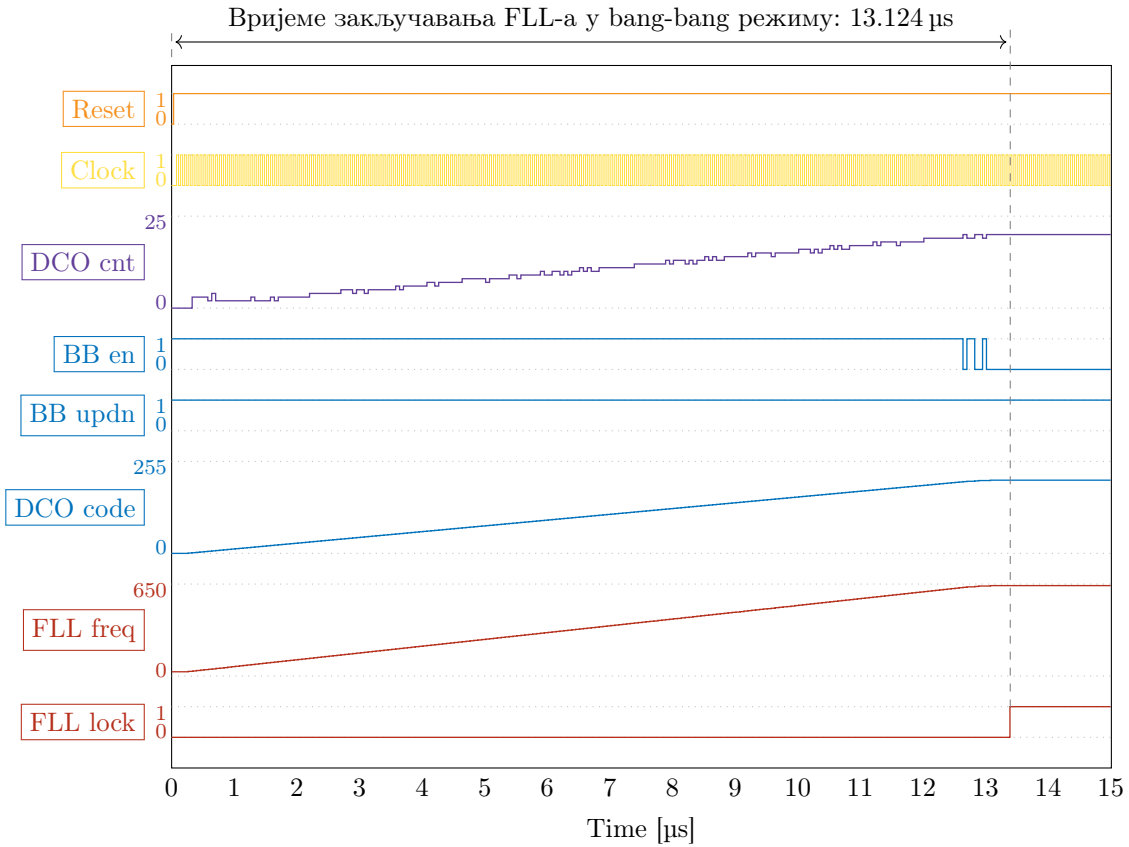
3.2 PVT зависност дигитално контролисаног осцилатора

Да би се одредило понашање DCO-а у реалним условима, потребно је провјерити понашање DCO-а при промјени процесних углова, напона напајања и температуре, односно провјерити различите PVT случајеве. У оквиру овог рада симулирано је понашање у три различита PVT случаја:

1. Најгори (најспорији) случај (slow-slow процесни угао, $V_{DD}=1.1 \text{ V}$, $V_{DDL}=1 \text{ V}$, 125°C)
2. Типичан случај (typical-typical процесни угао, $V_{DD}=1.2 \text{ V}$, $V_{DDL}=1.1 \text{ V}$, 40°C)



(a)



(б)

Слика 6: Симулација FLL-а у (а) PID режиму и (б) bang-bang режиму.

- Најбољи (најбржи) случај (fast-fast процесни угао, $V_{DD}=1.3\text{ V}$, $V_{DDL}=1.2\text{ V}$, -40°C)

Да би се значајно смањило вријеме потребно за добијање резултата из симулација након екстракције лејаута, и то без губљења прецизности добијених резултата, симулације DCO-а су извршене на нивоу појединачно екстракованих ћелија DCO-а и екстракованих претвараача напонског нивоа, са додатним паразитним кондензатором на свакој фази DCO-а. Улога тих кондензатора је да надомјесте паразитне капацитивности које се јављају у потпуно екстракованом лејауту DCO-а због међусобно повезаних ћелија, а које нису аутоматски урачунате ако се симулације врше на нивоу појединачно екстракованих компоненти DCO-а, као што је то овде случај. Вриједност капацитивности додатог кондензатора прорачуната је на основу извјештаја генерисаног из екстракције на нивоу читавог дизајна.

Слика 7 приказује зависност фреквенције DCO-а и фреквенцијског корака тј. резолуције фреквенције (K_{DCO}) од броја укључених тростатичких инвертора (тј. од управљачке ријечи DCO-а), за најгори, типични и најбољи PVT случај. Табела 1 приказује фреквенцијски опсег DCO-а и просјечну вриједност фреквенцијског корака (K_{DCO}) у три претходно обрађена случаја. Под опсегом се подразумјевају минималне и максималне вриједности фреквенције која се добија на излазу DCO-а за укључен минималан (у овом случају 15) и максималан број (у овом случају 255) тростатичких инвертора DCO-а, респективно.

Табела 1: Фреквенцијски опсег DCO-а и просјечна вриједност фреквенцијског корака (K_{DCO}).

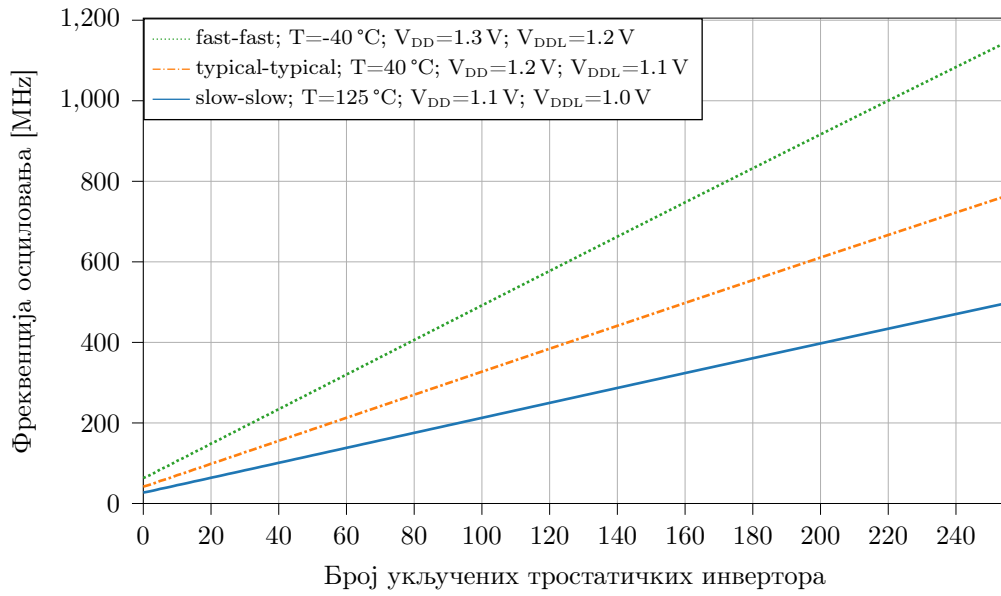
Случај	f_{\min}	f_{\max}	Просјечан K_{DCO}
Најспорији	27.2 MHz	502 MHz	1.8 MHz
Типичан	42 MHz	764 MHz	2.8 MHz
Најбржи	63.3 MHz	1.146 GHz	4.2 MHz

Иако у најгорем случају фреквенција не достиже жељених 640 MHz, она ипак може бити достигнута повећањем засебног напона напајања осцилатора (V_{DDL}). Такође је могуће анализирати и зависност фреквенције од свих PVT параметара независно, међутим те зависности нису приказане у раду због временске захтјевности извршавања потребних симулација, као и због већ приказаних резултата симулација у најгорем, типичном и најбољем случају, који су ипак најбитнији за анализу понашања имплементираних система јер се ослањају на понашање система у граничним условима рада. Ипак, што се тиче понашања DCO-а у зависности од свих PVT параметара појединачно, потребно је напоменути да се фреквенција повећава са бржим процесним углом, већим напоном напајања, као и мањом температуром.

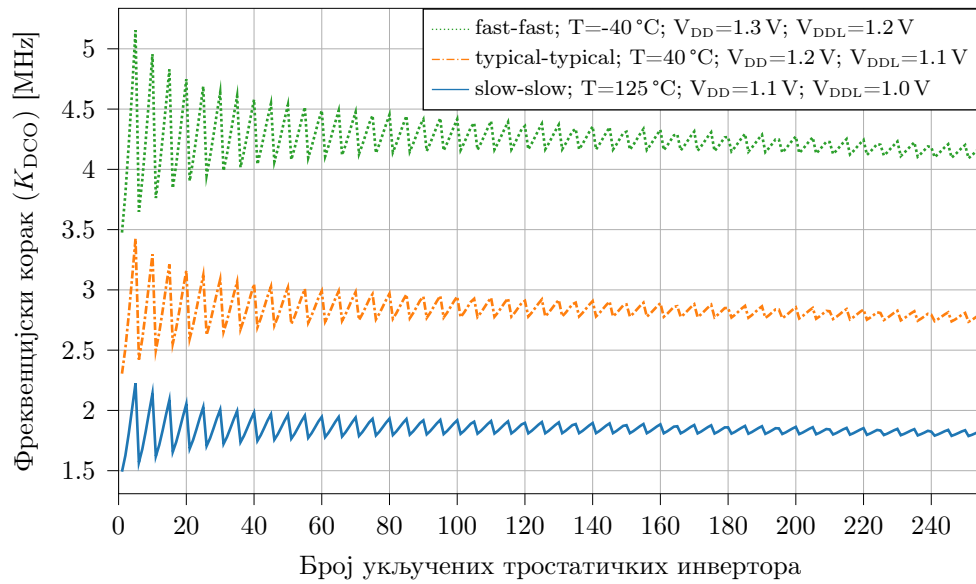
3.3 Временски одзив дигитално контролисаног осцилатора

3.4 Спектар снаге фреквенцијски затворене петље

3.5 Фазни шум дигитално контролисаног осцилатора



(a)



(б)

Слика 7: Зависност (а) фреквенције осциловања и (б) фреквенцијског корака од броја укључених тростатичких инвертора за најспорији, типични и најбржи случај.

4 Закључак

Литература

- [1] Imran Ali и др., „An Ultra-Low Power, Adaptive All-Digital Frequency-Locked Loop With Gain Estimation and Constant Current DCO”, y: *IEEE Access* 8 (2020.), стр. 97215–97230, DOI: 10.1109/ACCESS.2020.2995853.
- [2] Ahmed Musa и др., „A Compact, Low-Power and Low-Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration”, y: *IEEE Journal of Solid-State Circuits* 49.1 (2014.), стр. 50–60, DOI: 10.1109/JSSC.2013.2284651.
- [3] Wei Deng и др., „A Fully Synthesizable All-Digital PLL With Interpolative Phase Coupled Oscillator, Current-Output DAC, and Fine-Resolution Digital Varactor Using Gated Edge Injection Technique”, y: *IEEE Journal of Solid-State Circuits* 50.1 (2015.), стр. 68–80, DOI: 10.1109/JSSC.2014.2348311.
- [4] JosÉ A. Tierno, Alexander V. Rylyakov и Daniel J. Friedman, „A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI”, y: *IEEE Journal of Solid-State Circuits* 43.1 (2008.), стр. 42–51, DOI: 10.1109/JSSC.2007.910966.
- [5] A. V. Rylyakov и др., „A Modular All-Digital PLL Architecture Enabling Both 1-to-2GHz and 24-to-32GHz Operation in 65nm CMOS”, y: *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers* (2008.), стр. 516–632, DOI: 10.1109/ISSCC.2008.4523284.
- [6] Behzad Razavi, *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*, Cambridge University Press, 2020.
- [7] Reddy B. Madhusudhana и др., „CMOS Based Digital Controlled Oscillators (DCO) – A Review”, y: *International Journal of Applied Engineering Research* 10.20 (2015.), стр. 18626–18630.
- [8] M. Terosiet и др., „A Comprehensive In-Depth Study of Tri-State Inverter Based DCO”, y: *Microelectronics Journal* (2020.), DOI: 10.1016/j.mejo.2020.104760.
- [9] Yuji Osaki и др., „A Low-Power level-shifter With Logic Error Correction for Extremely Low-Voltage Digital CMOS LSIs”, y: *IEEE Journal of Solid-State Circuits* 47.7 (2012.), стр. 1776–1783, DOI: 10.1109/JSSC.2012.2191320.