

## 5장 연습문제

**5.2** 두 계층으로 이루어진 기억장치시스템에서 첫 번째 계층 기억장치의 액세스 시간이 10ns이고, 두번째 계층 기억장치의 액세스 시간은 100ns이다. M1에 대한 적중률이 0%부터 20% 간격으로 100%까지 변할 때의 평균 기억장치 액세스 시간들을 구하여 그래프를 그리고, 결과에 대하여 설명하라. 단, 그래프의 x축은 적중률, y축은 평균 기억장치 액세스 시간으로 한다.

**5.3** 다음과 같은 조직을 가진 RAM의 첫 번째 기억 장소의 주소와 마지막 기억 장소의 주소를 각각 16진수로 표기하라.

- (1) 512 x 8 비트 조직
- (2) 1024 x 4 비트 조직
- (3) 4096 x 1비트 조직

**5.4** 다음과 같은 조직을 가진 RAM들을 이용하여 1K x 32비트 기억장치 모듈을 구성하는 데 필요한 칩의 수를 구하라.

- (1) 512 x 1 비트 조직
- (2) 128 x 4 비트 조직
- (3) 64x 8비트 조직

(5.7~5.11) 제출 문제는 아니지만 각자 생각해 보세요.

**5.7** 2K x 8비트 RAM 칩들을 사용하여 2K x 64비트 기억장치 모듈을 구성하는 회로를 그림 5-12(병렬설계)와 같이 설계하고, 전체 기억장치 주소 영역의 첫 번째 주소와 마지막 주소를 16진수로 각각 표시하라.

**5.9** 2K x 8비트 RAM 칩들을 사용하여 8K x 8비트 기억장치 모듈을 구성하는 회로를 그림 5-14(직렬설계)와 같이 설계하고, 전체 기억장치 주소 영역의 첫 번째 주소와 마지막 주소를 각각 16진수로 표시하라.

**5.11** 1K x 8비트 RAM 칩들을 이용하여 2K x 16비트 기억장치 모듈을 설계하고, 각 칩에 할당된 주소 영역을 2진수로 표시하라. [힌트: 문제 5.7번과 5.9번의 설계 방법을 결합]

**5.14** 16-비트 CPU에 2Mbyte RAM과 1Mbyte ROM을 주기억장치로서 접속하려한다. 사용가능한 칩들이 1M x 4 비트 RAM 칩들과 512K x 8비트 ROM칩들이라고 할 때, 다음 물음에 답하라.

- (1) RAM과 ROM 칩들이 각각 몇 개씩 필요한가?
- (2) 주기억장치의 전체 용량은 몇 단어(word)가 되는가?
- (3) 각 칩들에 지정되는 주소 표를 작성하라. 단, RAM의 주소는 0번지부터 시작하고, ROM의 주소는 그 다음에 연속되도록 하라.

**5.15** CPU가 기억장치를 액세스한 전체 횟수가 15000 회이며, 그 중에 원하는 명령어 혹은 데이터가 캐시에 있었던 횟수가 다음과 같을 때, 캐시 적중률을 구하라.

- (1) 7500
- (2) 12000
- (3) 13500

**5.18** 주기억장치의 액세스 시간이 100ns이고 캐시의 액세스 시간이 10ns일 때, 평균 기억장치 액세스 시간이 19ns 이하가 되도록 하기 위해서는 캐시의 적중률이 얼마 이상이 되어야 하는가?

**5.20** 주기억장치 용량이 1MByte이고 캐시의 용량은 16Kbyte인 시스템에서 캐시 라인의 크기는 4바이트이다. 직접-사상 방식이 사용되는 경우에 아래 물음에 답하라.

- (1) 캐시에는 몇 개의 라인들이 존재하는가?
- (2) 주기억장치 블록의 수는 몇 개가 되는가?
- (3) 한 라인을 공유하는 주기억장치 블록들의 수는 몇 개인가?
- (4) 주소 형식과 각 필드의 비트 수를 결정하라.

**5.21** 세트-연관 캐시가 64개의 라인들을 가지고 있으며, 각 세트는 4개의 라인들로 구성된다. 주기억장치는 4096개의 블록들을 가지고 있으며, 각 블록은 16바이트로 구성된다. 주기억장치 주소의 형식을 결정하라.

**5.23** 프로그램 실행 중의 어느 시점에서 직접 사상 캐시의 라인들이 그림 5019와 같은 블록들을 적재하고 있다고 하자. 이 때 CPU로부터 다음과 같은 기억장치 주소들이 발생한 경우에 캐시 적중인지 혹은 캐시 미스인지를 구분하라. 그리고 캐시 미스인 경우에 그 블록이 캐시의 해당 라인에 적재된 결과를 설명하라. 단, 아래 주소는 2진수로 표현되어 있다.

- (1) 1101000
- (2) 1101100
- (3) 0010101
- (4) 0111111

**5.24** 프로그램 실행 중의 어느 시점에서 세트-연관 사상 캐시의 라인들이 그림 5023과 같은 블록들을 적재하고 있다고 하자. 이 때 CPU로부터 다음과 같은 기억장치 주소들이 발생한 경우에 캐시 적중인지 혹은 캐시 미스인지를 구분하라. 그리고 캐시 미스인 경우에는 그 블록이 적재(혹은 교체)된 후의 해당 라인의 태그 번호를 결정하라. 단, 교체할 때는 세트내의 첫 번째 라인을 교체하는 것으로 한다.

- (1) 1101000
- (2) 0111101
- (3) 0100011
- (4) 0000100

**5.26** 세트-연관 사상 캐시로 아래와 같은 블록들이 연속적으로 액세스 된다고 하자.

1 2 2 1 3 1 4 5 4 7 4 1

교체 알고리즘과 세트 당 라인 수가 다음과 같을 때의 캐시 적중률을 각각 구하라.

- (1) FIFO 알고리즘, 라인 수 = 2개
- (2) FIFO 알고리즘, 라인 수 = 4개
- (3) LRU 알고리즘, 라인 수 = 2개
- (4) LRU 알고리즘, 라인 수 = 4개

**5.27** 주기억장치 액세스 시간이 200ns, 캐시 액세스 시간이 20ns인 시스템에서 기억장치 액세스가 1000번이 수행되었다. 그 중의 60%는 읽기 동작이고, 40%는 쓰기 동작이었으며, 평균 적중률은 80%였다. 캐시 쓰기 정책이 아래와 같을 때, 각각의 평균 기억장치 액세스 시간을 구하라.

단, write-back에서 미스가 발생한 경우에 새로운 블록을 적재하기 위하여 교체할 라인의 30%는 변경된 상태에 있다고 가정한다.

- (1) Write-through
- (2) Write-back