



Sistemas de Procesamiento de Datos

Unidad N° 6

- Memorias
- Microprocesadores

Profesor: Fabio Bruschetti

Ver 2013-01



Arquitecturas



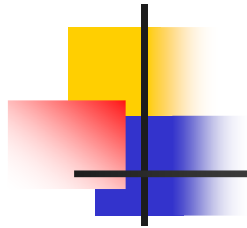
Arquitectura vs. Organización

- **Arquitectura:** atributos **visibles** al programador que tiene impacto directo en la ejecución de un programa
 - Conjunto de registros internos, Conjunto de instrucciones (set), cantidad de bits utilizados para representar los datos, mecanismos de direccionamiento de memoria, acceso a dispositivos periféricos, etc.
- **Organización:** la implementación e interconexión de sus unidades funcionales o módulos
 - Señales de control, unidades de cálculo, etc.
- Ejemplos:
 - ¿Las instrucciones las ejecuta directo el hardware o son interpretadas por microprogramas?
 - ¿La multiplicación es realizada directamente por un componente o se realizan muchas sumas?



Arquitectura vs. Organización

- Toda la familia x86 de Intel comparte la misma **arquitectura** básica
 - Esto asegura la compatibilidad de código
 - Al menos la de programas antiguos. De hecho podemos ejecutar el DOS, diseñado para el primer procesador de la familia (el 8086), en un computador basado en, por ejemplo, Pentium Dual Core.
- La organización cambia entre diferentes versiones de una misma familia

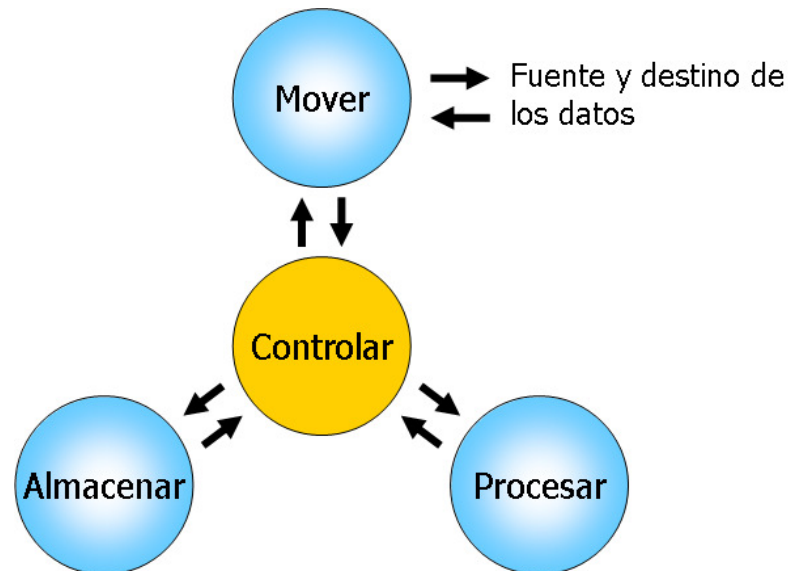


Estructura vs. Función

- Se refiere a los módulos o componentes generales de un computador
- Estructura de un computador
 - Unidad central de proceso (CPU o UCP)
 - Memoria
 - Entrada / Salida
 - Sistema de interconexión

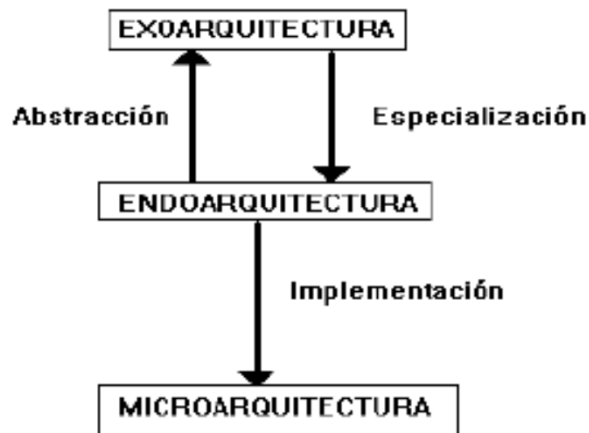
Estructura vs. Función

- La función es la operación que realizan cada uno de los componentes como parte de una estructura organizada
- Funciones principales de un computador



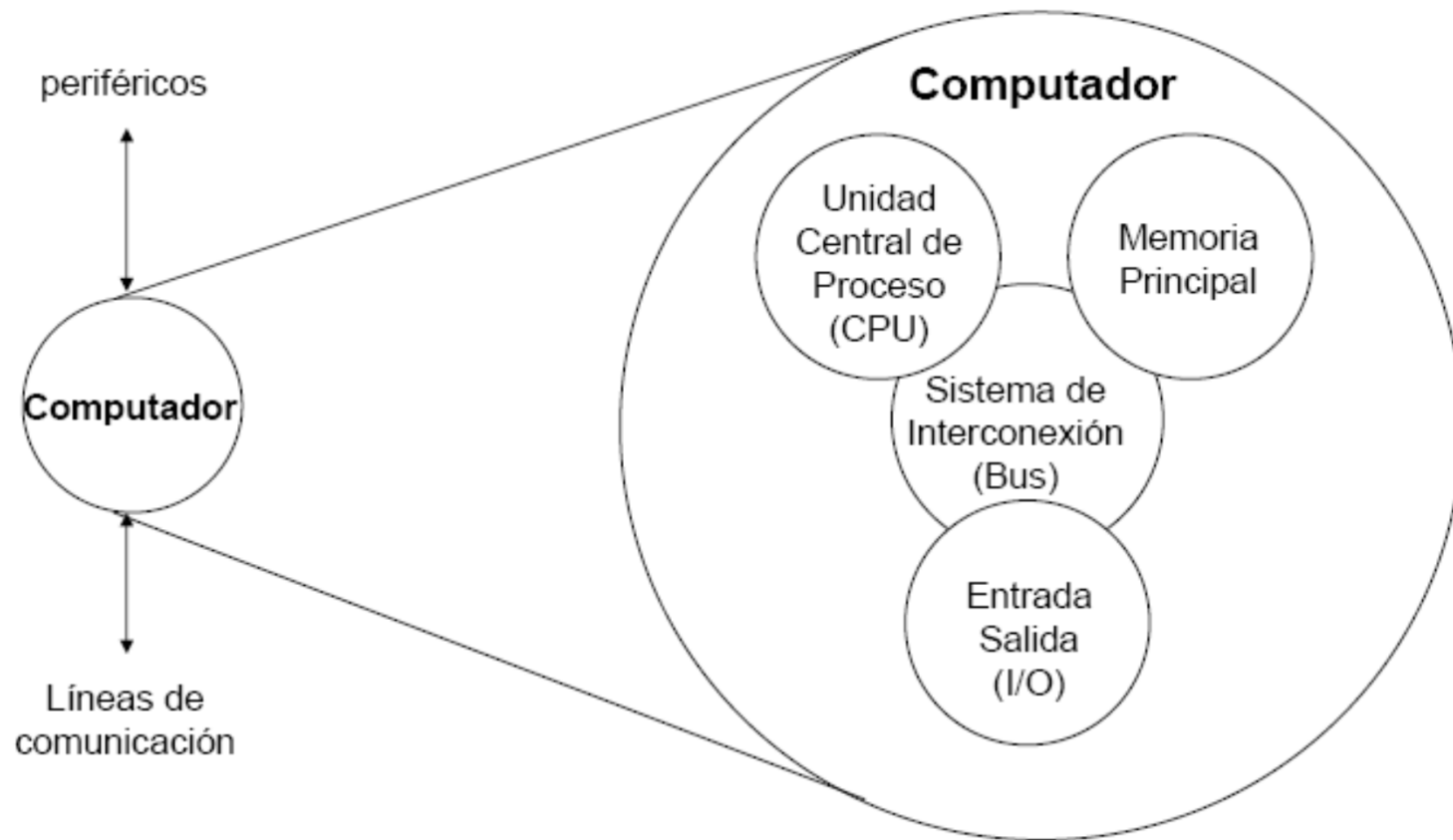
Arquitectura

- Se puede clasificar en subniveles, según función:

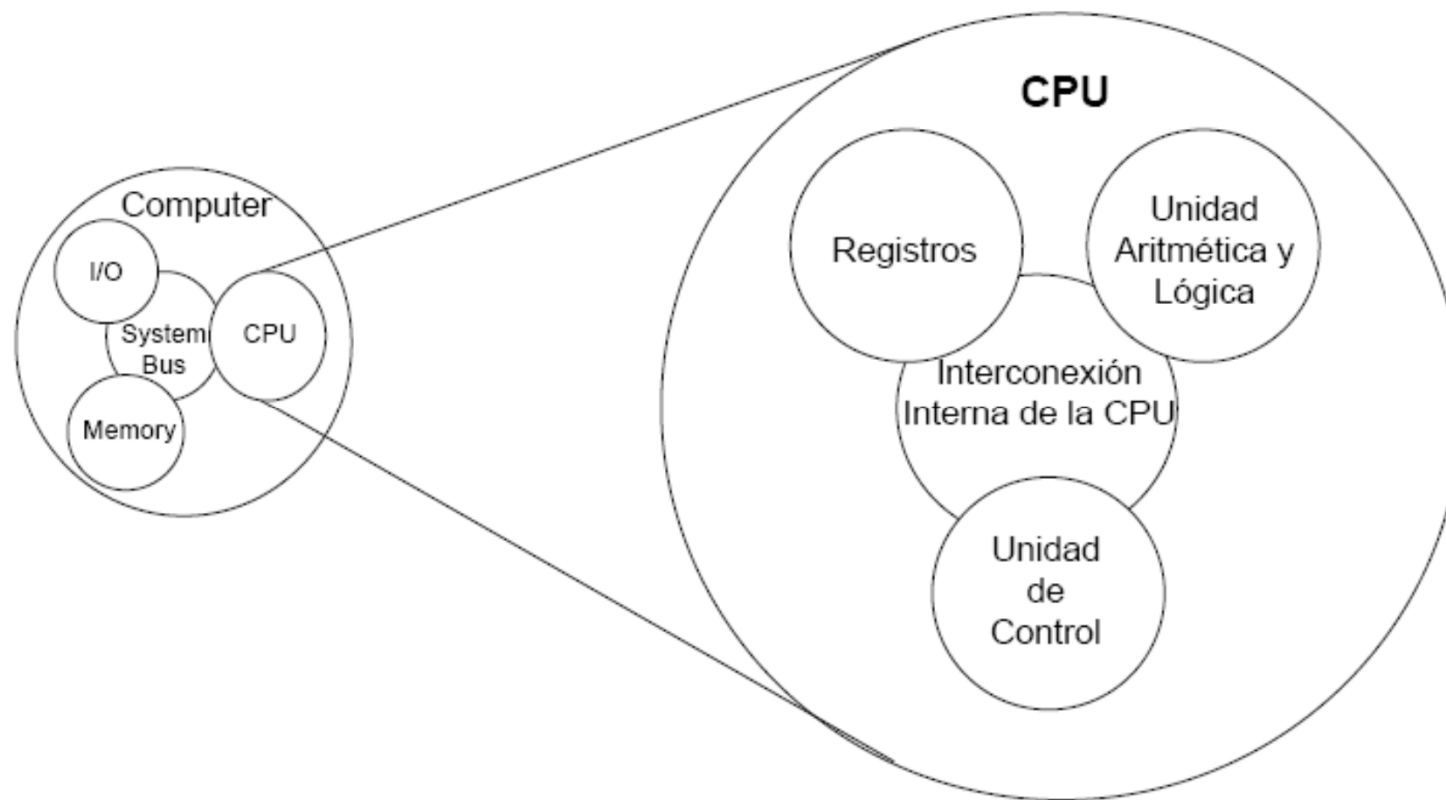


- Exoarquitectura: Es la estructura y capacidad funcional de la arquitectura visible al programador
- Endoarquitectura: Las capacidades funcionales de los componentes físicos, las estructuras lógicas de sus interconexiones, las interacciones, los flujos de información y sus controles.
- Microarquitectura: Qué componentes internos se conectan o desconectan durante la ejecución de una instrucción.

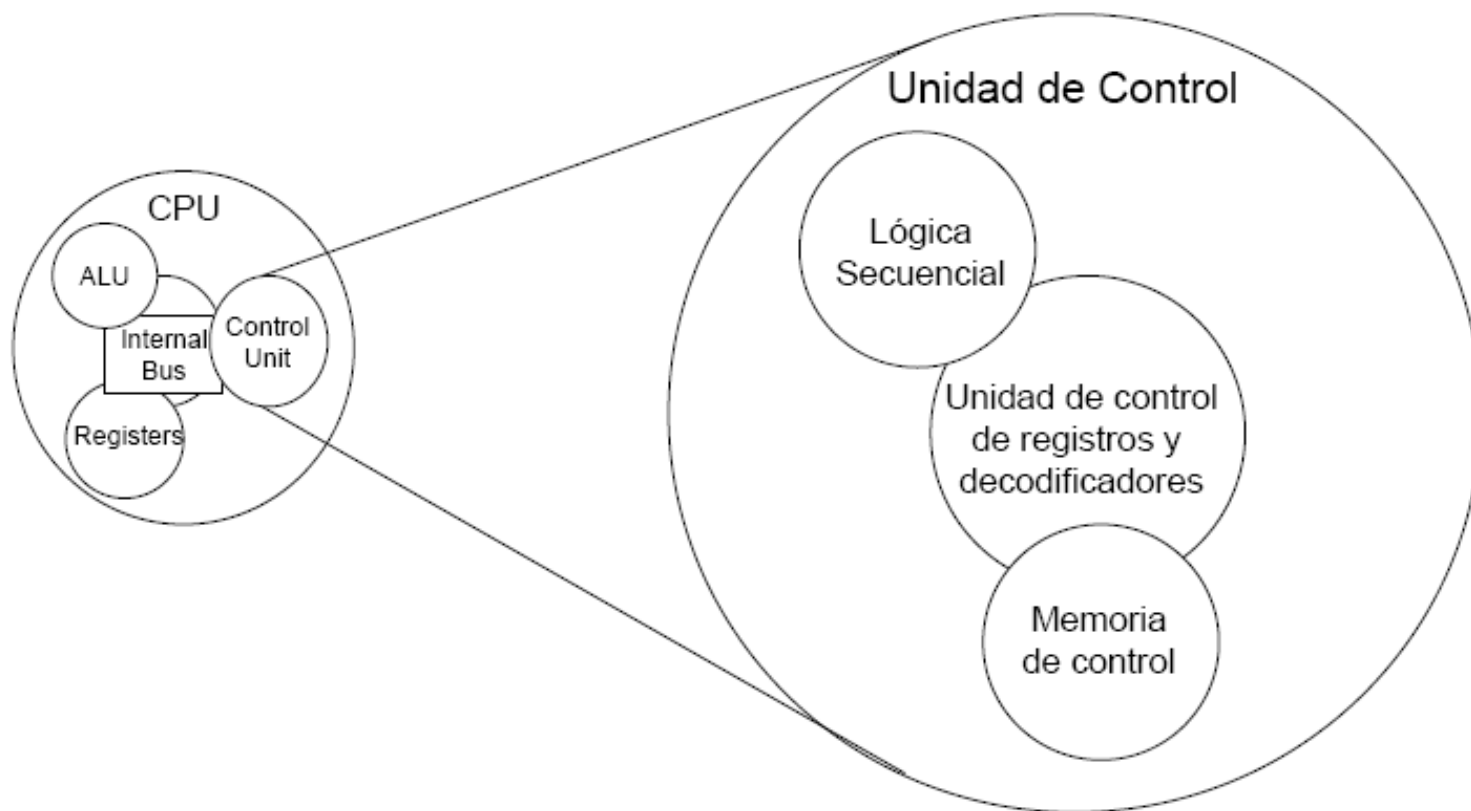
Estructura del Computador

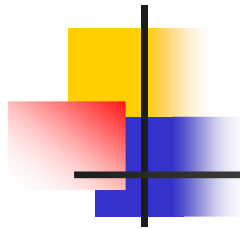


Estructura del CPU

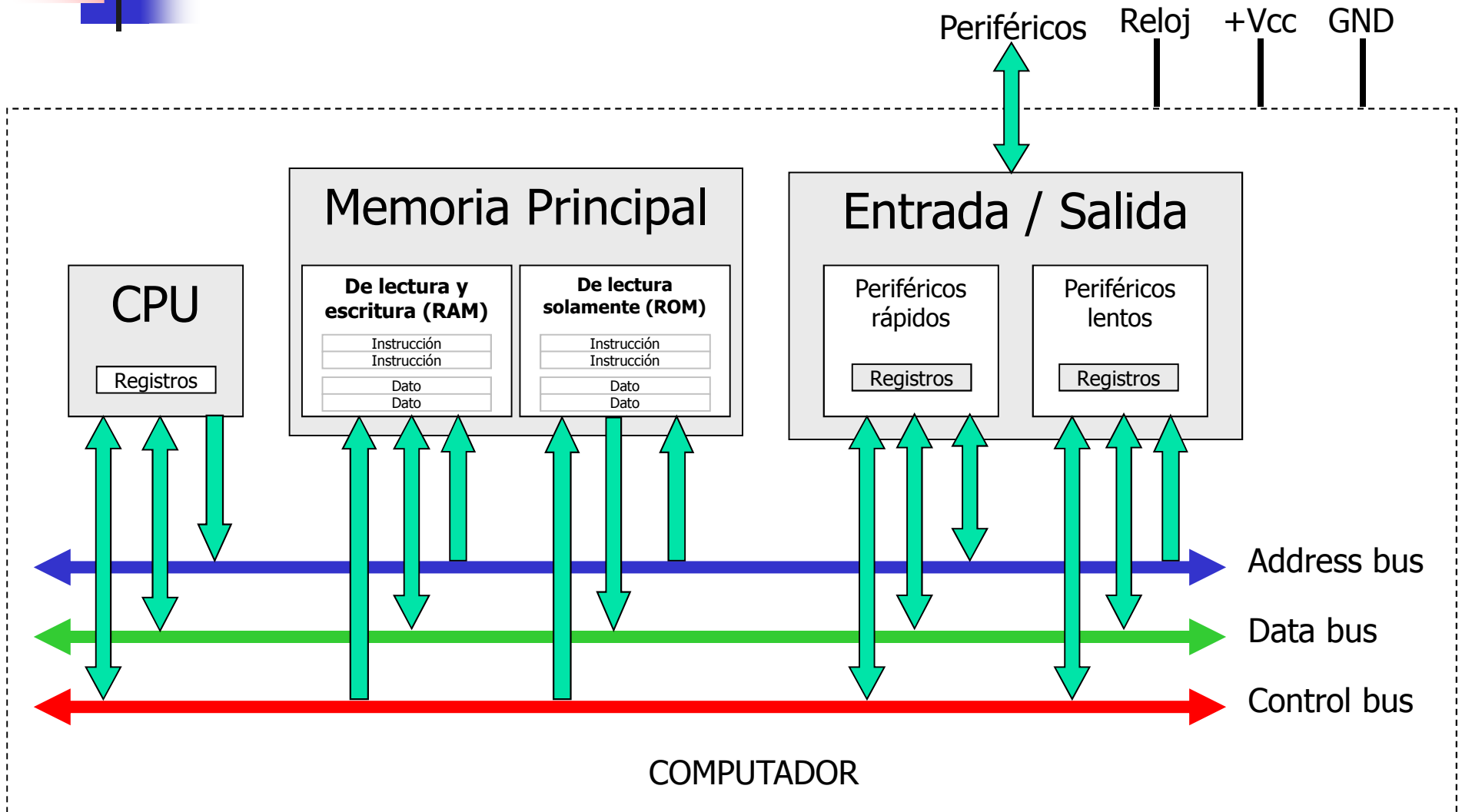


Estructura de la UC

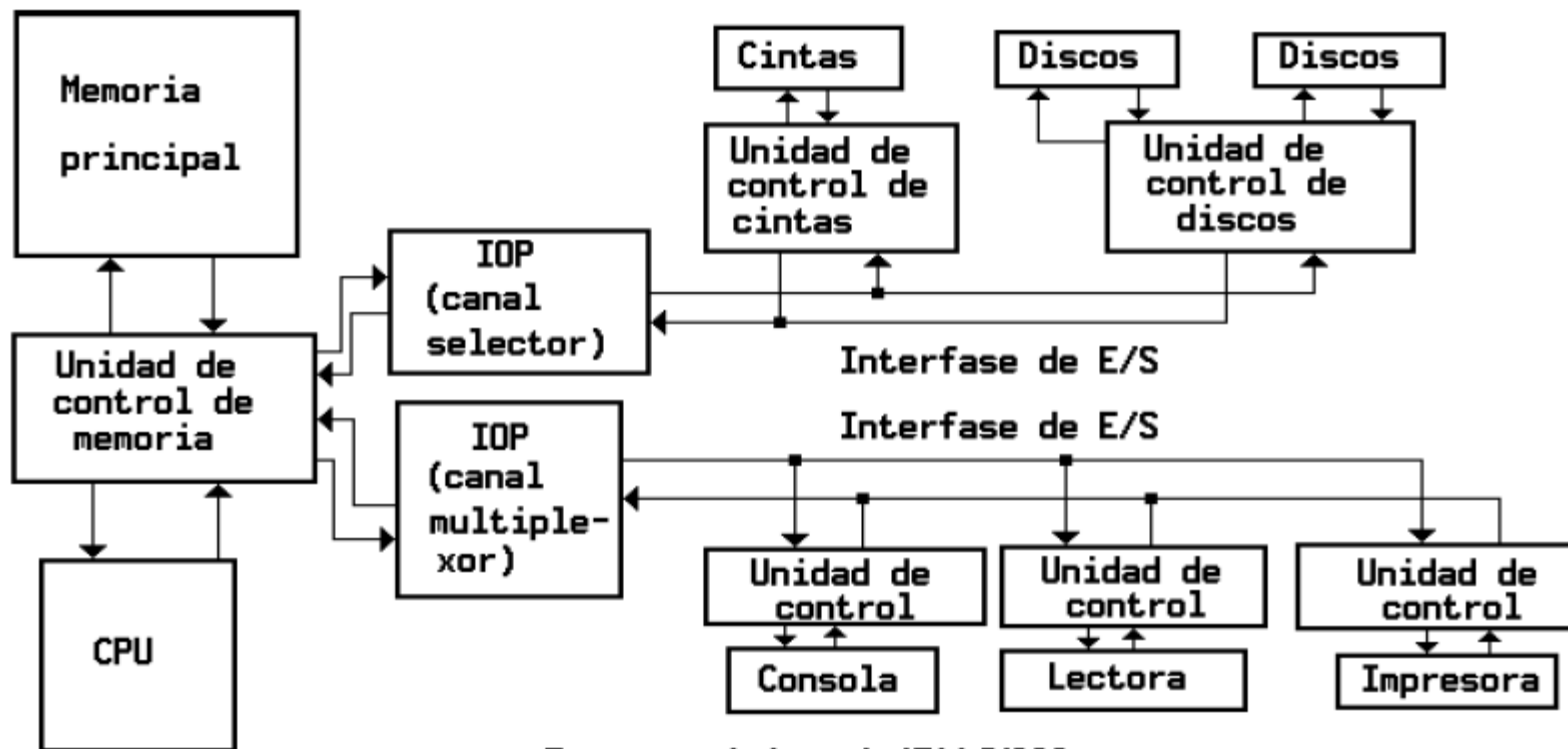




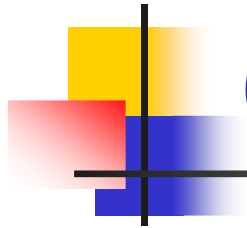
Estructura de un computador



Estructura de un computador



Estructura de la serie IBM S/360.



Clasificación de Arquitecturas

- Genéricamente, todos los computadores tendrán una estructura similar a la mencionada (CPU, Memoria, E/S, sistema de interconexión) en una cantidad adecuada de acuerdo con la capacidad de procesamiento requerida



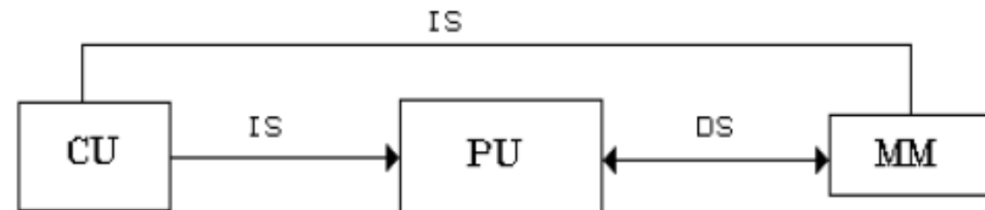
Clasificación de Flynn

- Forma de mostrar la interconexión de los componentes y sus cantidades
- Flujos de Datos e Instrucciones
 - Son los parámetros básicos para la clasificación
- Clasificación
 - SISD (**S**ingle **I**nstruction **S**ingle **D**ata)
[Paradigma von Newman o Harvard]
 - SIMD (**S**ingle **I**nstruction **M**ultiple **D**ata)
 - MISD (**M**ultiple **I**nstruction **S**ingle **D**ata)
 - MIMD (**M**ultiple **I**nstruction **M**ultiple **D**ata)
[Paradigma Paralelo]

Clasificación Flynn (Gráficos)

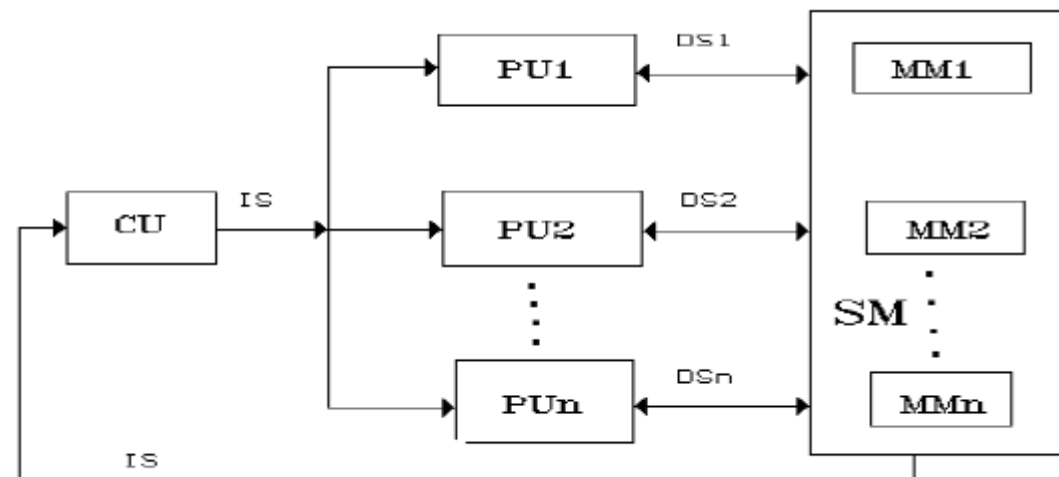
■ SISD

- CPU común



■ SIMD

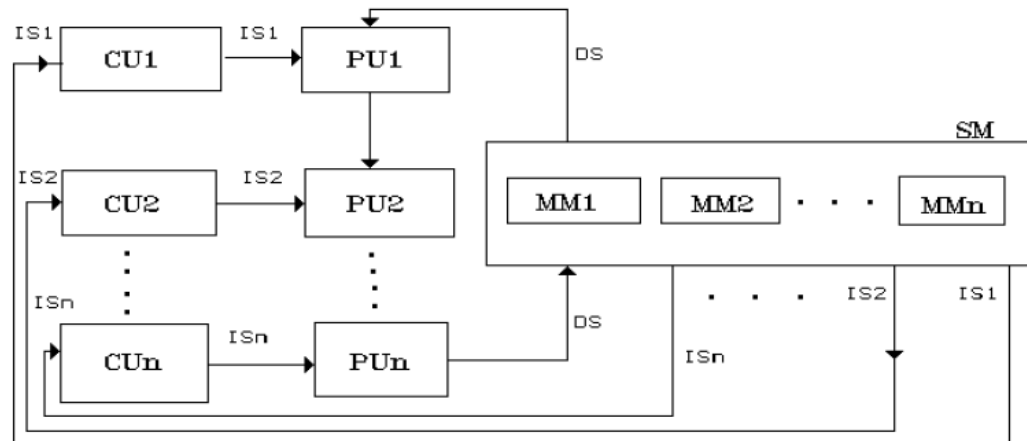
- CPU vectorial



Clasificación Flynn (Gráficos)

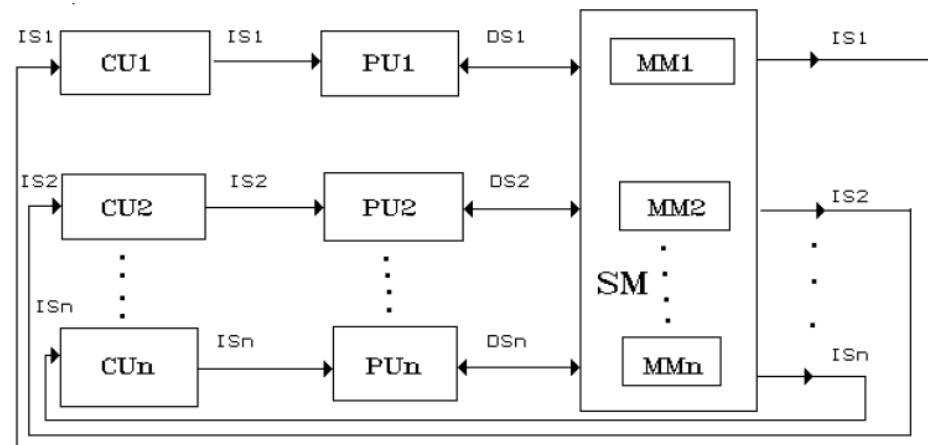
■ MISD

- Aeronavegación



■ MIMD

- Sistemas Distribuidos

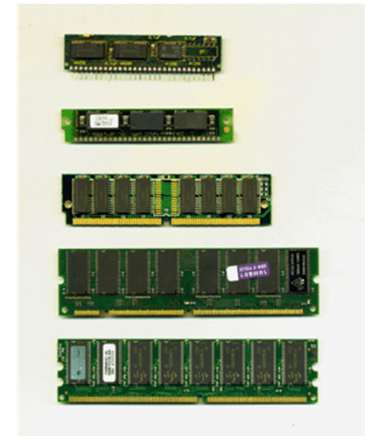
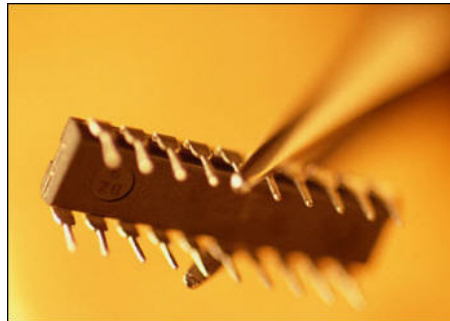




Memorias

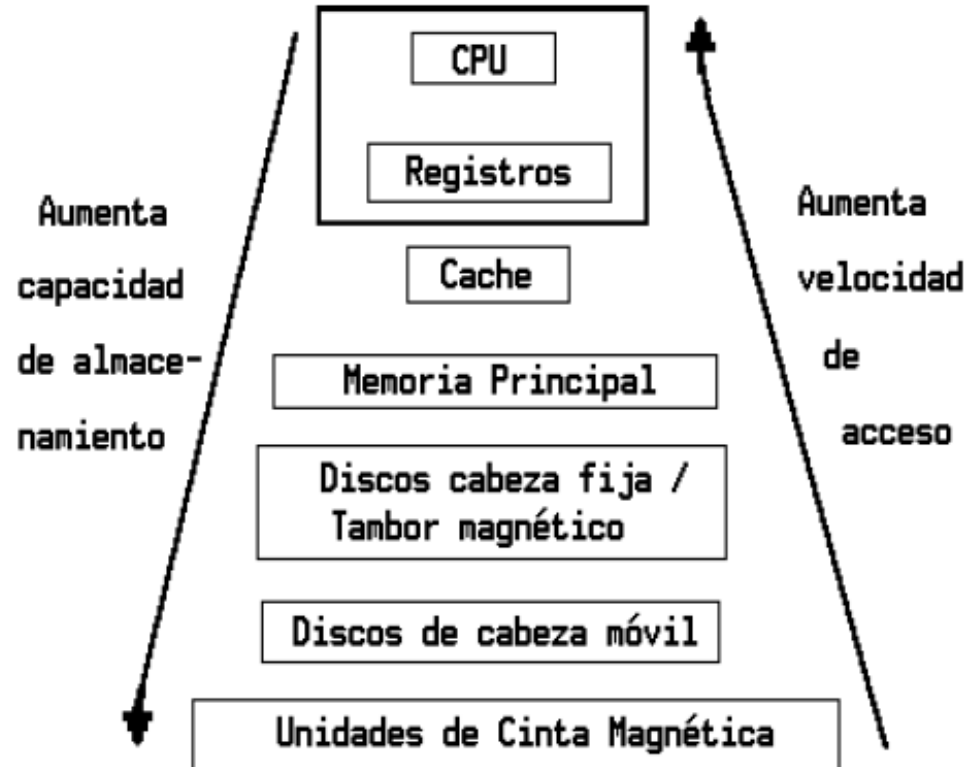
Memoria

- Dispositivo utilizado para almacenar datos
- Características principales
 - Capacidad de almacenamiento
 - Velocidad de acceso (leer, escribir)
 - Permanencia de la información (volátil, permanente)
 - Presentadas en circuitos integrados (IC's)



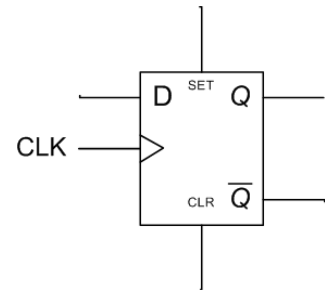
Memoria

■ Jerarquía de Memorias



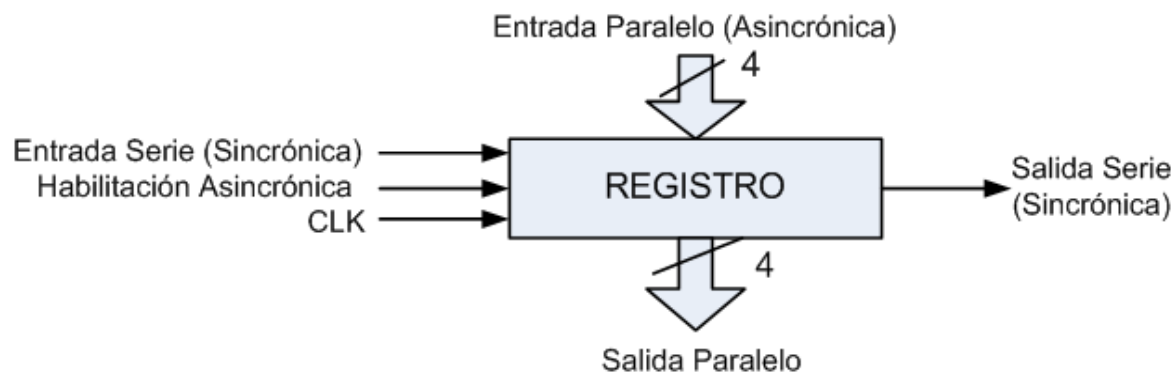
Memoria – Registros

- Son dispositivos de almacenamiento de n bits o celdas
- Cada celda de memoria almacena un solo bit y está compuesta por un “Flip-Flop” que presentan el menor tiempo de acceso
- Un registro de n bits poseerá n flip-flops de este tipo
- Para guardar un dato (“1” o “0”) en esta celda de memoria, existen dos alternativas:
 - Asincrónicamente: guardo el dato sin esperar el pulso de clock
 - Sincrónicamente: coloco el dato en su entrada y cuando llega el pulso de clock, se guarda



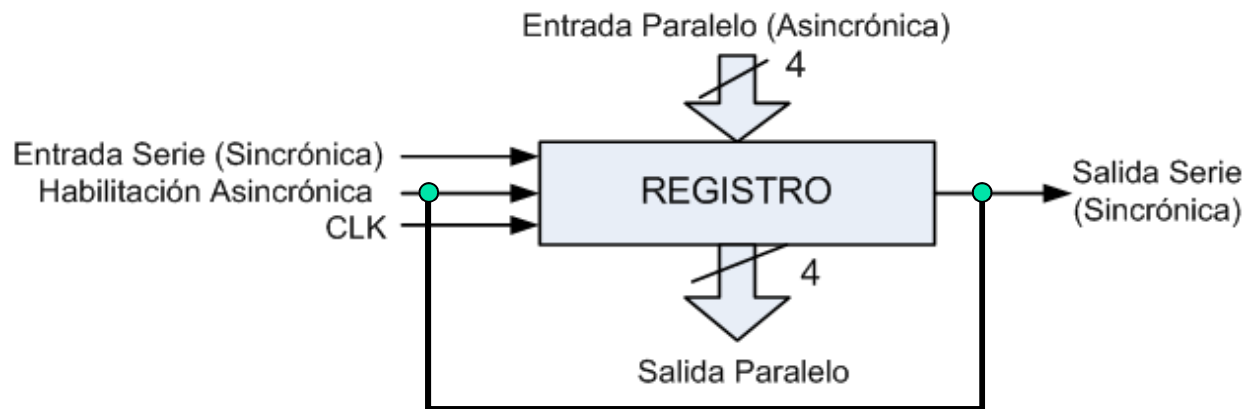
Memoria – Registros

- Registros de desplazamiento
 - Son los que se encuentran en la ALU. Sirven:
 - Como operando
 - Para hacer las operaciones producto y cociente
 - Para guardar el resultado
 - También se los utiliza para convertir información serie a paralelo y viceversa:
 - Serie a paralelo: Se carga sincrónicamente y se descarga asincrónicamente
 - Paralelo a serie: Se carga asincrónicamente y se descarga sincrónicamente
 - Ejemplo de registro de 4 bits



Memoria – Registros

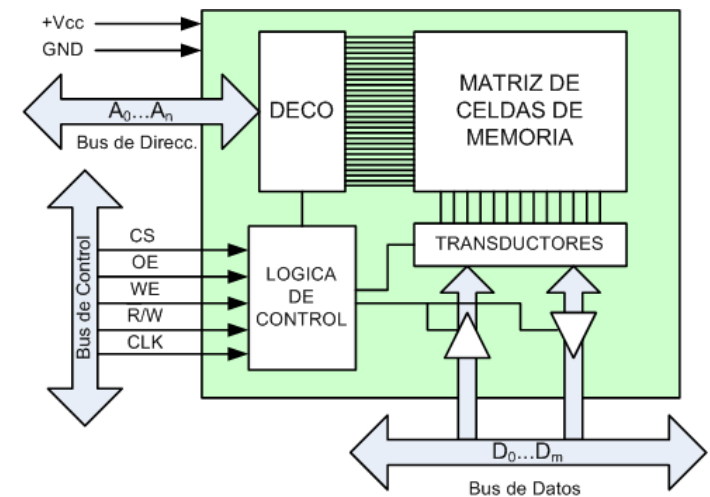
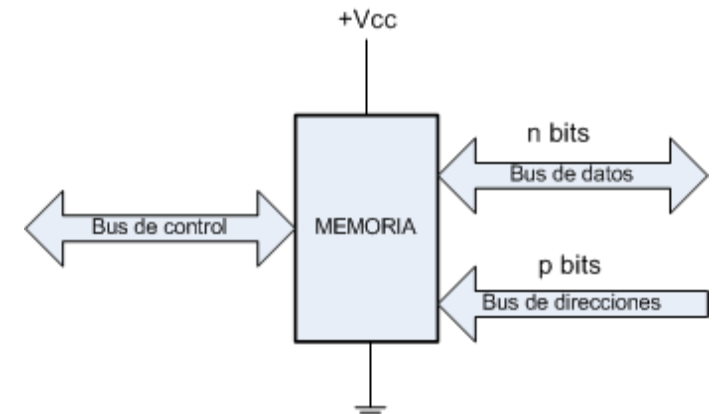
- Registros de rotación
 - Se utilizan registros de desplazamiento en donde se conecta la salida sincrónica a la entrada sincrónica
 - Se pueden leer los datos en cualquier instante



Memoria – Principal

■ Memoria Principal

- Dispositivos rápidos conectados y controlados directamente por la CPU
- Suele estar organizada en base a palabras de n bits
- Se accede a cada palabra de a una por vez y a través de una única dirección (de p bits)
- La información contenida en una palabra puede ser una instrucción o un dato que depende únicamente de la interpretación que realice el dispositivo (o proceso) que la requiera
- Existen memorias “interleaved” para accesos a más de una palabra por ciclo (múltiples accesos)



Memoria – Principal

- Ordenamiento de las palabras

- Little Endian (Intel)

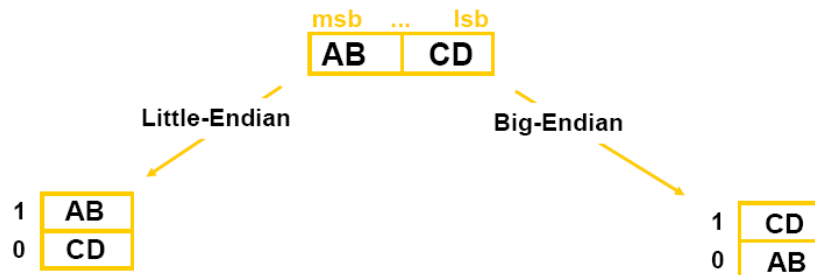
- 10011111 - 11001001

Bit Menos
Significativo
a Derecha

- Big Endian (Motorola)

- 10010011 – 11111001

Ejemplo: El número Hexa de dos bytes \$ABCD, a guardar en el lugar 0:





Memorias

- Características / Tiempos
 - Access Time (Tiempo de Acceso)
 - Desde que se realiza un pedido de lectura hasta que el mismo queda satisfecho.
 - Cycle Time (Tiempo de Ciclo)
 - Desde que se realiza un pedido hasta que se puede realizar el siguiente.
 - Write Time (Tiempo de Escritura)
 - Al escribir un dato, tanto el dato y la dirección donde se escribirá deben estar presentes antes que llegue la señal de escritura (Setup Time)
 - Y deben mantenerse luego que se retire la señal de escritura (Hold Time)
 - Los tiempos de acceso y de ciclo son muy importantes. Un CPU constantemente accede a la Memoria, y esto representa una traba a su velocidad.



Memorias – Tipos

- Memorias SRAM
 - Static RAM: Memoria de lectura/escritura que mantiene sus datos siempre que tenga alimentación.
 - Características
 - Son muy rápidas (devuelven el dato en 1 ns)
 - Muy caras
 - Consume mucha energía
 - Usadas en dispositivos que requieren alta velocidad de operación
 - Memoria caché de microprocesadores
 - Procesamiento digital de imágenes



Memorias – Tipos

- Memorias DRAM

- Dynamic RAM: A diferencia de las SRAM, necesitan un pulso de energía periódico (refresco) para poder mantener los datos.
- Características
 - Más lentas que las SRAM (access time = 16 ns)
 - Más baratas que las SRAM
 - Consumo de energía mucho mas bajo
- Usadas como Memoria Principal en todo sistema con microprocesadores.
- Se convirtieron en el cuello de botella en un sistema moderno (PC).

Memorias – Tipos

■ Memorias SDRAM

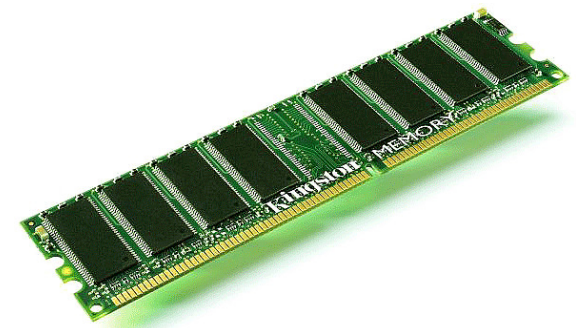
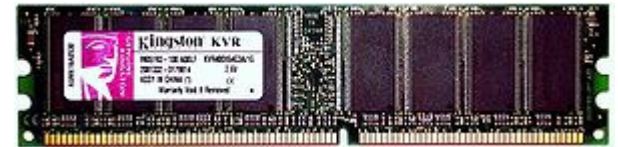
- Synchronous DRAM: Permite el acceso a un bloque de datos que estén en fila, haciendo la transferencia sincronizada.
- Características
 - Permite transferencias en ráfagas (burst)
 - Se envía primero cantidad de datos a transferir
 - Luego la dirección donde se comenzará a almacenar
 - A partir de allí se transfieren varios bytes por ciclo.
 - Incorporan un circuito para hacer el refresco automáticamente haciendo que su velocidad de transferencia de datos sea más alta.
- Muy comunes en las PCs hasta hace un par de años.



Memorias – Tipos

- Memorias DDR DRAM

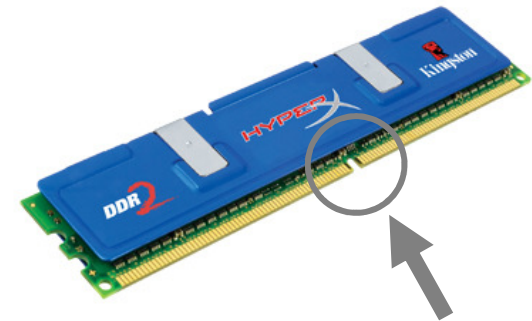
- Double Data Rate: Fabricadas con tecnología SDRAM pero transfieren los datos en ambos flancos del reloj, duplicando la tasa de transferencia
- Trabajan con 2.5V en lugar de los 3.3V con que trabajan las SDRAM
- Adoptadas inicialmente por sistemas equipados con AMD mientras que Intel utilizaba RAMBUS
- Características
 - Poseen además técnicas avanzadas de optimización, que las hacen más veloces
 - Interleaving
 - Pipelining
 - El tiempo de acceso no es siempre igual, el primero dura más.
- Buffer interno de 2 bits (prefetch buffer)
- Velocidades del buffer desde 200 Mhz hasta 400 Mhz
- DIMM de 184 contactos



Memorias – Tipos

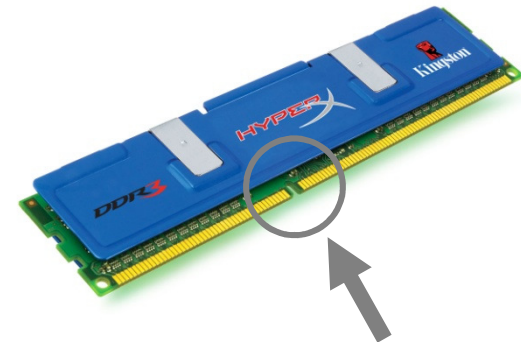
■ Memorias DDR2

- Duplican la velocidad del bus respecto de las DDR (533 MHz a 1 GHz)
- El buffer de prefetch es de 4 bits
- Tensión de trabajo de 1.8V
- DIMM de 240 contactos
- Mayor latencia que las DDR



■ Memorias DDR3

- El buffer de prefetch es de 8 bits
- Velocidad del bus de 800 MHz a 2 GHz
- Tensión de trabajo de 1.5V
- También el módulo DIMM es de 240 contactos pero se modifica la muesca
- Mayor latencia que las DDR2!



Memorias – Tipos

■ FLASH

- Memoria del tipo EEPROM
- Se pueden escribir y borrar varias celdas simultáneamente
- Fabricadas con compuertas
- Barata, rápida (hasta 20 MB/s), de bajo consumo
- Durables: escribir y borrar su contenido una vez por día durante 27 años (Toshiba)





Memorias – Tipos

■ **Ultimos Avances**

■ **XDR**

- Una versión mejorada de la memoria RAMBUS RDRAM (usada en Nintendo 64)
- Permite un ancho de banda mucho más alto que cualquier otra memoria disponible en el mercado.
 - Ideal para placas de video o consolas de videojuegos.
- Es propietaria, hay poca información disponible
- Actualmente se la usa en la PlayStation 3

■ **MRAM**

- Usa discos ferromagnéticos separados por una capa aislante (en lugar de acumulación de cargas eléctricas) para guardar un bit
- Ventajas: Menores tiempos de acceso y menor consumo de potencia
- Desventajas: Menor densidad de integración
- No volátil !!!! (Booteo instantáneo)

■ **Otras Características**

- ECC / NonECC
- Buffered / Unbuffered



Memorias – Clasificación

| Clasificación por | Tipos |
|-----------------------------------------------------------------|----------------------------------------------------------------------------------------------------|
| Método de acceso | Aleatorias Semialeatorias Secuenciales |
| Velocidad / Tiempo de acceso | Memoria interna del proc. (cache) Memoria Principal Memoria Secundaria |
| Según la forma de ubicar la información | Acceso por dirección - RAM Acceso por contenido - CAM |
| Según el espacio de direccionamiento | Memoria Real Memoria Virtual |
| Según la capacidad de modificación de la información almacenada | RAM ROM PROM EPROM |
| Según la perdurabilidad del dato almacenado | DRO (Destructive Read Out) / NDRO Dynamic Storage / Static Volátiles / No volátiles (discos) |



Memorias – Clasificación

- Según el método de acceso
 - Aleatorias (**R**andom **A**ccess **M**emory)
 - Permiten direccionar cualquier posición de la memoria de forma directa e independiente del lugar en donde se encuentre
 - Secuenciales
 - Para acceder a una posición de memoria, debo recorrer la memoria desde el principio
 - Cintas magnéticas
 - Semi-aleatorias
 - Discos floppy, discos duros, CD-ROM



Memorias – Clasificación

- Según su volatilidad

- Volátiles

- Al desconectarlas del suministro eléctrico, se pierde la información

- Estáticas

- Construidas con flip-flops, y éstos con transistores
 - No necesita refresco
 - Consumen más energía
 - Más veloces

- Dinámicas

- Construidas sencillamente con capacitores
 - Alta densidad de integración
 - Necesitan refresco

- No volátiles

- La información permanece aún sin ser energizadas

- ROM
 - PROM
 - EPROM
 - EEPROM

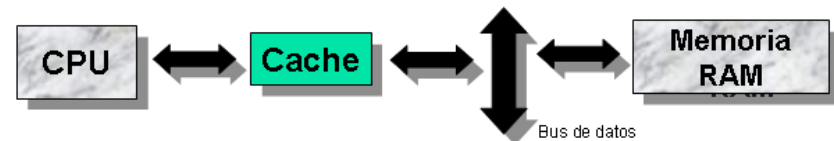
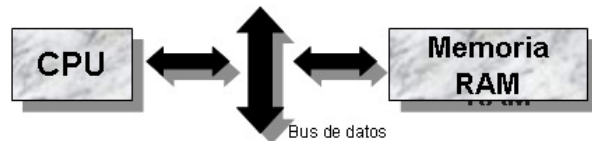
Memorias – Clasificación

- ROM (**R**ead **O**nly **M**emory)
 - La información en ella se graba durante el proceso de fabricación y no se puede alterar
- PROM (**P**rogrammable **R**ead **O**nly **M**emory)
 - El fabricante coloca un diodo en cada celda de memoria, junto con un fusible en serie. De esta manera, en todas las celdas hay guardado un "cero"
 - En donde se necesita guardar un "uno", hay que quemar el fusible. Esto se realiza mediante un programa externo
 - Se programa una sola vez
- EPROM (**E**lectrically **P**rogrammable **R**ead **O**nly **M**emory)
 - Las programa el usuario en forma eléctrica
 - Se borra mediante luz ultravioleta
- EEPROM o E²PROM (**E**lectrically **E**rasable **P**rogrammable **R**ead **O**nly **M**emory)
 - También las programa el usuario en forma eléctrica
 - Se borran de a celda por celda con una tensión eléctrica de polarización invertida



Memoria Cache

- Es una cantidad limitada de memoria de alta velocidad insertada entre el procesador y la memoria principal para mantener una porción del contenido de la memoria principal que está actualmente en uso
- El objetivo es incrementar la performance del sistema CPU ↔ Memoria



- Cuando se requiere acceder a una dirección de memoria, con altísima probabilidad se requerirá acceder a la siguiente → Se “cachean” bloques contiguos de memoria
- Su éxito puede ser atribuido a la propiedad de localidad de referencia
- Acierto (Hit): El procesador encuentra en la memoria Cache la información que busca
- Falla (Miss): El procesador NO encuentra en la memoria Cache la información que busca, debe buscarla en la memoria RAM común



Memoria Cache

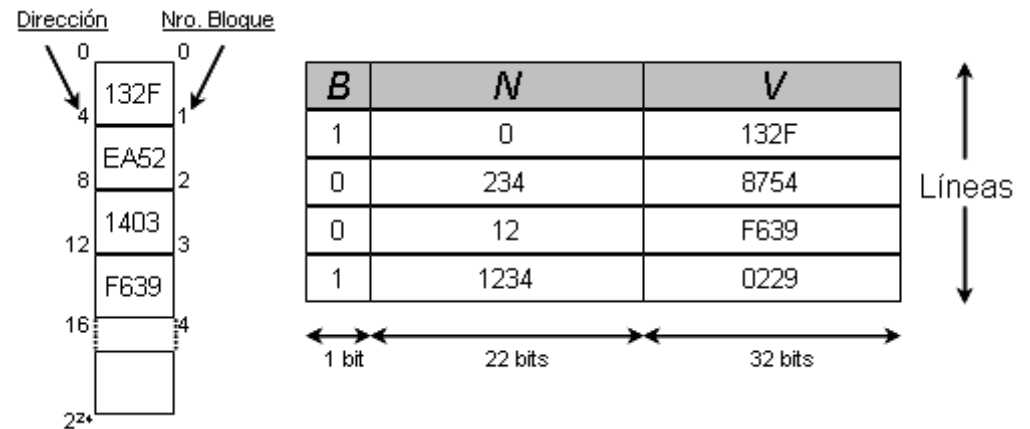
■ Organización

- Indica las reglas para copiar información de la memoria principal a la memoria Cache, como así también las reglas para alojar información nueva cuando la memoria Cache está llena
- Se asumirá:
 - La memoria común tiene una capacidad de 2^m bytes
 - Se la divide en bloques consecutivos de b bytes
 - El tamaño del bloque es una potencia de 2
 - Se tendrá la cantidad de $2^m / b$ bloques
- Existirán tres escenarios
 - Asociativa (Full Associative)
 - Mapeo Directo (Direct Mapping)
 - Asociativa Agrupada (Set Associative) solución de compromiso entre las dos anteriores

Memoria Cache

■ Asociativa

- M cantidad de líneas o renglones
- Cada renglón tiene
 - B = Bit de validez
 - N = N° de bloque
 - V = Valor

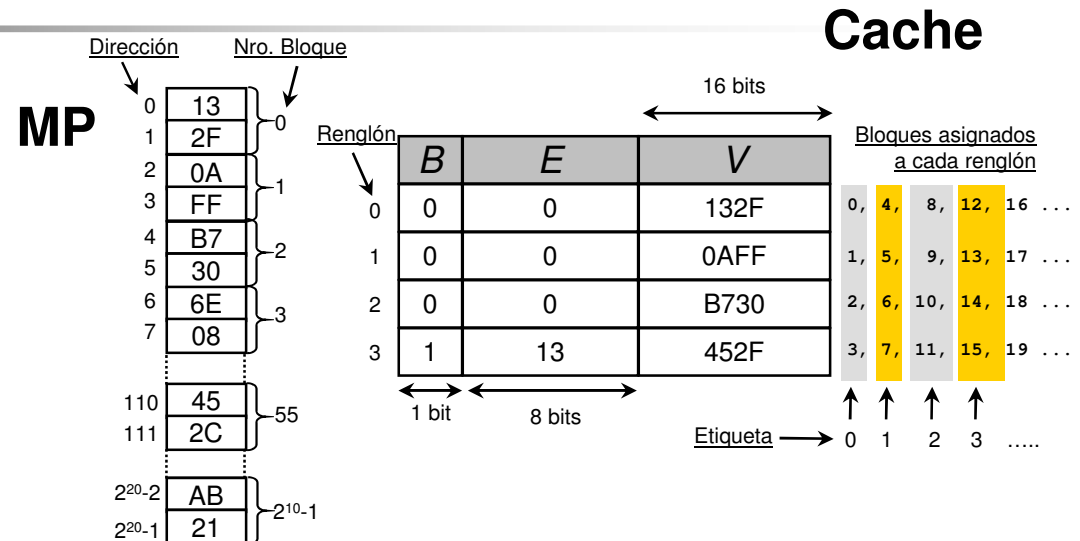


- Los datos de cualquier dirección de memoria común pueden ser almacenados en cualquier dirección de la memoria Cache
- El microcódigo debe
 - calcular el número de bloque
 - buscar ese número de bloque en la Cache
 - Circuitería adicional
 - Mas costosa
- Se necesitan sofisticados algoritmos de búsqueda
- Ofrece la mejor proporción teórica de aciertos

Memorias – Cache

■ Mapeo Directo

- M cantidad de líneas o renglones
- $b = 2$ bytes
- Cada renglón tiene
 - B = Bit de validez
 - E = Etiqueta
 - V = Valor



- Cada bloque tiene asignado un único renglón
 - $N^{\circ} \text{ bloque} = \text{dirección} / 2$
 - $N^{\circ} \text{ de renglón} = N^{\circ} \text{ bloque} \bmod \text{Cantidad de líneas en Cache}$
- No hace falta buscar
- La etiqueta resuelve el problema de mapeo de direcciones con mismo número de renglón
- Son más rápidas y sencillas



Memoria Cache

- Políticas de escritura
 - Determinan como se administrará las escritura de la memoria RAM común con la información contenida en la memoria Cache.
 - Escritura a Memoria (Write-Through Cache)
 - Cuando se modifica la Cache, se modifica la misma información en la memoria principal
 - No tiene problemas de consistencia
 - Beneficioso para procesos de lectura intensiva
 - Retrograbado (Write-Back Cache)
 - Se modifica solamente la Cache
 - Se modifica la información en la memoria principal común cuando se necesita desocupar un bloque de la Cache que tiene información modificada
 - Mas performante que el anterior
 - Beneficioso para procesos de escritura intensiva
 - Es necesario usar 1 bit más para indicar si el renglón de la Cache fue modificado o no – Dirty Bit
- ¿Qué bloque saco para que entre uno nuevo?
 - LRU (Least Recently Used) – RANDOM – FIFO (First-In-First-Out)



Memoria Virtual

- La memoria virtual es una técnica de administración de la memoria real que otorga al usuario un espacio de direcciones mucho mayor que el que proporciona la memoria física (chips de memoria) gracias al uso de unidades de almacenamiento secundarias (discos rígidos)
- Espacio físico = 2^n direcciones, siendo "n" la cantidad de líneas del bus de Address
 - Con 16 bits de address y 8 bits de data $\rightarrow 2^{20} = 1$ Mega direcciones de 1 byte = 1 Megabytes
- Espacio Virtual = 2^p direcciones, siendo $p \gg n$
 - Si $p = 32$ bits \rightarrow La memoria virtual puede direccionar 4 Gigabytes, en el disco rígido

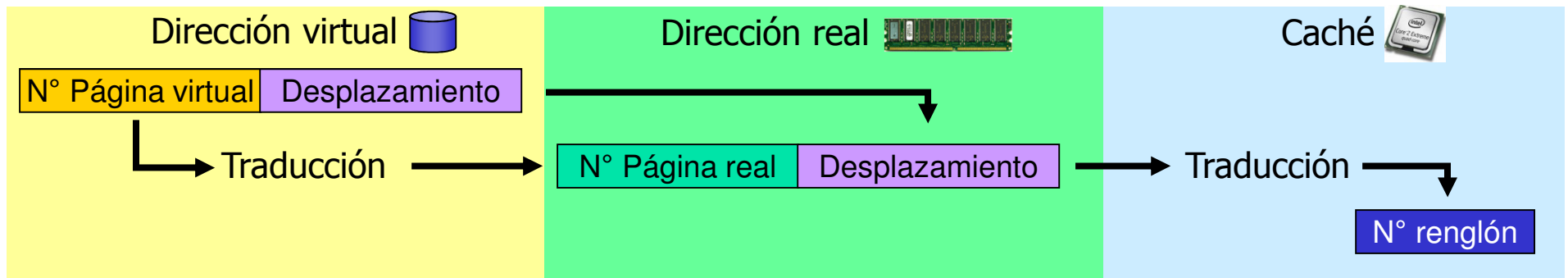


Memoria Virtual

- Siguiendo este ejemplo, solo una porción de los 4 Gb del espacio virtual estarán contenidos en el 1 Mb de RAM (de la misma manera que la memoria caché contiene solo una porción de la memoria RAM)
- El sistema operativo define el espacio virtual de memoria
- Cuando el sistema operativo carga un programa en memoria, lo aloca en el espacio virtual
- El software direccionará a posiciones de memoria que existen en el espacio virtual, pero dicho contenido no puede accederse directamente al disco ya que la CPU trabaja con la memoria principal → Necesito traer la porción de memoria virtual a la memoria RAM! Esas porciones son páginas
- El 80386 poseía 32 bits de Address → Direccionaba 4 Gb reales. Su unidad de gestión de memoria virtual permitía direcciones de 42 bits → Direccionaba 4 Tb virtuales!!!

Memoria Virtual

- Entonces, tengo que traducir la dirección virtual del programa en una dirección real en RAM
- Como en la técnica de memoria caché, existen algoritmos para la organización de las páginas que entran y salen de RAM
- Se requiere de una Unidad de Gestión de Memoria (Memory Management Unit MMU)





Memoria Paginada y Segmentada

- Paginación de memoria
 - División del espacio de memoria en pequeños bloques (2 ó 4 Kbytes por ejemplo)
- Segmentación de memoria
 - Cada aplicación ocupa en memoria un segmento distinto
 - Cada segmento está dividido en un número entero de páginas
- Características
 - Se gestionan páginas entre los distintos espacios de memoria
 - Se desperdicia solo el remanente no utilizado de la última página del segmento de cada programa
 - En la memoria caché, tendré un número limitado de páginas que pueden pertenecer a diferentes segmentos o programas que estoy ejecutando!!!!
 - La gestión de páginas introduce una demora en los accesos desde la CPU a la memoria



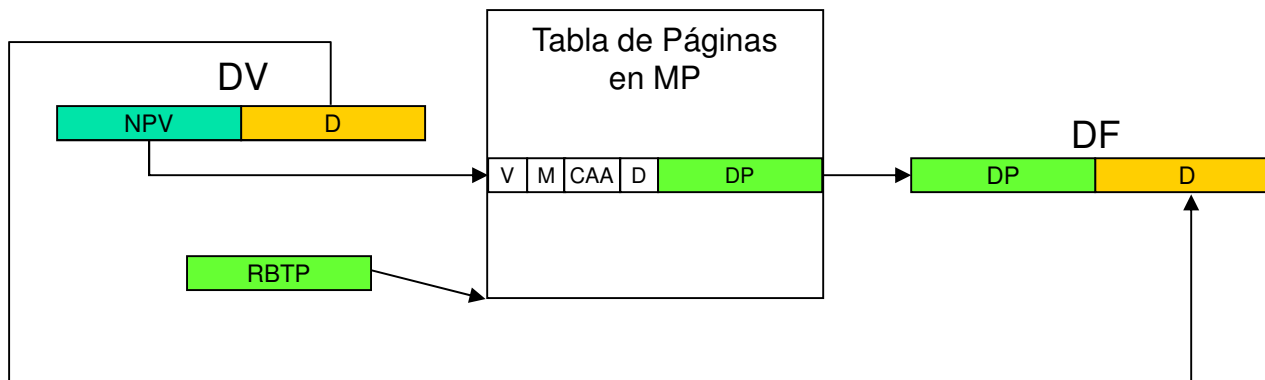
Memoria Paginada y Segmentada

- La memoria virtual estará organizada en **segmentos paginados**
- Existen algoritmos para la administración de los segmentos paginados:
 - FIFO (First-In-First-Out): Se descarta la que primero entró
 - LRU (Last-Recently-Used): Se descarta la que se usó últimamente
 - LIFO (Last-In-First-Out): Se descarta la última que entró
 - LFU (Least-Frequently-Used): Se descarta la que menos se usó
 - RAND (Random): Se descarta una fracción de MP al azar

Memoria Paginada y Segmentada

- Paginación de memoria

- Dirección Virtual [DV] = N° pág. virtual [NPV] + desplazamiento [D]
- DV → Tabla de Páginas [TP] → Dirección Física [DF] (+ otros datos)
- RBTP = Registro base de la Tabla de Páginas



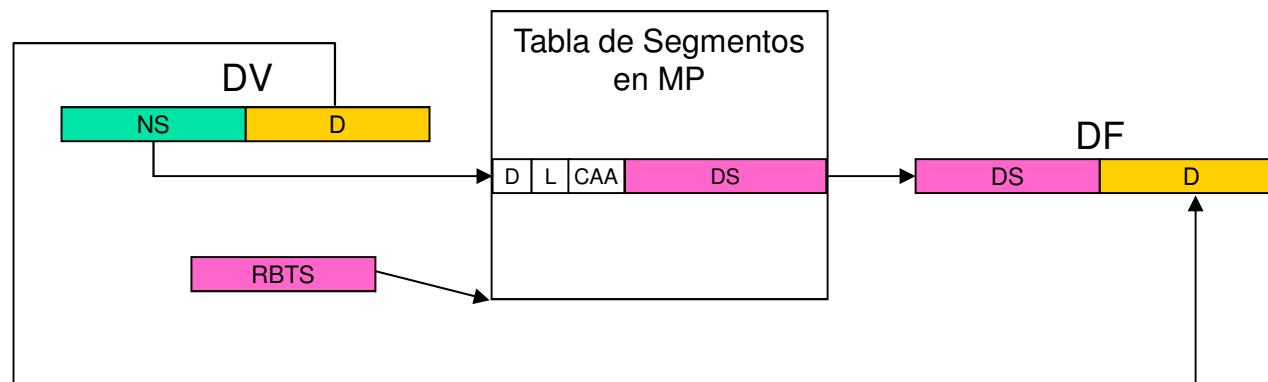
- Entrada de la Tabla de Páginas

- V (Validación): 1 = Existe la página en MP
- M (Modificación): 1 = El contenido fue modificado
- CAA (Código de Acceso y Autorización): Leer/Escribir/Ejecutar
- D (Memoria / Disco): D=1 en memoria. D=0 → Page fault
- DP (Dirección de página): ídem, depende de D

Memoria Paginada y Segmentada

- Segmentación de memoria

- Dirección Virtual [DV] = N° de segmento [NSV] + desplazamiento [D]
- DV → Tabla de Segmentos [TS] → Dirección Física [DF] (+ otros datos)
- RBTS = Registro base de la Tabla de Segmentos

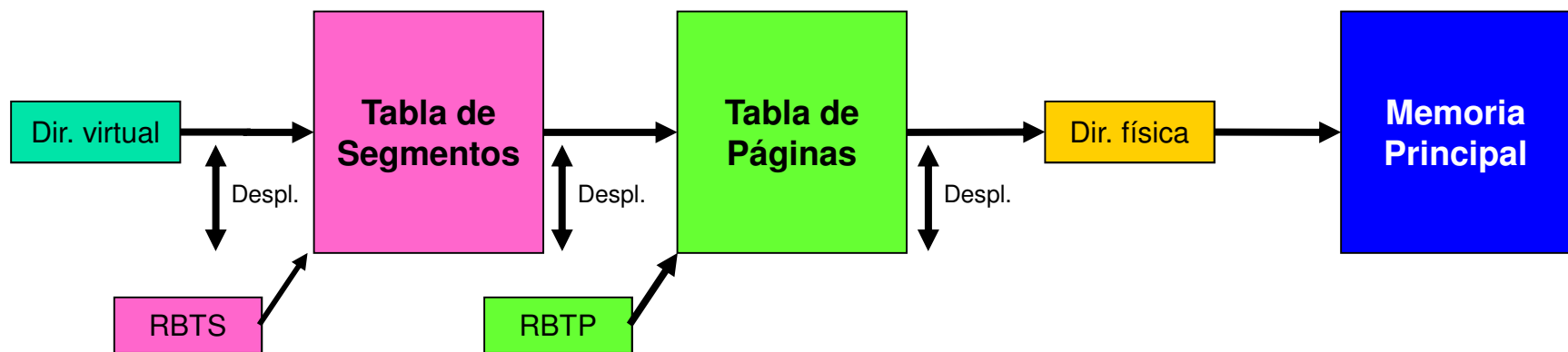


- Entrada de la Tabla de Segmentos

- CAA (Código de Acceso y Autorización): Leer/Escribir/Ejecutar
- L (longitud): Longitud del segmento
- DS (Dirección Segmento): Idem, depende de D

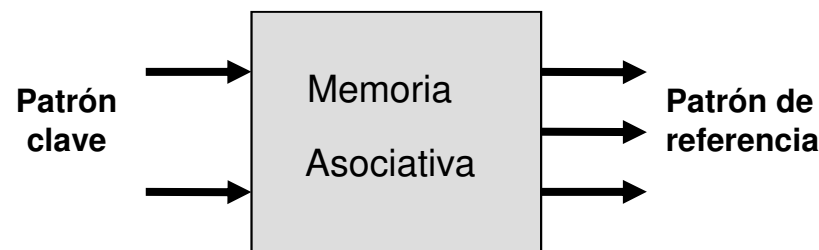
Memoria Paginada y Segmentada

- Memoria con segmentos paginados



Memorias Asociativas

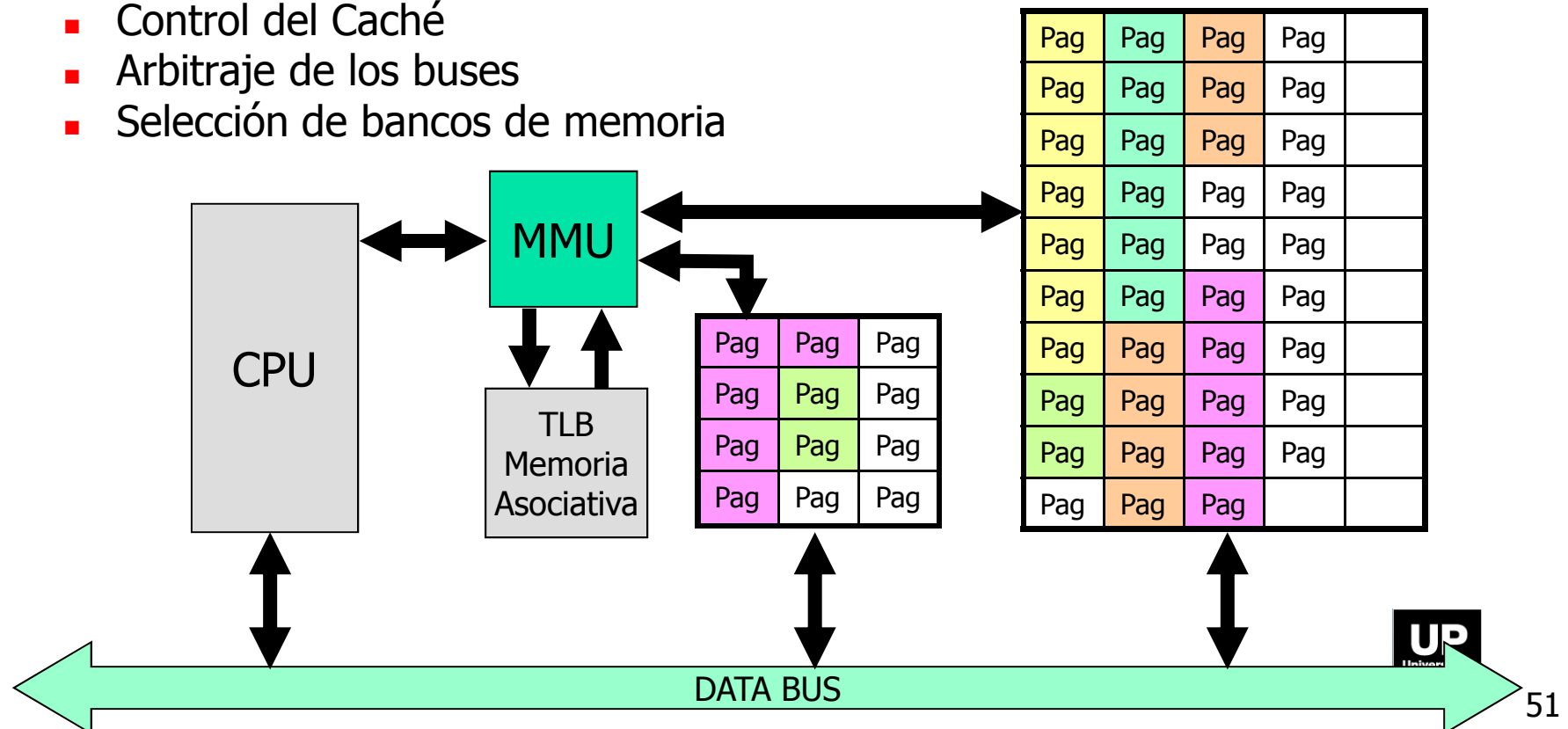
- Dispositivo para almacenar información que permite recuperarla basándose sólo en un conocimiento parcial de su contenido y no en el lugar de su almacenamiento
- La recuperación de la información se consigue según el grado de similitud entre el patrón de entrada (clave) y los patrones memorizados (referencias)
- Se proporciona el contenido y la memoria devuelve la o las direcciones en donde se encontró el contenido, a veces junto con el contenido encontrado y en algunas otras veces, con otros datos adicionales



- Se utilizan en switches para mapear IPs a Mac Address y en routers para las tablas internas de ruteo

Unidad de Gestión de Memoria - MMU

- Encargada de gestionar el acceso a memoria que requiere la CPU
- Incluye:
 - Traducir las direcciones virtuales en físicas
 - Protección de memoria
 - Control del Caché
 - Arbitraje de los buses
 - Selección de bancos de memoria





Unidad de Gestión de Memoria - MMU

- Traducción de direcciones virtuales
 - Utiliza una memoria asociativa que guarda las últimas “m” traducciones → TLB (Translation Lookaside Buffer)
 - Busca en la TLB si la página virtual fue traducida anteriormente:
 - Page fault: calcula el número de página real a partir del número de página virtual en hardware. Guarda la traducción en la TLB
 - Page hit: obtiene el número de página real guardado
- Protección de memoria
 - Gestiona espacios de memoria que el sistema operativo reserva exclusivamente para cada proceso (o programa)
 - Si un proceso no autorizado intenta acceder a una dirección protegida → La MMU retorna un “page fault”
 - La protección puede implementarse a través de direcciones reales (IBM System360) o virtuales (Intel Itanium, HP PA Risk)

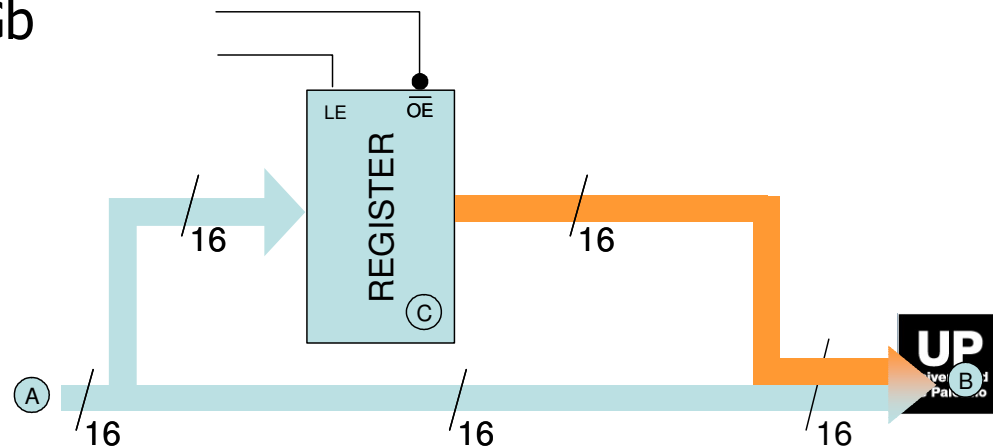
Unidad de Gestión de Memoria - MMU

■ Arbitraje de los bus

- Provee un protocolo de comunicaciones para que no se produzcan colisiones de datos cuando más de un dispositivo quiere escribir un dato en el Data bus

■ Selección de bancos de memoria

- Permite extender la capacidad de direccionamiento de una CPU
- Si una CPU tiene 16 bits de Address y 1 byte de Data → Direcciona 64 Kb
- Si guardo en un registro los 16 bits de Address y luego presento otros 16 bits, si sumo ambas cantidades, podré direccionar con 32 bits!! → Direccionaré 4 Gb
- A = 16 bits de address
- B = 32 bits de address
- C = Latch/Registro





Microprocesadores

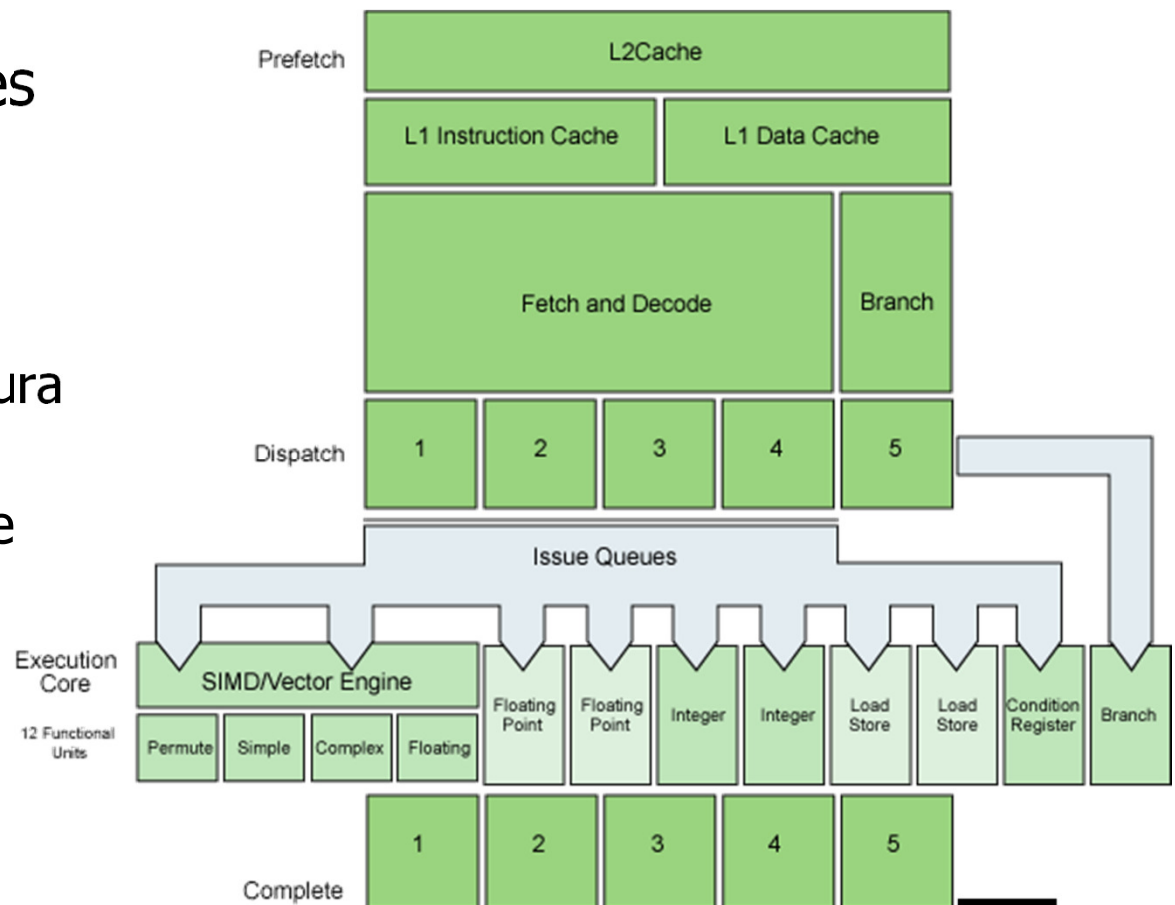


Procesadores Superescalares

- Su microarquitectura de procesador capaz de ejecutar más de una instrucción por ciclo de reloj (MIMD)
- Se basan en Pipelines (secuencia de etapas o unidades funcionales para el procesamiento de instrucciones) que ejecutan más de una instrucción a la vez. Las etapas son:
 - Lectura (fetch).
 - Decodificación (decode).
 - Lanzamiento (dispatch).
 - Ejecución (execute).
 - Escritura (writeback).
 - Finalización (retirement).
- El *grado* de una etapa indica la cantidad de instrucciones que procesa en un mismo ciclo. Por ejemplo grado 4 en lectura (*fetching*) indica que estará leyendo 4 instrucciones

Procesadores Superescalares

- Un superescalar suele tener múltiples unidades como las siguientes:
 - Unidad aritmético lógica (ALU)
 - Unidad de lectura/escritura en memoria (LSU)
 - Unidad de punto flotante (FPU)
 - Unidad de salto (BU)
 - Entre otras...
- Ejemplo: PowerPC G5





Familia Intel

- 4 bits
 - 4004/4040
- 8 bits
 - 8008/8080/8085
- 16 bits (x86)
 - 8086/8088/80186
 - 80188/80286
- 32 bits
 - 80386 (DX, SX, SL, EX)
 - 80486 (DX, SX, DX2, SL, DX4)
- P5
 - Pentium
 - Pentium con MMX
- P6 – Pentium M Microarq.
 - Pentium Pro
 - Pentium II
 - Celeron (Pentium)
 - Pentium III
 - Pentium II y III Xeon
 - Celeron (Pentium III Coppermine)
 - Celeron (Pentium III Tualatin)
 - Pentium M
 - Celeron M
 - Intel Core
 - Dual-Core Xeon LV



Familia Intel

- 32 bits – NetBurst microarq.
 - Pentium 4
 - Xeon
 - Mobile Pentium 4-M
 - Pentium 4 EE
 - Pentium 4E
 - Pentium 4F
- 32 bits
 - Atom
- 64 bits – NetBurst microarq.
 - Pentium 4F
 - Pentium D
 - Pentium Extreme Edition
 - Xeon
- 64 bits IA-64
 - Itanium
 - Itanium 2
- 64 bits – Core microarq.
 - Xeon
 - Core 2
 - Pentium Dual Core
 - Celeron
 - Celeron M
- 64 bits – Nehalem microarq.
 - Intel Pentium
 - Core i3
 - Core i5
 - Core i7
 - Xeon

Familia Intel

■ Microprocesadores Pentium

■ Pentium (1993)

- Velocidad inicial: 60 a 66 MHz
- Memoria caché interna de 8 KB para datos y 8 KB para instrucciones.
- Procesador dual: Ejecución simultánea de dos instrucciones no dependientes entre si (tecnología superescalar)
- Dos unidades aritméticas enteras (IU), una unidad de punto flotante interna (FPU) pero 5 veces más rápida

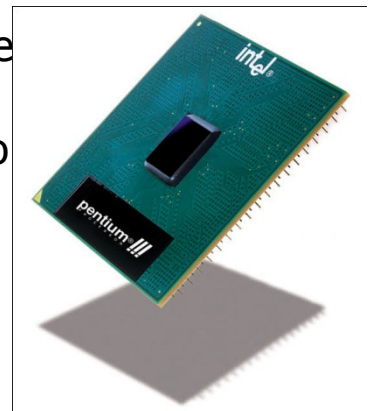
■ Pentium Pro (1995)

- 21 millones de transistores, 3 IU y 1 FPU
- Caché interna de nivel 1 de 16 Kbytes y caché de nivel 2 de 256 Kbytes
- Capaz de ejecutar hasta 3 instrucciones simultáneas no dependientes
- 64 Gbytes de direccionamiento.



Familia Intel

- Pentium II (1997)
 - Memoria caché duplicada
 - Trabaja a la mitad de frecuencia del anterior
 - Instrucciones MMX.
 - Innovación: Encapsulado SEC con forma de cartucho (disipa mejor el calor)
- Pentium III (1999)
 - Introduce instrucciones SSE
 - Versiones
 - “**Katmai**”: Controlador de cache L1 mejorado; modelos de hasta 600 Mhz.
 - “**Coppermine**”: Memoria cache L2 integrada; rendimiento mejorado, alcanzaba hasta 1 GHz.
 - “**Tualatin**”(“Pentium III – S”): Con 512 kb de memoria caché L2 llegaban a velocidades de 1.4 GHz.



Familia Intel

- Pentium 4 (2000)
 - Procesador de séptima generación.
 - Mayor cantidad de ciclos por segundo; mejoras en las instrucciones SSE e Hyper-Threading.
 - Versiones: **Northwood**, **Extreme Edition**, **Prescott** y **Cedar Mill**.
 - Implementa nuevas instrucciones manteniendo la compatibilidad x86.
 - Excesivo consumo de energía y producción de calor en los más veloces.
- Pentium M (2003)
 - Consumo de energía y producción de calor optimizados.
 - Diseñados para correr en computadoras portátiles.
 - Arquitectura basada en la del Pentium III.
 - Conocido como "**Banias**"; primera versión de la plataforma **Centrino** llamada "Carmel", con el chipset 855 de Intel, conocido como "Odem".





Familia Intel

- Pentium D (2005)
 - Dos procesadores P4, de núcleo Prescott.
 - Tecnología DRM (administración de derechos digitales).
 - 13 versiones existentes.
 - 8 de ellas poseen 2 núcleos Cedar Mill conformando el Core Presler.
 - 2 Mb de memoria caché L2 para cada núcleo.

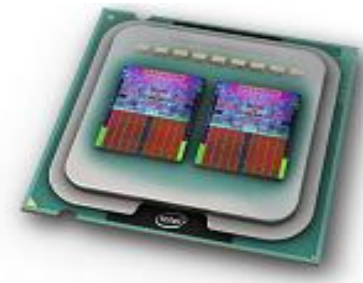
■ La era de los Core

- Core Solo (2006)
 - Nueva arquitectura basada en el Pentium M.
 - Instrucciones SSE3
 - 2MB de memoria caché compartidos entre ambos núcleos.
 - Bus frontal de hasta 667 Mhz y clock de hasta 2.5Ghz.
 - Primeros micros de Intel usados en computadoras de Apple.

Familia Intel

- Core 2 Duo (2006)

- Acceso inteligente a memoria
- Optimiza el ancho de banda de datos
- Arquitectura evolucionada
- Pipeline de 14 etapas
- Tres ALU's, cuatro FPU's y tres unidades SSE de 128 bits.



- Core 2 Quad

- Cuatro núcleos: dos procesadores Core 2 Duo en la misma pieza de silicio, conectados al mismo bus y compartiendo la memoria caché.
- Alto consumo de energía
- Fabricación de 45 nm.



Familia Intel

- Atom
 - Consumo de energía reducido.
 - Destinado a computadoras portátiles.
 - Fabricación de 45 nm.
- Core i7
 - Reemplaza el FSB por QuickPort
 - Hyper-threading
 - Memorias de 3 canales (DDR3)
 - Fabricación de 45 nm.

