

Esercizio 2: Verilog

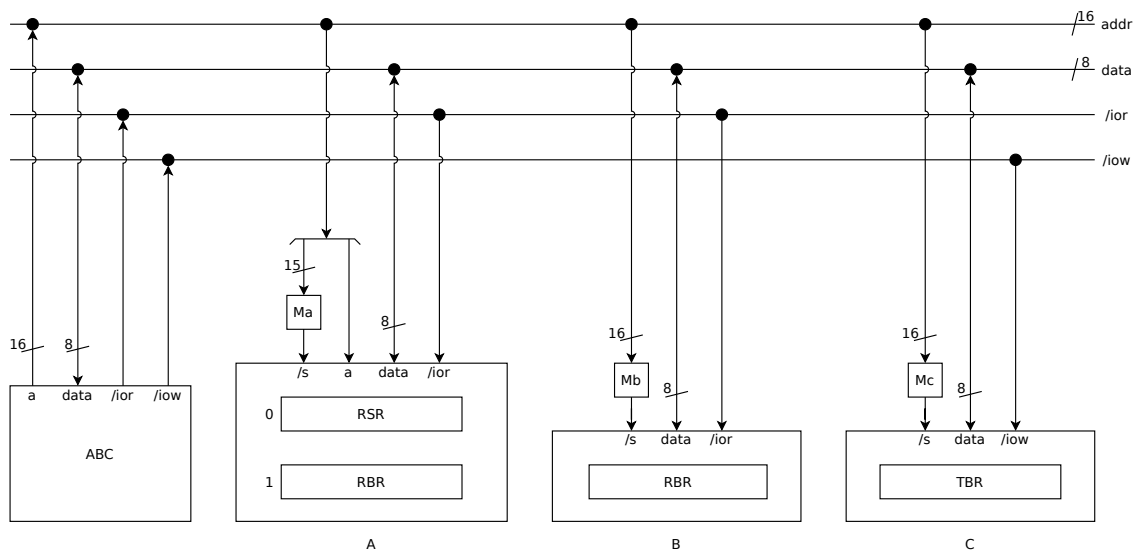


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è connesso ad un bus sul quale sono montate, nello spazio di I/O,

- l'interfaccia parallela di ingresso con handshake A all'offset 0x0100
- l'interfaccia parallela di ingresso senza handshake B all'offset 0x0120
- l'interfaccia parallela di uscita senza handshake C all'offset 0x0140

Il modulo a regime compie ciclicamente, impiegando esattamente 16 periodi clock, le seguenti azioni:

- Legge un byte dall'interfaccia B e lo moltiplica per l'ultimo byte letto dall'interfaccia A, interpretando entrambi i byte come rappresentazioni di numeri naturali
- Emette i due byte che rappresentano il prodotto (a partire dal più significativo) tramite l'interfaccia C
- Verifica se c'è un nuovo byte nell'interfaccia A, e se c'è lo legge

Note:

- L'interfaccia procede sempre e comunque con un periodo di esattamente 16 periodi di clock
- La presenza di un byte in A è verificata una sola volta in ciascun periodo di 16 cicli di clock
- La prima volta, si assuma che l'ultimo byte letto dall'interfaccia A sia stato 0x00
- Nell'interfaccia A il registro RSR è montato all'indirizzo interno 0 e quello RBR all'indirizzo interno 1. Il flag FI è alla posizione 0 dell'opportuno registro
- Si assuma che il ciclo di lettura dalle interfacce non richieda stati di wait
- Si utilizzi, per il calcolo del prodotto, l'operatore Verilog *

Descrivere e sintetizzare, come circuito con parte operativa e parte controllo, il modulo ABC. Non è consentito l'uso di microsalti a più di due vie o del registro MJR.