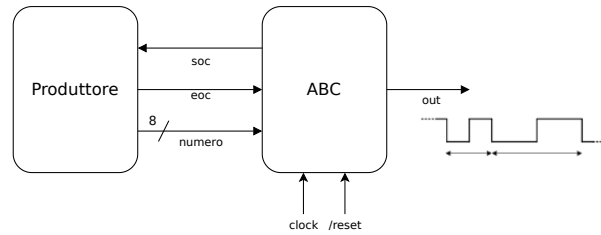


18 Febbraio 2020 - Esercizio 2



Descrivere in Verilog l'Unità ABC in modo che la variabile di uscita *out* stia a 1 per un tempo pari a quello in cui è stata precedentemente a 0 e la durata in cui starà di nuovo a 0 dipenda dal numero che ABC preleva dal Produttore mentre *out* era a 1.

Più precisamente l'Unità ABC si evolve all'infinito nel seguente modo:

1. In una prima fase tiene *out* a 0 per un numero di clock pari all'ultimo numero che essa ha prelevato dal Produttore;
2. Entra quindi in una seconda fase in cui tiene *out* a 1 per uno stesso numero di clock. Mentre è in corso questa seconda fase, preleva anche dal Produttore un nuovo numero;
3. Torna al punto 1;

Si supponga che:

- Il Produttore emetta numeri abbastanza grandi (≥ 6) e sia rapido cosicché l'handshake con ABC si concluda nel corso della seconda fase e termini sempre prima che essa termini (senza che si creino problemi a nessuno, di nessun tipo e per nessuna ragione).
- Al reset iniziale ABC ritenga di aver prelevato un numero uguale a 6.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.