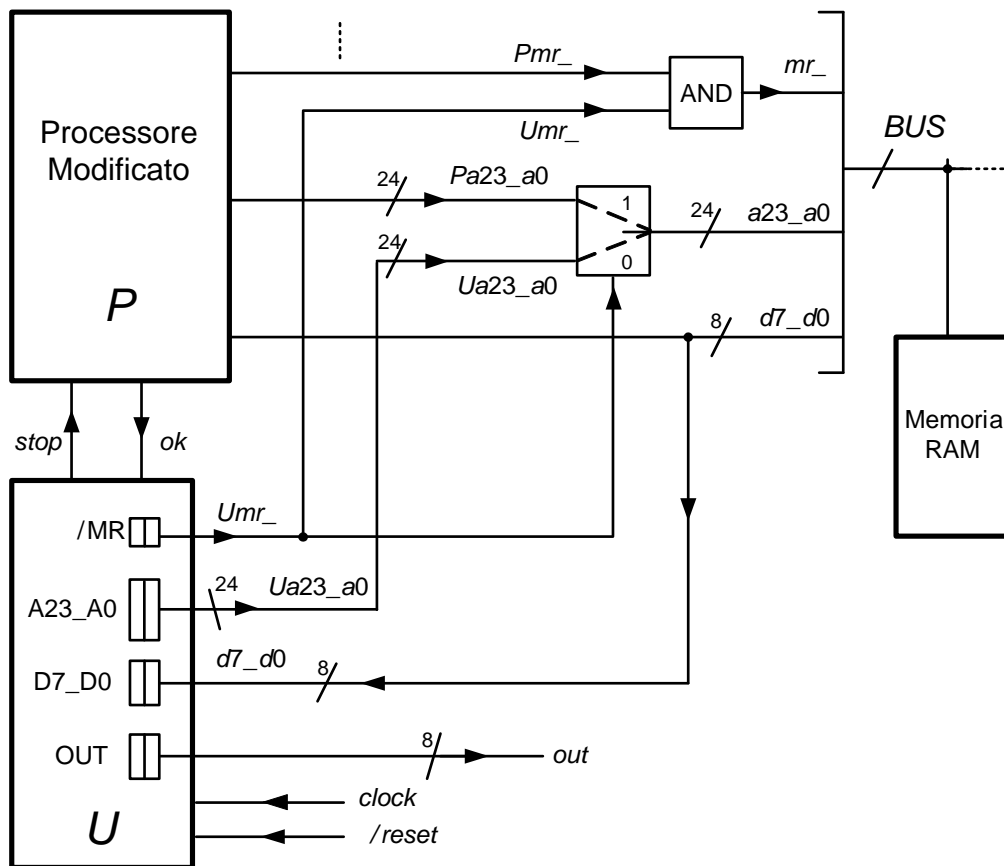


## Esercizio 1

Dato un numero intero  $a \in [-50; +49]$

- 1) Individuare il numero minimo di cifre  $n_{10}$  ed  $n_2$  su cui  $a$  è rappresentabile in complemento alla radice in base 10 e in base 2.
- 2) Siano  $A_{10}$  ed  $A_2$  le rappresentazioni in CR di  $a$  in base dieci e due, su  $n_{10}$  ed  $n_2$  cifre, ed  $\alpha_{n_{10}-1}, \dots, \alpha_0$  le cifre di  $A_{10}$ . Esprimere la relazione algebrica che lega  $A_2$  alle cifre in base dieci,  $A_2 = f(\alpha_{n_{10}-1}, \dots, \alpha_0)$ .
- 3) Basandosi sul risultato del punto precedente, sintetizzare un circuito che ha in ingresso le cifre di  $A_{10}$  ed in uscita quelle di  $A_2$ .

## Esercizio 2



Al Processore visto a lezione sono state aggiunte la variabile di ingresso  $stop$  e la variabile di uscita  $ok$  (inizializzata a 0 al reset), aventi le seguenti funzioni: quando  $stop$  viene messo a 1 dall'Unità  $U$ , il Processore, entro un tempo inferiore alla decina di cicli di clock ma non noto a priori, cessa di compiere qualunque azione e pone  $ok$  a 1. Quando l'Unità  $U$  riporta  $stop$  a 0, il Processore, entro un tempo inferiore alla decina di cicli di clock ma non noto a priori, pone  $ok$  a 0 e riprende la sua normale evoluzione.

Descrivere l'Unità  $U$  in modo all'infinito emetta, uno dopo l'altro, i byte che si trovano in memoria a partire dall'indirizzo 0. I byte debbono essere emessi tramite la variabile  $out$  e ogni byte deve permanere pe 100 cicli di clock, ma il Processore deve essere bloccato per il minimo tempo possibile. Si supponga la memoria sufficientemente veloce da non dover inserire stati di wait. Non si cambino i nomi delle variabili e dei registri indicati in figura. Disegnare il circuito della parte operativa relativo al registro OUT.