 UTN.BA <small>UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES</small>	Ingeniería en Electrónica Técnicas Digitales I	3er parcial	Hoja 1/ ...
		Fecha: 22/11/16	
Apellido y nombre:	Leg.:	Calific.:	
Tiempo asignado al examen: 3 horas La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra invalida la resolución salvo que sea inherente y no pueda ser eliminada.			Firma del Docente

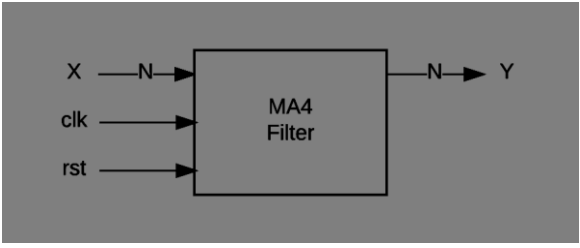
Problema 1

El filtro de media móvil es el más común de los filtros utilizados en el procesamiento digital de señales, principalmente por su sencillez al momento de su entendimiento e implementación. Más allá de su simpleza, el filtro de media móvil resulta óptimo para reducir ruido aleatorio conservando una adecuada respuesta al escalón, lo cual lo hace un excelente filtro para señales codificadas en el dominio temporal. Sin embargo, el filtro de media móvil, no resulta adecuado para el filtrado de señales codificadas en frecuencias, pues su respuesta como filtro pasa-bajos es realmente pobre.

El filtro de media móvil *funciona promediando un determinado número M de muestras* de entrada para producir una *única salida* a partir de ellas. En términos matemáticos, sea $\mathbf{x[n]}$ la n -ésima muestra de la señal de entrada y sea $\mathbf{y[n]}$ la n -ésima muestra de salida, esta última se obtiene según

$$y[n] = \frac{1}{M} \sum_{i=0}^{M-1} x[n-i]$$

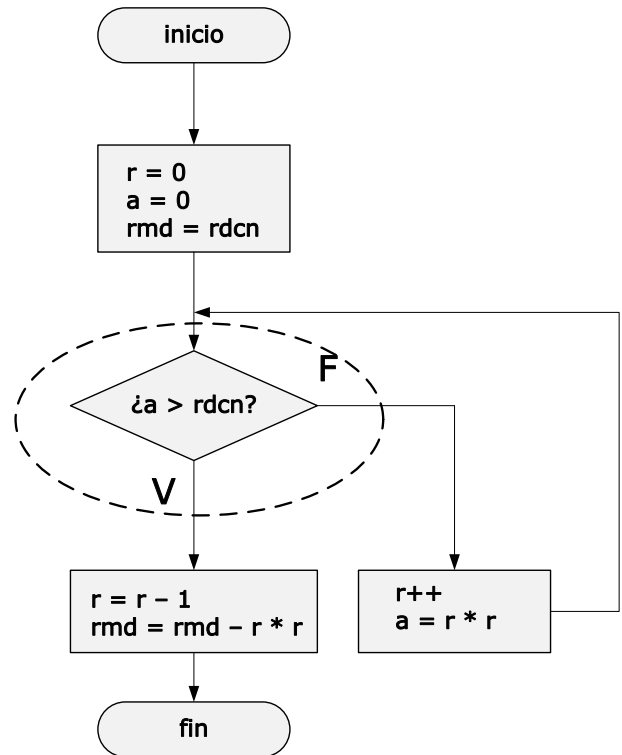
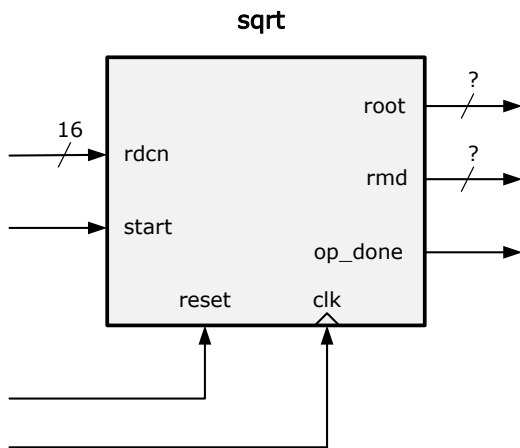
a) Diseñe un circuito digital síncrono a nivel RTL que implemente un filtro de media móvil basado en la ecuación anterior con $M=4$, es decir

$y[n] = \frac{1}{M} \sum_{i=0}^{M-1} x[n-i]$ $y[n] = \frac{1}{4} \sum_{i=0}^3 x[n-i]$ $y[n] = \frac{1}{4} (x[n] + x[n-1] + x[n-2] + x[n-3])$	 <p>Entidad sugerida</p>
--	---

b) Describa el diseño realizado en el punto **a)** en lenguaje VHDL. Podrá solicitarle al docente un testbench y comprobar mediante una simulación si el circuito descripto hace lo esperado. No es obligatorio correr una simulación.

Nota: Pequeñas discrepancias entre el diseño a nivel RTL y la descripción VHDL serán aceptadas, en la medida que éstas sean producto de alguna limitación del lenguaje o bien producto de alguna facilidad que el lenguaje le ofrezca para describir de forma más simple y mantenible su código.

2) Diseñe un circuito capaz de extraer la raíz cuadrada de una magnitud de 16 bits llamada desde ahora radicando. El resultado comprende la raíz en sí misma y el resto, dado que consideramos números sin parte fraccionaria. Forma parte de la tarea de diseño determinar la longitud de palabra de la raíz y el resto. El siguiente gráfico le indica los nombres de las entradas y salidas del circuito, y el de la entidad



Desarrolle el diseño siguiendo estos pasos

a) Evalúe los valores extremos que puede adoptar la raíz cuadrada y el resto. Dimensione la longitud de palabra de estos vectores de salida.

b) Identifique las variables del diagrama de flujo. Considerando que ambas se implementarán con registros, dimensione sus longitudes de palabra.

c) Transforme el diagrama de flujo en un diagrama de estados. Incluya las señales de comando y status externo.

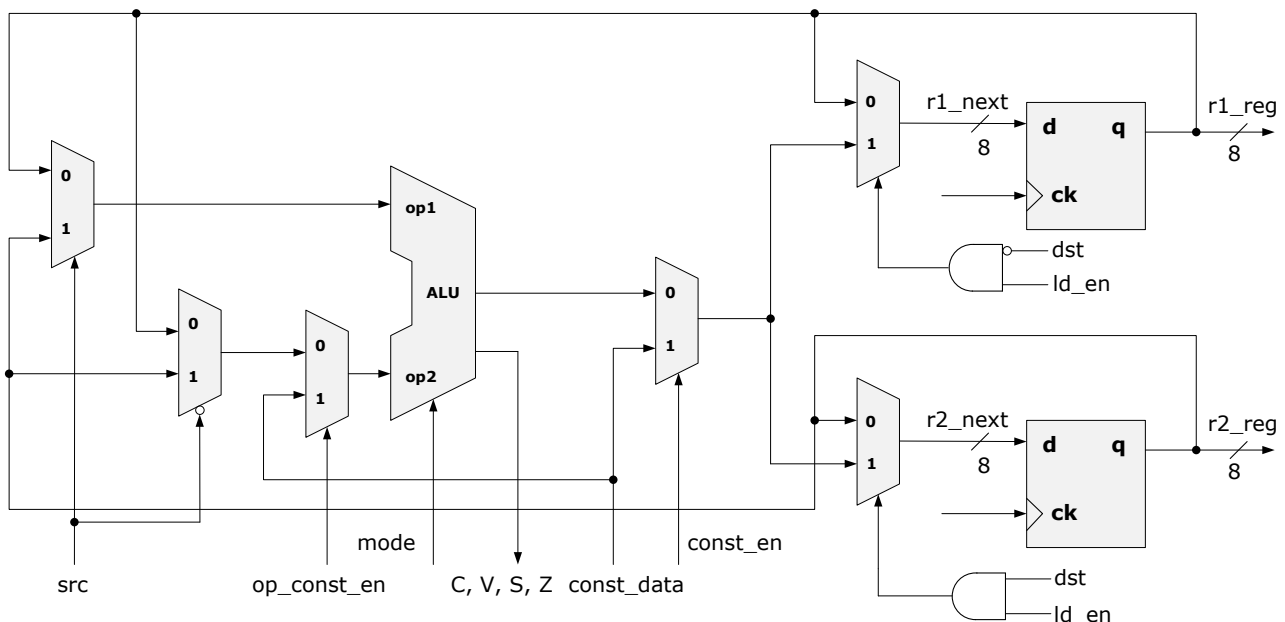
d) Realice tablas de transición (estado futuro en función del estado presente y otras señales) del registro de estado y los registros de datos encontrados en el punto **b**).

e) Con la información obtenida en los puntos anteriores confeccione un diagrama RTL del circuito completo.

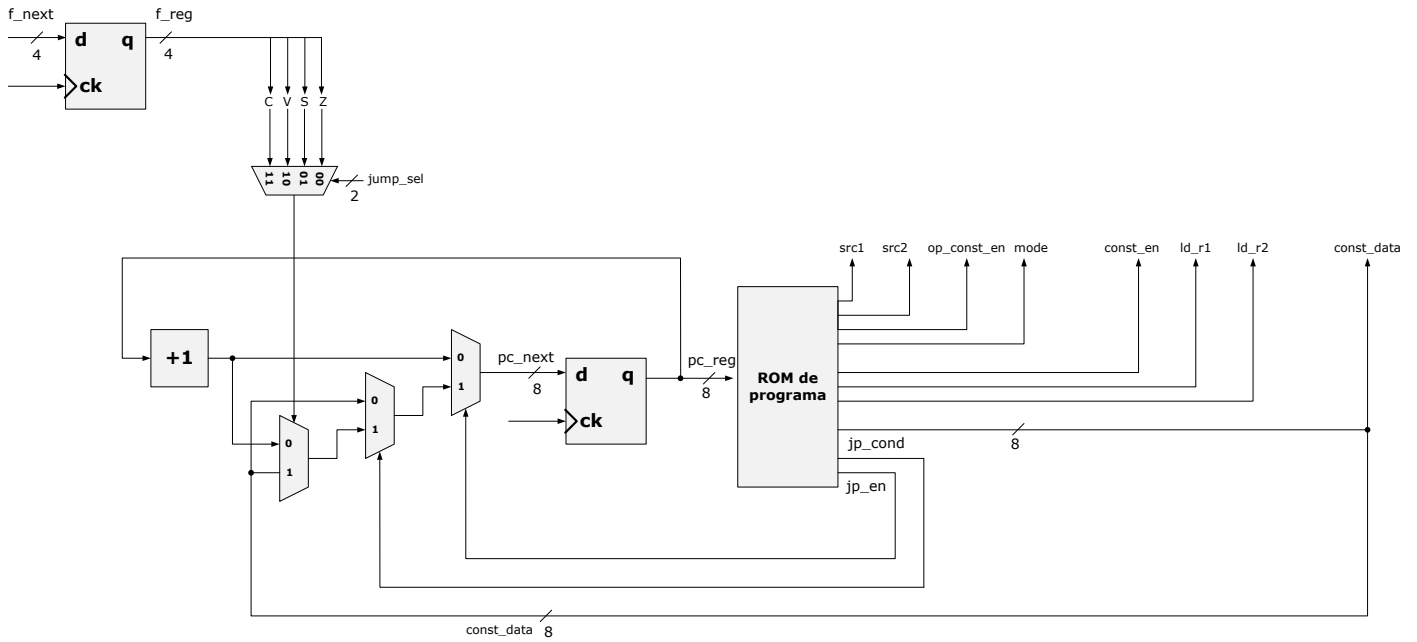
f) Codifique en VHDL el circuito completo e ingréselo en la herramienta ISE/Quartus asignada por el docente. Respete a rajatabla los nombres de entradas, salidas y registros.

g) Realice la simulación en la herramienta de CAD usada en el punto anterior y el testbench suministrado por el docente. Compruebe que el circuito funciona para todos los estímulos de entrada aplicados por el testbench.

3) El circuito corresponde al datapath de un microprocesador



y su unidad de control es



Por simplicidad, los circuitos que generan algunas señales de control (**ld_en**, **dst**) no están ilustrados.

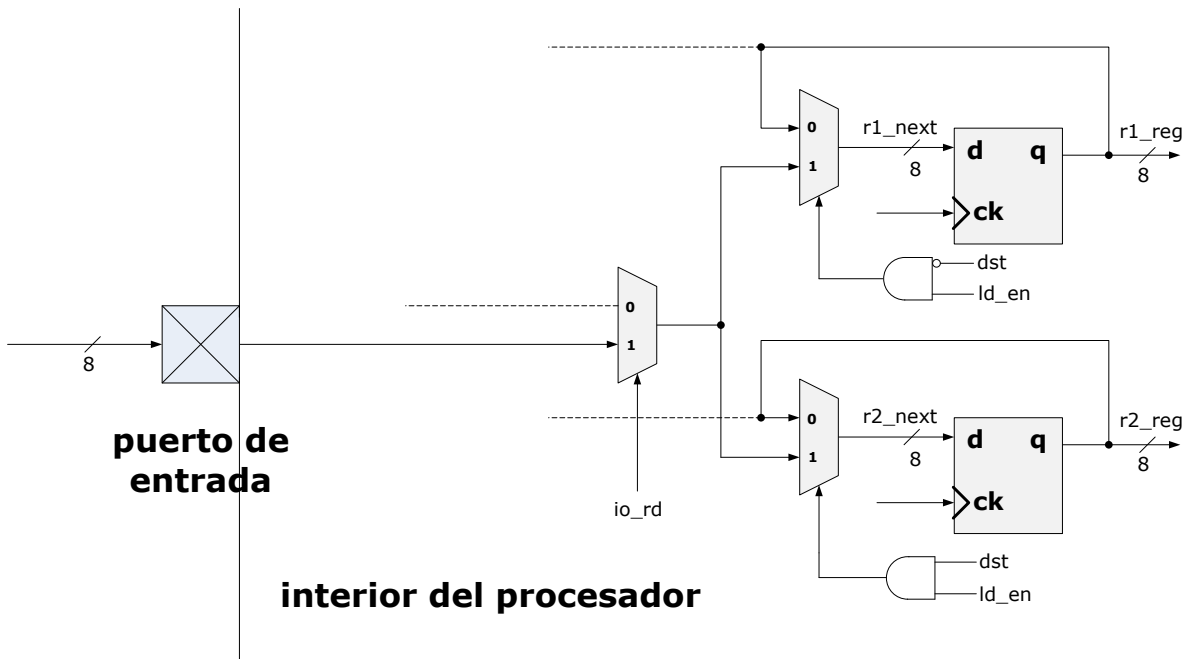
Realice sobre la unidad de control los cambios que considere adecuados, y si es necesario en el datapath también, para construir las instrucciones

DJNZ R1, address

DJNZ R2, address

Donde *address* es una constante y el mnemónico **DJNZ** significa *Decrement and Jump if Non Zero*. ¡Tenga precaución, estas instrucciones deben ejecutarse en un ciclo de reloj! Exprese el valor que debe tener la palabra de control *completa* para ejecutar esta instrucción.

Luego considere el puerto de entrada



e implemente la instrucción

WAIT R1

que congela la ejecución del programa hasta tanto el byte ingresado en el *puerto de entrada* sea igual al byte almacenado en el registro **R1**. Cuando se cumple esta condición la ejecución del programa pasa a la próxima instrucción de la ROM. Expresar el valor que debe tener la palabra de control *completa* para ejecutar esta instrucción.