



**UTN.BA**  
UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

## Ingeniería en Electrónica Técnicas Digitales I

1er parcial

Fecha: 14/06/16

Hoja

1/ ...

Apellido y nombre:

Leg.:

Calific.:

Tiempo asignado al examen: 3 horas

La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra inválida la resolución salvo que sea inherente y no pueda ser eliminada.

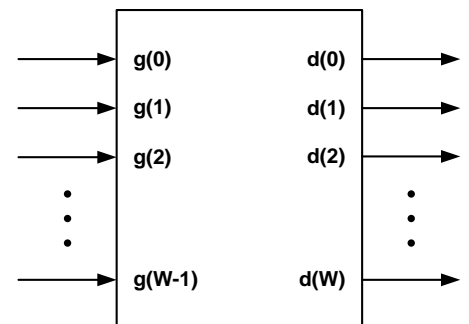
Firma del Docente

### Problema 1

Obtenga las expresiones lógicas de las salidas de un circuito que recibe en su entrada una palabra en *código Gray* de una cantidad de bits genérica  $W$  ( $g$ ), y entrega en su salida la palabra en *código Gray* ( $d$ ) correspondiente al doble de la palabra de entrada. Debe respetar los nombres de las entradas y salidas como sugiere la figura. No es necesario que dibuje el circuito.

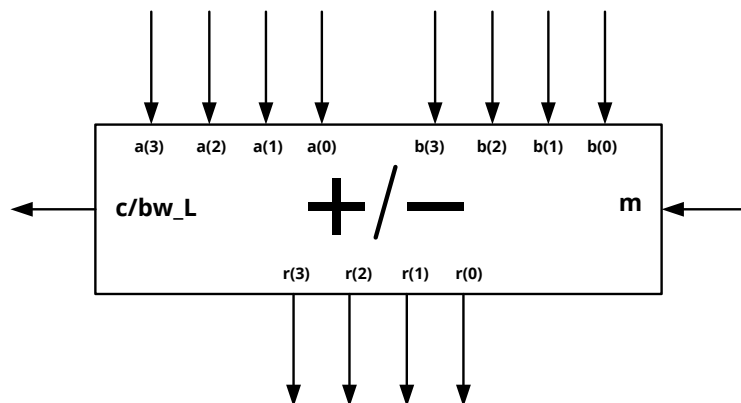
**Advertencia:** En las expresiones de salida solo deben aparecer las señales de entrada ( $g(0)$ ,  $g(1)$ , etc.) pero no señales internas del circuito.

dup\_gray



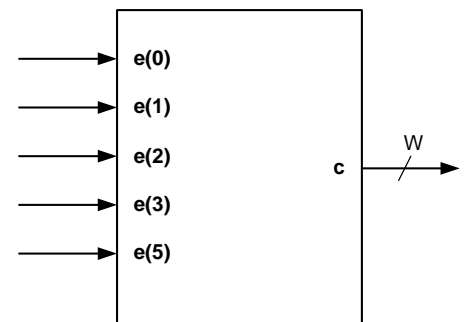
### Problema 2

Diseñe un sumador de 8 bits. Para ello dispone de 2 sumadores/restadores de 4 bits. El bloque sumador/restador de la figura realiza la operación  $a - b$ .



**Advertencia:** Tenga en cuenta que el circuito debe operar correctamente en todas las condiciones de funcionamiento. Si es necesario puede usar lógica adicional, la mínima posible.

cont\_unos



### Problema 3

Realice una *implementación OR AND* para un circuito que posee 5 entradas y cuya salida es una palabra binaria que representa la cantidad de unos presentes en las entradas.

### Problema 4

Diseñe la lógica de estados futuros de un *contador bidireccional de módulo 30* con *entrada de enable*. Recuerde que la lógica de estados futuros es un circuito que a partir de una palabra de entrada que representa una magnitud es capaz de predecir cual será el próxima palabra de la cuenta. Al tratarse de un contador de bidireccional la cuenta puede ir desde 0 hasta 29 si una entrada especial llamada **dir** es igual 0. Cuando la entrada **dir** es 1 la cuenta evoluciona desde 29 a 0.

Como se indicara anteriormente existe una entrada de **enable** que es la más prioritaria. Esta señal funciona de manera tal que si está desactivada, la palabra de salida del circuito es la misma que la de entrada en tanto que si está activada la salida queda determinada de acuerdo a lo expresado en el párrafo anterior.

### Problema 5

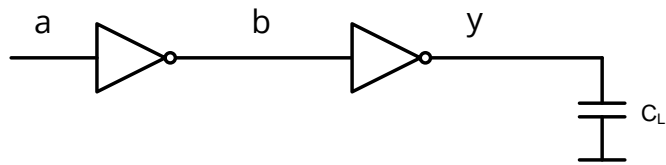
Dimensione ambos inversores de modo que el tiempo de propagación total del circuito sea mínimo. La tecnología empleada está caracterizada por los siguientes parámetros

$C_{in} = C_P = C_{X1}$   
 $C_{X1} = 10 \text{ fF}$   
 $R_P = R_N = R_{X1}$   
 $R_{X1} = 5K5\Omega$

y

$C_L = 1000 \text{ fF}$

Para ello



- a) Obtenga el factor de escala de ambos inversores respecto del inversor unitario.
- b) Obtenga el tiempo total de propagación para la escala obtenida en el punto anterior.
- c) Si la entrada es excitada con una señal cuadrada de 10 MHz, determine el consumo de ambos inversores.

### Problema 6

Diseñe un circuito que recibe en su entrada 10 palabras enteras codificadas en CCa2 y que entrega en su salida la menor de todas estas palabras.

**Por favor, responda las siguientes preguntas. Son de utilidad para la cátedra.**

1. ¿Qué sistema operativo usa habitualmente para trabajar en su computadora?

---

2. ¿Tiene notebook?

---

3. Si tiene notebook ¿la traería a la clase de Técnicas Digitales I para hacer las prácticas de vhdI?

---