



Apellido y nombre:

Leg:

Aclaraciones

Todos los diseños deben estar respaldados por tablas de verdad o diagramas de funcionamiento. Evite ambigüedades. Tampoco agregue circuitería adicional que no sea expresamente lo pedido.

Tiempo asignado al examen y criterio de evaluación

El alumno estará en contacto con los docentes, en forma virtual, durante 3 horas. Luego dispone de 2 horas adicionales para completar el examen (0hs del jueves).
Los 4 problemas tienen la misma ponderación en la calificación: 2,5 puntos.

P	a	b	c	+
1			x	
2			x	
3			x	
4			x	
Nota:				

Problema 1

La figura muestra la entidad de un circuito que deberá describir en VHDL. El reset **i_arst** es asíncrono. Las salidas **o_r0**, **o_r1**, **o_r2** y **o_r3** corresponden a sendas salidas de registros de 16 bits dentro de la entidad. Su lógica de estados futuros se comportará de la siguiente manera

- Si la entrada **i_add** está en '0' ninguno de los registros **r0**, **r1**, **r2** ó **r3** cambiará su contenido.
- Si la entrada **i_add** está en '1', uno de los registros actualizará su contenido con la suma de otro de ellos y la palabra de entrada **i_data**. Por otra parte, la palabra de entrada de 2 bits, **i_source** indica el número de registro que debe sumarse, en tanto que la entrada de 2 bits **i_dest** indica en cual registro se guardará el resultado de la suma. Por ejemplo si

i_source = "00"
i_dest = "11"

sumará el registro **r0** con **i_data**, y guardará el resultado en **r3**. En definitiva **r3** = **r0** + **i_data** (recuerde, esto siempre que **i_add** = '1').

- Finalmente, la salida **o_carry** corresponde a la salida de un flip-flop que almacena el acarreo de la suma anterior. A diferencia de la suma, el acarreo siempre se almacena en el flip-flop, aún cuando **i_add** = '0'.

a) Dibuje el circuito a nivel RTL (excluyente para la aprobación).

b) Codifique el circuito en VHDL. Es requisito que la codificación se desprenda del punto **a)**.

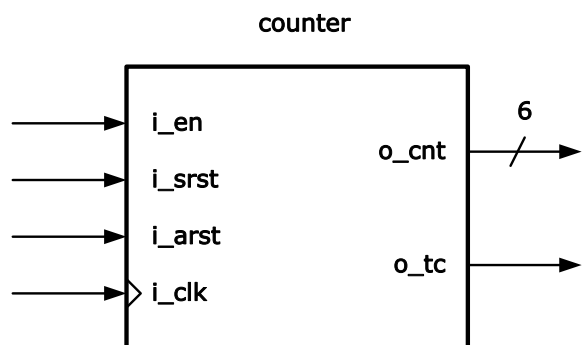
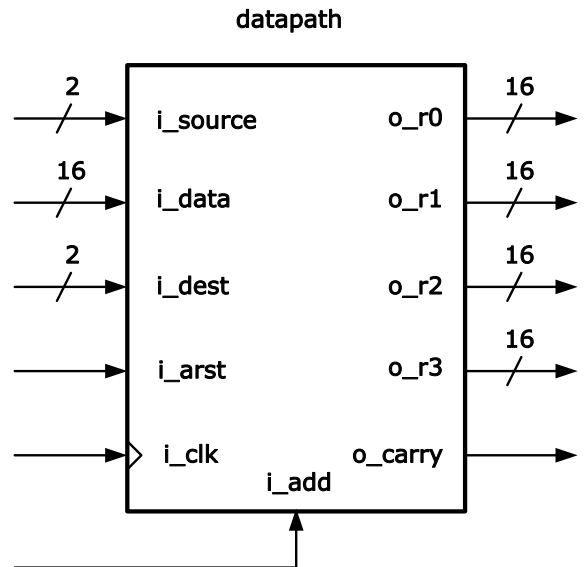
Problema 2

Diseñe un contador bidireccional de 6 bits que cuente en binario desplazado. Tiene entradas de enable y reset síncronico. Debe estar disponible la salida de cuenta y el terminal count.

a) Dibuje el circuito a nivel RTL (excluyente para la aprobación).

b) Codifique el circuito en VHDL. Es requisito que la codificación se desprenda del punto **a)**.

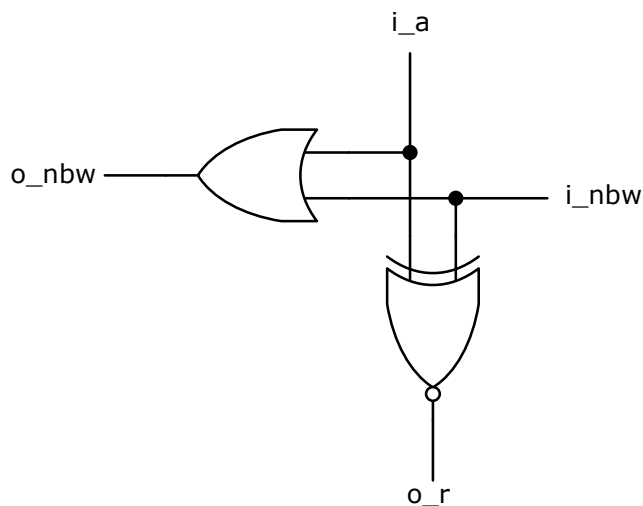
Utilice los nombres de entradas y salidas que muestra el dibujo



Nota: El Código Binario desplazado es idéntico al Código Complemento a 2 excepto por su bit más significativo que está invertido.

Problema 3

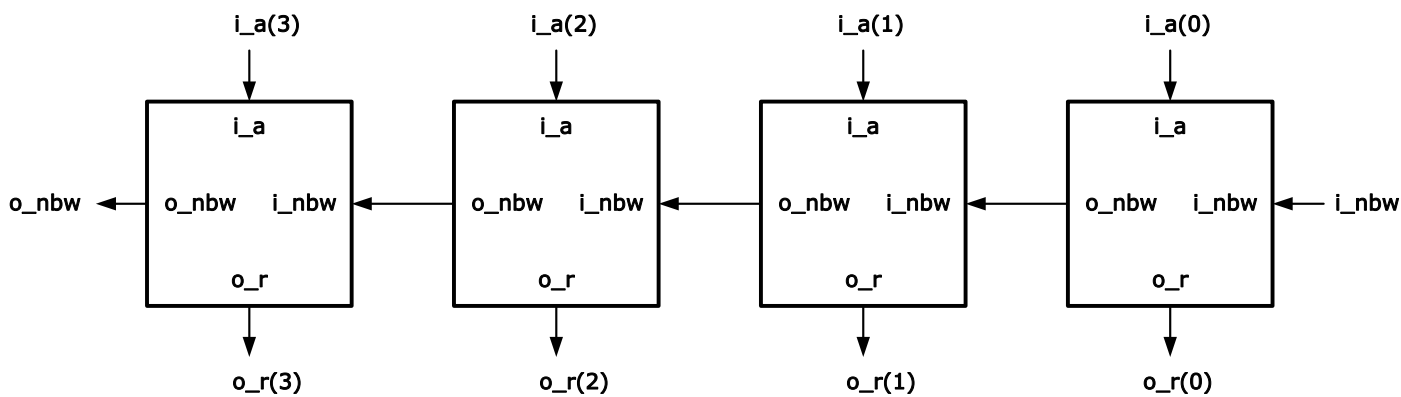
El circuito de la figura



corresponde a una celda decrementor de 1 bit.

a) Describa la celda en VHDL siguiendo la nomenclatura propuesta.

b) Utilice la entidad anterior en un código VHDL que describa un circuito decrementador de 4 bits como muestra la figura (instancie la celda del punto **a)**)



Problema 4

Codifique en VHDL una máquina de estados que responda al diagrama temporal de la figura.

a) Confeccione el diagrama de estados con estados simbólicos.

b) Codifique el diagrama del punto **a)** en VHDL.

