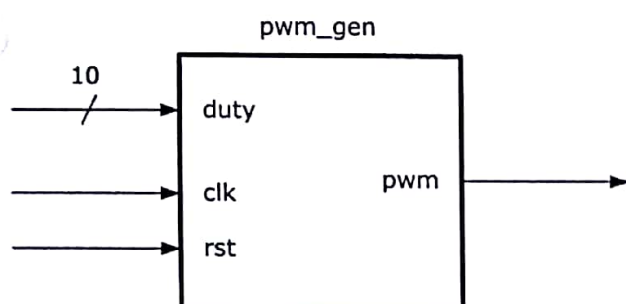


Apellido y nombre:	Leg.:	Calific.:
Tiempo asignado al examen: 3 horas		Firma del Docente
La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra inválida la resolución salvo que sea inherente y no pueda ser eliminada.		

Problema 1

Diseñe un circuito que genere una salida pwm (modulada en ancho de pulso). La salida es una señal rectangular que tiene un período de 1024 pulsos de reloj. La cantidad de pulsos de reloj que se encuentra en nivel alto viene dada por una palabra de entrada de 10 bits llamada **duty**. Por ejemplo, si **duty** = 300, la salida estará 300 ciclos de reloj en nivel alto y 724 en nivel bajo, en forma repetitiva. La salida debe ser *libre de glitches*.



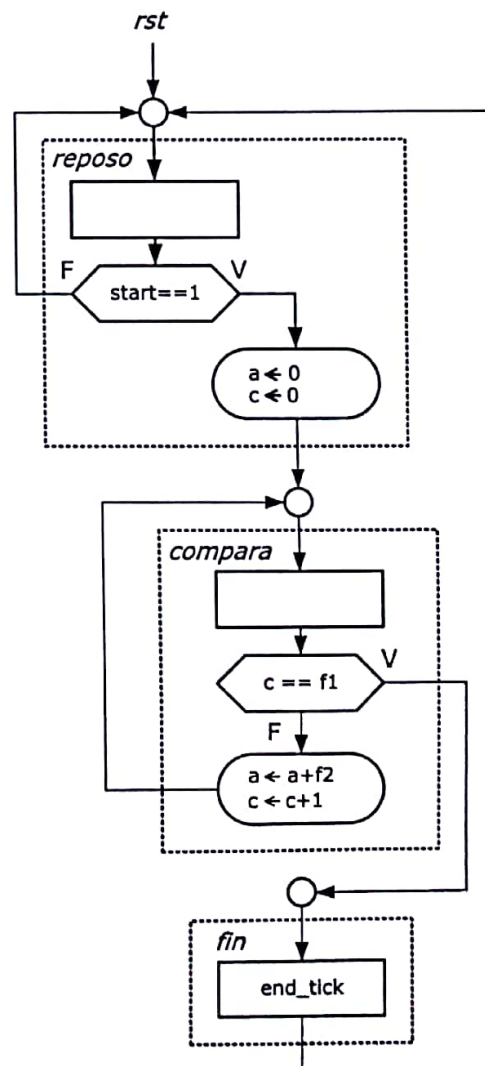
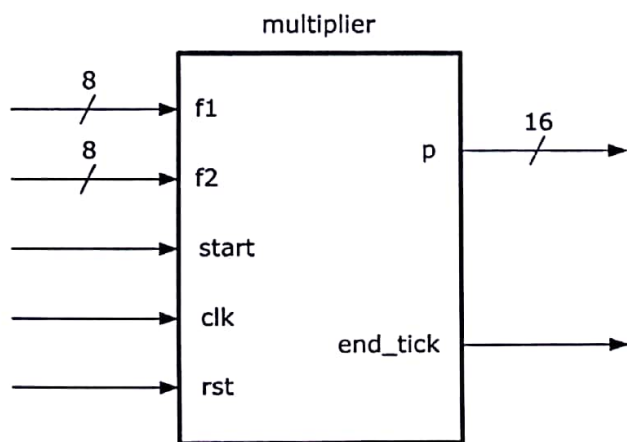
a) Dibuje el diagrama RTL del circuito.

b) Realice la codificación VHDL del punto a). Recuerde que el código debe ser coherente con el diagrama de bloques del punto anterior. Una discrepancia severa invalida toda la resolución.

Podrá solicitarle al docente un testbench y comprobar mediante una simulación si el circuito descrito hace lo esperado. No es obligatorio correr una simulación.

Problema 2

Para diseñar un circuito que calcula el producto de dos magnitudes de 8 bits se adopta la nomenclatura de entradas y salidas de la figura, y el algoritmo es implementado con una máquina de estados descrita por el ASMD



a) Identifique los registros del ASMD y dimensione sus longitudes de palabra.

b) Realice tablas de transiciones (estado futuro en función del estado presente y otras señales) del registro de estado y los registros de datos encontrados en el punto a).

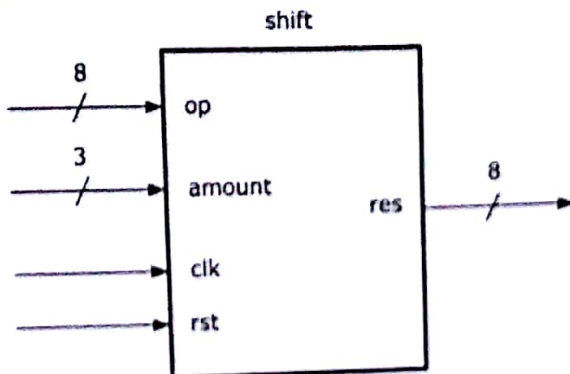
c) Con la información obtenida en los puntos anteriores confeccione un diagrama RTL del circuito completo.

d) Codifique en VHDL el circuito completo e ingréselo en la herramienta ISE/Quartus asignada por el docente. Respete a rajatabla los nombres de entradas, salidas y registros. La salida **p** se toma directa del registro **a_reg**.

c) Realice la simulación en la herramienta de CAD usada en el punto anterior y con el testbench suministrado por el docente. Compruebe que el circuito funciona para todos los estímulos de entrada aplicados por el testbench.

Problema 3

Diseñe un circuito que genere produzca un desplazamiento aritmético de una palabra **op** de entrada de 8 bits. La cantidad de posiciones desplazadas viene dada por el vector de entrada **amount** de 3 bits.



a) Dibuje el diagrama RTL del circuito.

b) Realice la codificación VHDL del punto a). Recuerde que el código debe ser coherente con el diagrama de bloques del punto anterior. Una discrepancia severa invalida toda la resolución.

Podrá solicitarle al docente un testbench y comprobar mediante una simulación si el circuito descrito hace lo esperado. No es obligatorio correr una simulación.