 UTN.BA <small>UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES</small>	Ingeniería en Electrónica Técnicas Digitales I	1er parcial R3052	Hoja 1/ ...
		Fecha: 05/07/17	
Apellido y nombre:	Leg.:	Calific.:	
<p>¡Atención! La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas, diagramas de bloques o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra invalida la resolución salvo que sea inherente y no pueda ser eliminada.</p> <p>Tiempo asignado al examen: 3 horas</p> <ul style="list-style-type: none"> La nota mínima de aprobación es 6 (seis). 			Firma del Docente

Problema 1

El diagrama de bloques de la **figura 1** representa un circuito que recibe en su entrada una palabra no signada **X** de 4 bits y otra palabra no signada **Y** de 2 bits. En su salida genera un *palabra R que corresponde al resto de dividir X / Y*. Diseñe el circuito tomando las siguientes consideraciones

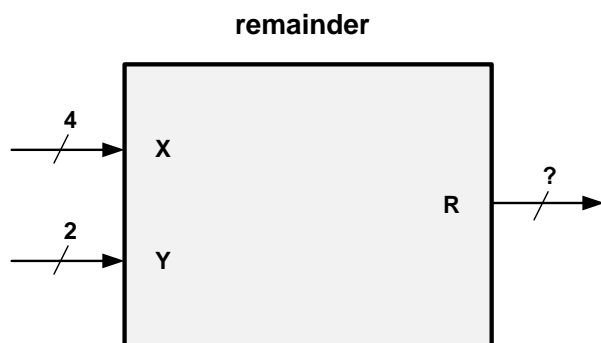
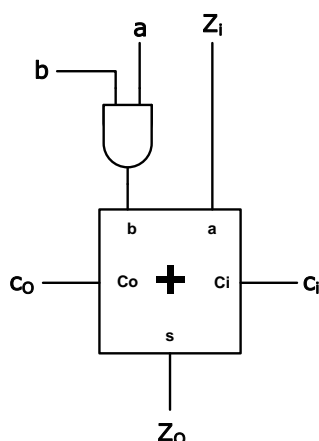


Figura 1

- Dimensione la cantidad de bits de la palabra **R**.
- Debe implementar el circuito utilizando compuertas. De ser necesario puede emplear MUX de 2 entradas de datos. No más de 10 multiplexores.
- Todo el diseño debe estar respaldado por tablas de verdad y expresiones lógicas.
- En el caso que la palabra **Y** tome el valor "00" el resto no tiene sentido. Fije la salida en un estado arbitrario. Si por algún motivo en el desarrollo considera a esta salida un don't care, al finalizar el diseño indique el estado real que tomarán esas salidas cuando **Y = "00"**.

Problema 2

Estime el área ocupada por un chip de un multiplicador de magnitudes de 3 bits basado en celdas iterativas y construido con tecnología 1.8 CMOS. Siga el siguiente procedimiento



- La **figura 2** muestra la celda multiplicadora construida en base a una celda sumadora. Diseñe la celda sumadora empleando tablas de verdad y dibuje el circuito obtenido.
- Dibuje la interconexión de las celdas multiplicadoras para construir el multiplicador de 3 bits x 3 bits.
- Dibuje la construcción de las compuertas que utilizó en base a MOSFET. Cuento la cantidad de MOSFET de la celda multiplicadora (suma de PMOS y NMOS).
- Considerando que un NMOS ocupa un área de **0,25 μm^2** y un PMOS **0,5 μm^2** calcule el área ocupada por el circuito. El conexionado entre las compuertas requiere un **10% extra** respecto al valor teórico.

Problema 3

Diseñe un circuito restador de magnitudes de 4 bits. **No puede construirlo en base al criterio por el cual restar $A - B$ es equivalente a sumar $A + Ca2(B)$.** En su lugar diseñe la celda restadora de la **figura 3**. Debe estar respaldada por una tabla de verdad. Muestre las expresiones lógicas y dibuje el circuito. Luego muestre como conecta las celdas para obtener el restador de 4 bits.

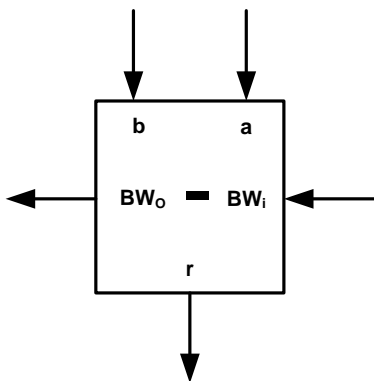


Figura 3

Problema 4

Diseñe un contador bidireccional binario de una longitud de palabra W con reset sincrónico. La cuenta es una palabra signada codificada en el código de complemento a 2. Dispone el nombre de las entradas y salida en la **figura 4**. El contador tiene saturación de manera tal que alcanzar la máxima palabra positiva o negativa queda en ese estado hasta tanto cambie el sentido de conteo.

Escriba la ecuación de transición del contador y dibuje el circuito con bloques RTL.

Problema 5

El diagrama temporal de la **figura 5** corresponde a un contador binario.

- Dibuje el circuito a nivel RTL sin incluir la señal de fin de cuenta.
- De acuerdo al dibujo, la salida de fin de cuenta ¿tiene un comportamiento normal? ¿qué tiene de particular?
- Dibuje el circuito que genera la salida de fin de cuenta con comportamiento como el que expresa el diagrama temporal.

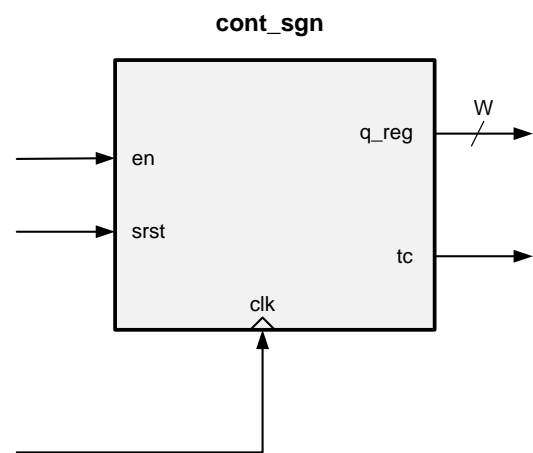


Figura 4

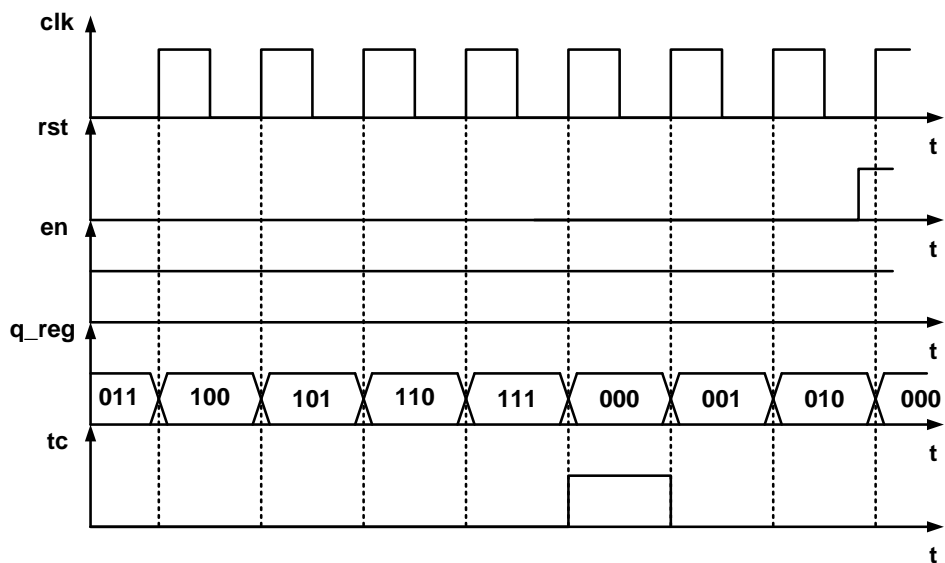


Figura 5