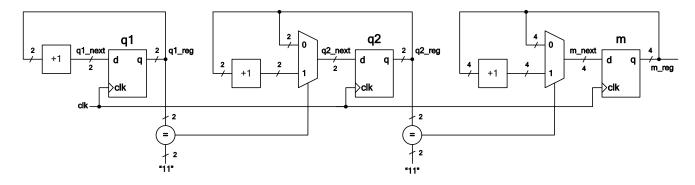
W UTO.BA UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES Ingeniería en Electrónica Técnicas Digitales I	Recuperatorio 1 2do parcial Fecha: 20/12/16	Hoja 1/
Apellido y nombre:	Leg.:	Calific.:
Tiempo asignado al examen: 3 horas La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra inválida la resolución salvo que sea inherente y no pueda ser eliminada.		Firma del Docente

Problema 1

El circuito de la figura



Consiste en la implementación de un contador de 4 bits llamado \mathbf{m} cuya cuenta \mathbf{m} _reg es la salida del circuito. El circuito recibe una señal de reloj de $\mathbf{16}$ MHz y la intención del diseño es que la cuenta avance siempre cada $\mathbf{1}$ $\mu \mathbf{s}$. Para ello se pusieron 2 contadores de 2 bits en cascada ($\mathbf{q1}$ y $\mathbf{q2}$). La razón por la cual se emplearon 2 contadores de 2 bits y no uno de 4 bits escapa al análisis de este problema. Responda dando fundamentos

- a) ¿Funciona el circuito como se espera? Obtenga su conclusión en base al desarrollo de diagramas temporales.
- b) En caso de que el circuito no funcione como lo esperado indique la razón de este comportamiento.
- c) Redibuje el circuito para que funcione de acuerdo a la especificación, claro está si la respuesta del punto a) fuese negativa.

Problema 2

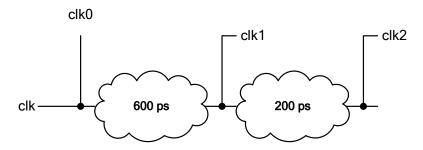
Para un registro de desplazamiento de 3 bits, con entrada de datos paralelo y salida serie (**PISO**) que tiene una entrada llamada **ld/shift_L**, un reset asincrónico y flip-flops disparados por flanco ascendente. Y los siguientes parámetros temporales de los flip-flops

 $t_{CQ} = 200 \text{ ps}$ $t_{SU} = 150 \text{ ps}$ $t_h = 75 \text{ ps}$

Se pide

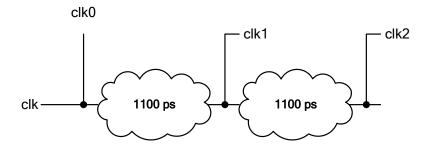
- a) Dibuje el circuito del registro de desplazamiento.
- b) Describa el funcionamiento del circuito mediante una tabla para los 2 estados lógicos de la entrada Id/shift_L.
- c) Calcule la máxima frecuencia de operación del circuito suponiendo que cualquier bloque combinacional que use tiene una demora de propagación de 450 ps.

d) Suponiendo que la señal de reloj sufre de clock skew como muestra la figura



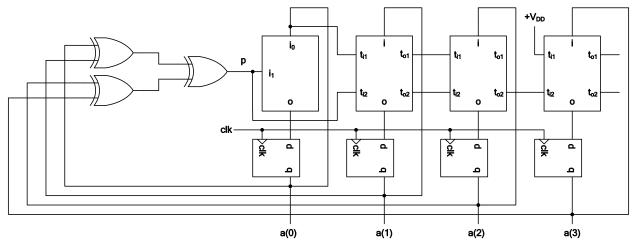
Determine si el circuito funciona correctamente.

- e) Incorpore al circuito una entrada de **enable**. Si está inactiva los flip-flops congelan su salida independientemente de las otras entradas a excepción del reset asincrónico.
- f) Determine la máxima frecuencia de operación del circuito del punto anterior.
- g) Si el circuito del punto e) sufre de clock skew como muestra la figura. ¿Funciona correctamente?

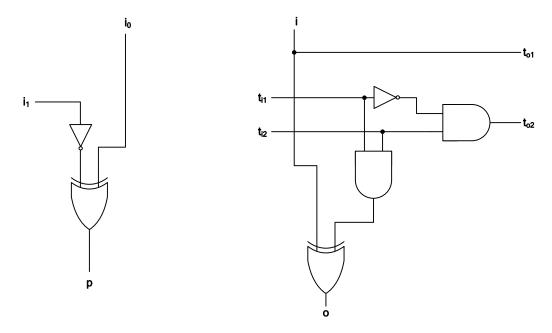


Problema 3

Dado el circuito cuya salida es el vector a que coincide con la salida de los flip-flops



Y los bloques constructivos están construidos internamente de la siguiente manera



- a) Obtenga las ecuaciones de transición.
- **b)** Confeccione la tabla de transición para todos los estados posibles de los flip-flops.
- c) Confeccione el diagrama de estados.
- d) Determine que hace el circuito.