



**UTN.BA**  
UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

## Ingeniería en Electrónica Técnicas Digitales I

**Rec 1 2do parcial**

Fecha: 6/12/17

Hoja

1/ ...

Apellido y nombre:

Leg.:

Calific.:

Tiempo asignado al examen: 3 horas

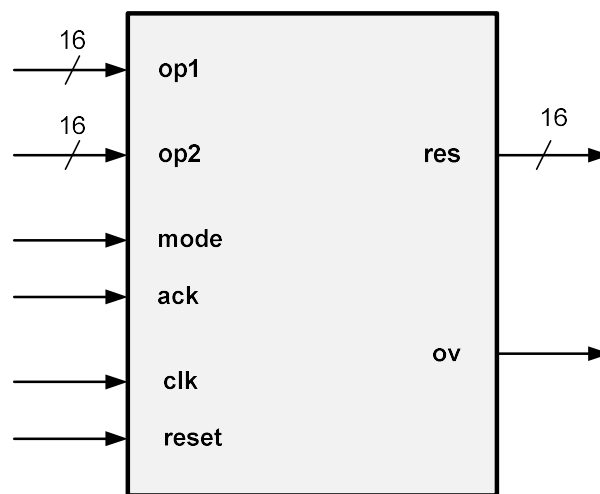
La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra inválida la resolución salvo que sea inherente y no pueda ser eliminada.

Firma del Docente

### Problema 1

Codifique en VHDL un circuito cuya entidad es

**alu**



que recibe 2 palabras signadas codificadas en CCa2 **op1** y **op2**, y que produce **res**, que es la suma o la resta de las palabras de entrada, dependiendo de la entrada **mode**

- **mode** = '0' suma
- **mode** = '1' resta

La salida **res** debe estar saturada y no está registrada. Para ello genere el flag de overflow y sature el resultado en función de él.

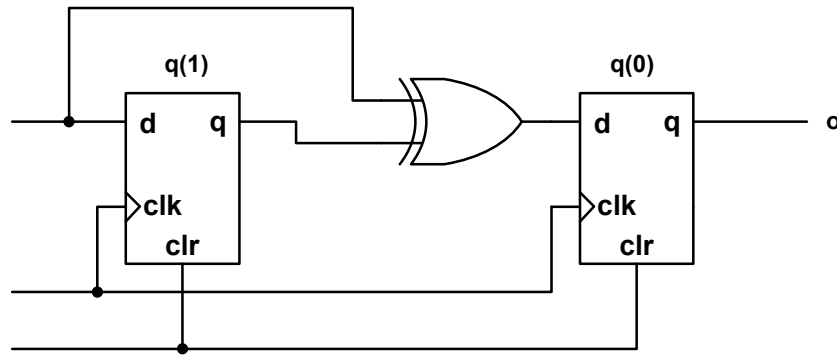
Además el circuito tiene un salida llamada **OV** que se comporta del siguiente modo

- Al encender el circuito o ante un **reset** **OV** está en '0'.
- En caso de producirse un overflow **OV** pasa a tener '1' y permanece en ese estado.
- Si **OV** está en '1' la única forma de llevarla a '0' en forma sincrónica es activar la entrada **ACK** durante un ciclo de reloj.

Dibuje el diagrama RTL del circuito y luego codifíquelo en VHDL.

## Problema 2

Dado el circuito secuencial síncrona de la figura analízelo a fin de obtener



- a) Las expresiones de excitación y salida.
- b) La tabla de transiciones / salida.
- c) El diagrama de estados debidamente documentado de acuerdo al tipo de máquina.

Asumiendo que los tiempos de propagación de los flip-flops y

$$5ns < t_{XOR} < 15ns$$

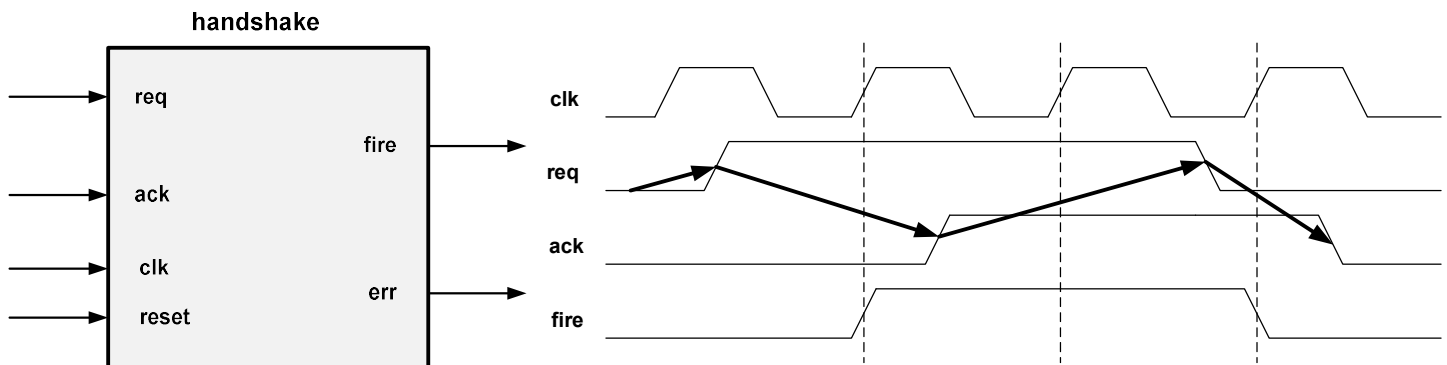
$$t_{SU} = 10ns$$

$$t_h = 5ns$$

- d) Determine la *máxima frecuencia* a la que puede operar correctamente el circuito, dando la debida justificación.
- e) Determine el máximo *clock skew* admisible en las entradas de **clk** para garantizar la correcta operación.

## Problema 3

Para coordinar las transacciones de datos entre un microprocesador y un periférico, se pretende usar un protocolo de dos señales llamadas **req** (señal de solicitud de envío de información) y **ack** (señal de confirmación que la información fue recibida). A la interacción entre estas dos señales se la suele llamar *handshake*. Las señales se encuentran sincronizadas con el reloj y, para una determinada transacción, siempre ocurren en el orden mostrado en la siguiente figura



Confecciona un diagrama de estados tal que

- i) Al encender o resetear el circuito se supone que las entradas de **req** y **ack** están desactivadas. El circuito está en una *condición de reposo* y las salidas también están desactivadas.
- ii) Si en el estado de reposo se activa **req**, la salida **fire** se activa.
- iii) Para que se desactive la salida **fire** debe activarse primero **ack** y luego desactivarse **req**.
- iv) Luego de la secuencia de cambios de **iii**), si se desactiva **ack**, el circuito vuelve a la condición **i**).

Las condiciones de error se producen cuando

- a) Para el punto **ii**) si se activa **ack** antes que **req** el circuito va a un *estado de error*. En este estado la salida **err** se activa y **fire** se apaga. Nada puede sacar al circuito de este estado.
- b) Para el punto **iii**) si **req** se desactiva antes que **ack** se active el circuito pasa a la misma condición de error del punto anterior.
- c) Para el punto **iv**) si **req** se activa antes de desactivar **ack** también se va a la condición de error.

Dibuje el diagrama de estados del circuito y sintetízelo usando flip-flops y compuertas AND, OR y NOT.