

Apellido y nombre:

Leg.:

Calific.:

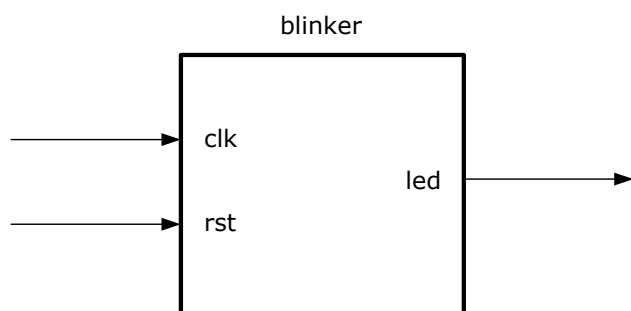
Tiempo asignado al examen: 3 horas

La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra inválida la resolución salvo que sea inherente y no pueda ser eliminada.

Firma del Docente

Problema 1

Se pretende hacer destellar un led con una fpga. Para ello se utilizó como reloj una señal cuadrada de 50 KHz. El led debe destellar con una cadencia de 1s (500ms encendido y 500ms apagado) y la salida que maneja el led debe estar libre de glitches.



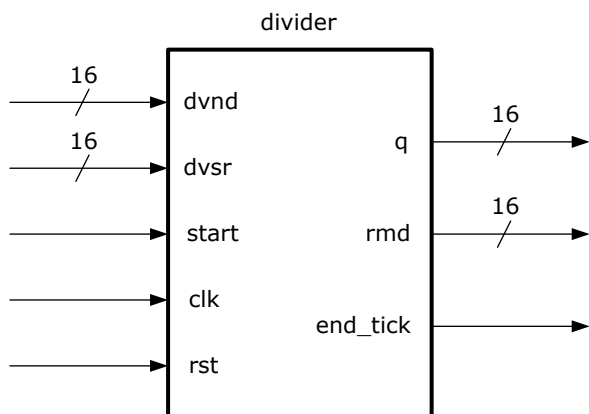
a) Dibuje el diagrama RTL del circuito.

b) Realice la codificación VHDL del punto a). Recuerde que el código debe ser coherente con el diagrama de bloques del punto anterior. Una discrepancia severa invalida toda la resolución.

Podrá solicitarle al docente un testbench y comprobar mediante una simulación si el circuito descrito hace lo esperado. No es obligatorio correr una simulación.

Problema 2

Para diseñar un circuito que divide magnitudes de 16 bits se adopta la nomenclatura de entradas y salidas de la figura, y el algoritmo es implementado con una máquina de estados descrita por el ASMD



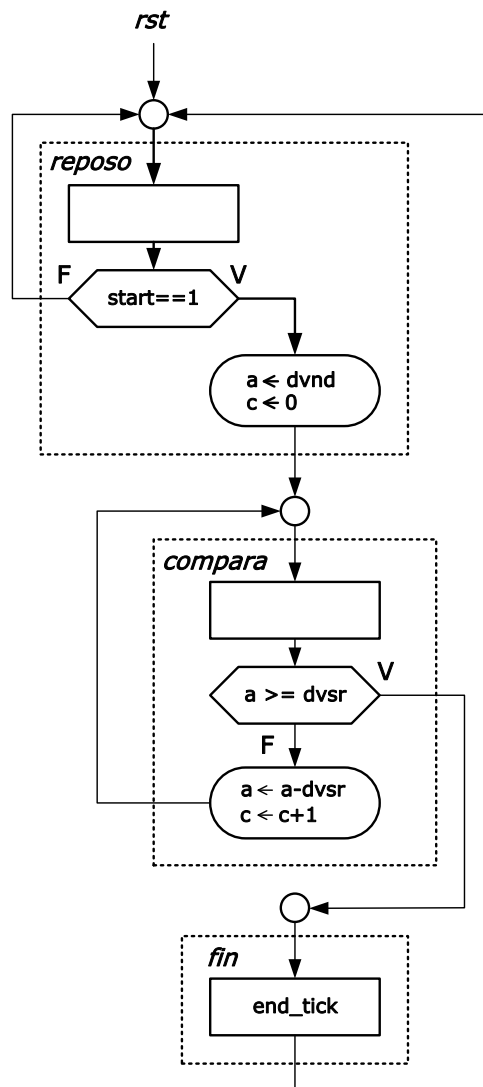
a) Identifique los registros del ASMD y dimensione sus longitudes de palabra.

b) Realice tablas de transiciones (estado futuro en función del estado presente y otras señales) del registro de estado y los registros de datos encontrados en el punto a).

c) Con la información obtenida en los puntos anteriores confeccione un diagrama RTL del circuito completo.

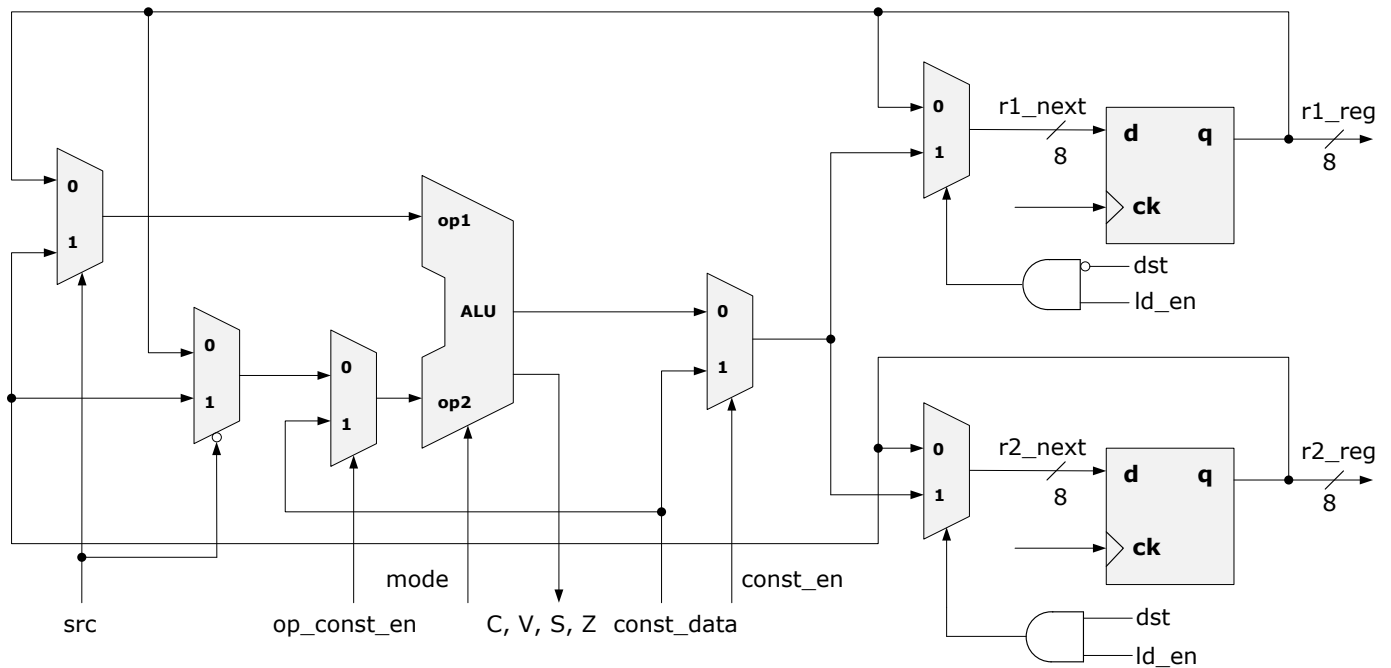
d) Codifique en VHDL el circuito completo e ingréselo en la herramienta ISE/Quartus asignada por el docente. Respete a rajatabla los nombres de entradas, salidas y registros. La salida **q** se toma directa del registro **c_reg** y **rmd** del registro **a_reg**.

e) Realice la simulación en la herramienta de CAD usada en el punto anterior y con el testbench suministrado por el docente. Compruebe que el circuito funciona para todos los estímulos de entrada aplicados por el testbench.



Problema 3

Dado el siguiente datapath de una CPU que ejecuta instrucciones en un ciclo de reloj



a) Implemente la instrucción

MIN R1, R2

que determina el menor entre **R1** y **R2**, y lo guarda en el registro **R1**. Solo puede agregar multiplexores, desconectar señales y reconectarlas como le parezca. No puede agregar otro tipo de celdas. Recuerde que esta instrucción debe ejecutarse en un ciclo de reloj.

b) Incorpore a la CPU una entrada externa llamada **stall** que permita congelar la ejecución de instrucciones, algo así como una señal de **enable**. Suponga que el datapath es el original previo a la modificación del punto anterior, y la unidad de control es

