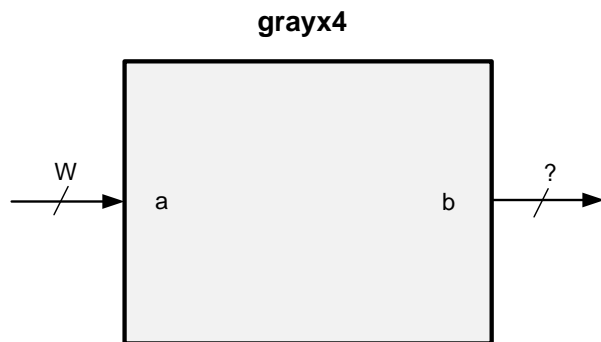
 <b>UTN.BA</b> <small>UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES</small>	<b>Ingeniería en Electrónica</b> <b>Técnicas Digitales I</b>	<b>1er parcial</b> <b>R3002</b>	Hoja 1/ ...
		Fecha: 04/07/17	
Apellido y nombre:	Leg.:	Calific.:	
<p>¡Atención! La resolución de todos los problemas debe estar justificada por tablas de verdad, expresiones lógicas, diagramas de bloques o cuadros explicativos sin ambigüedades. La interpretación de la solución debe ser directa y lo escrito en el examen debe hablar por sí mismo. Si la resolución escrita de un problema requiere de aclaraciones posteriores del alumno se considerará mal resuelta. Los circuitos solo deben realizar la funcionalidad pedida y no más. Cualquier característica extra invalida la resolución salvo que sea inherente y no pueda ser eliminada.</p> <p>Tiempo asignado al examen: 3 horas</p> <ul style="list-style-type: none"> <li>La nota mínima de aprobación es 6 ( seis ).</li> </ul>			Firma del Docente

### Problema 1

El diagrama de bloques de la **figura 1** representa un circuito que recibe en su entrada una palabra en *código Gray* de  $W$  bits y entrega en su salida una *palabra en código Gray multiplicada por cuatro*. Diseñe el circuito empleando compuertas. Todos los circuitos que construya deben estar respaldados por expresiones lógicas. Demuestre con claridad como obtiene estas expresiones.



**Figura 1**

### Problema 2

Diseñe un *complementador a 2 iterativo de magnitudes de 4 bits* basado en celdas de 1 bit implementado de las dos formas que se le solicita y coteje ambos diseños del modo indicado

**a)** Confeccione la tabla de verdad de una celda incrementadora. Luego implemente el circuito con la mínima cantidad de compuertas. Utilice el tipo de compuertas que necesite. Interconecte varias celdas para construir un incrementador de 4 bits.

**b)** Modifique la celda diseñada en el punto anterior de modo que funcione como un complementador a 2. Interconecte varias de estas celdas para obtener un complementador a 2 de 4 bits.

**c)** Construya una celda complementadora a 2 basada en el principio por el cual *complementar a 2 una magnitud puede hacerse copiando los bits de la magnitud desde el lsb hasta encontrar el primer 1. El resto de los bits son complementados*.

**d)** Compare la implementación del punto **b)** con la del punto **c)** y compruebe que son diferentes si bien ambos circuitos son complementadores a 2. Responda categóricamente: *¿Porqué son diferentes si realizan la misma operación aritmética? ¿Cuál es la señal del circuito que hacen que sean diferentes?*

### Problema 3

Diseñe un circuito que desplaza enteros de 4 bits tanto a la derecha como a la izquierda. En la **figura 2** puede ver las señales de entrada y salida. En particular el vector **amount** representa en código de complemento a 2 la cantidad de bits que debe desplazar. Si la *cantidad es positiva el circuito desplaza hacia la derecha y si es negativa a la izquierda*.



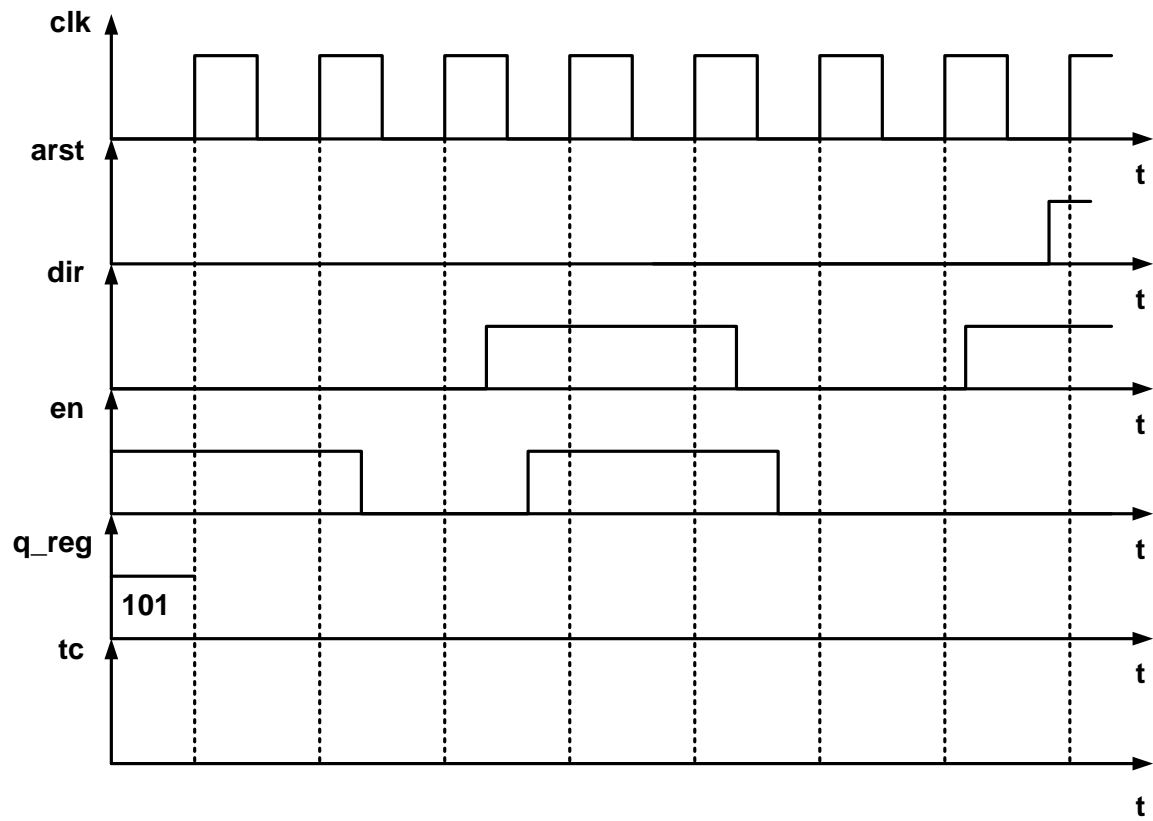
**Figura 2**

### Problema 4

Complete las formas de ondas de la **figura 3** que corresponden a un contador bidireccional con enable.

### Problema 5

Diseñe un codificador que recibe 32 entradas y produce un address de 5 bits y una señal de grupo general. Para ello utilice codificadores de 8 a 3 con salida de señal de grupo. Además de los codificadores solo puede agregar multiplexores.



**Figura 3**

Aclaración: No dibuje sobre la hoja. Copie el gráfico en otra hoja y complete de acuerdo a lo pedido en el enunciado.