

# Interrupciones externas

Guia para la configuración de las interrupciones externas del  
LPC845

# Interrupciones externas - PINTx

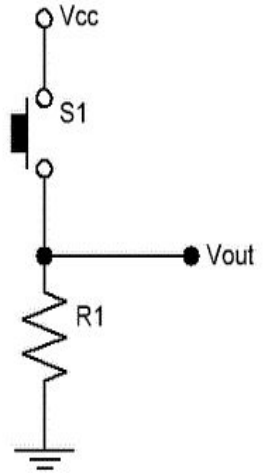
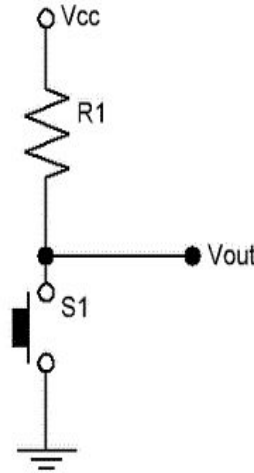
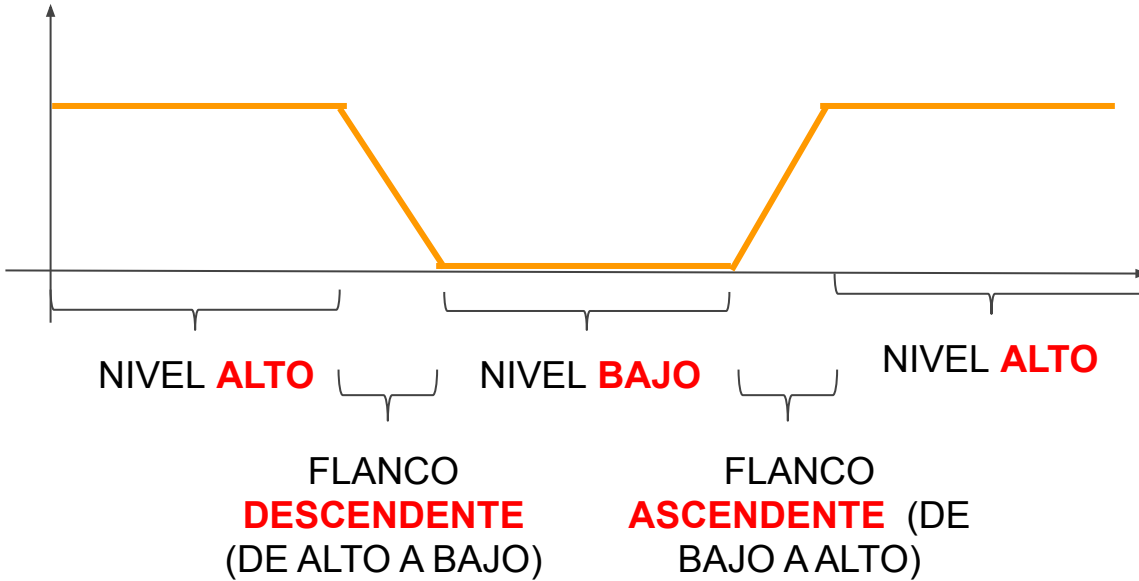
El periférico PINT (Pin interrupt), es un periférico que se conecta a un pin del microcontrolador para generar una interrupción en el mismo cuando se genere una determinada señal en dicho pin.

Podrá ser configurada para que la interrupción se genere cuando la señal esté en estado ALTO, en estado BAJO, en la transición de estado ALTO a BAJO (***flanco descendente***) o en la transición de estado BAJO a ALTO (***flanco ascendente***).

En cualquiera de sus configuraciones, este periférico admite solo fuentes de entrada DIGITALES, del mismo tipo que las vistas cuando vimos el bloque GPIO.



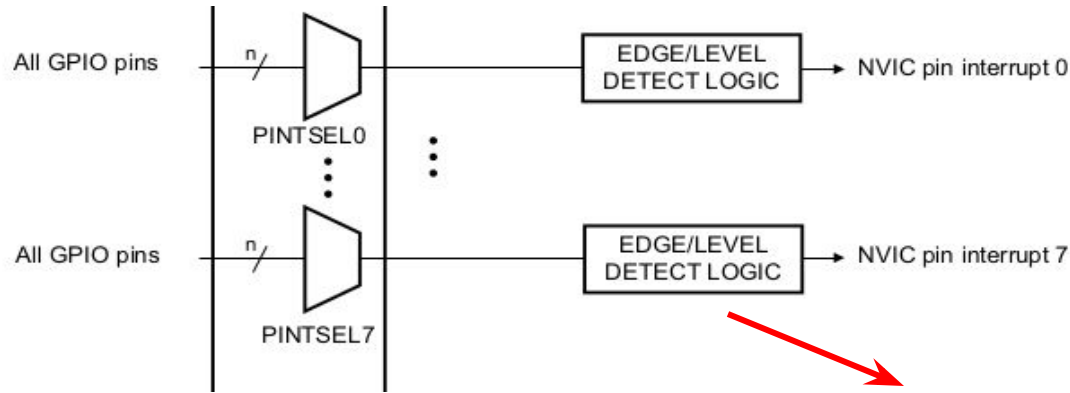
# “Flancos” y “niveles” en las señales



Configurar una interrupción por FLANCO o por NIVEL va a depender del circuito y de la aplicación que estemos desarrollando

# Funciones de interrupción

Pueden seleccionarse hasta 8 funciones de interrupción distintas, cada una de las cuales puede conectarse a un pin diferente, y ser configuradas por flanco o por nivel. A su vez cada una de ellas puede luego conectarse a una fuente distinta del NVIC (asignadas en este dispositivo), generando una interrupción independiente.



**Registro IST**

**Indica si se generó un evento de interrupción  
(se limpia escribiendo un 1)**

**Registros PINTSEL[0 a 7]**

**Seleccionan a que pin se conecta la  
función de interrupción**

**Registros ISEL, INEF, INER**

**Configuran si se generará una  
interrupción por flanco o nivel**

# Pasos para la configuración de las funciones de interrupción

Para configurar una función de interrupción, se deben seguir los siguientes pasos:

- Seleccionar para la función de interrupción que se desee utilizar (0 a 7), a qué pin se encontrará asociada, mediante los registros **PINTSELO** a **PINTSEL7**
- Habilitar el clock del bloque de interrupciones de pines, mediante el registro **SysAHBCLKCTRL**, bit 28. ( **SysAHBCLKCTRL** |= (1<<28) )
- Configurar el modo de interrupción del pin, mediante los registros **ISEL**, **INEF** e **INER** (flanco/nivel, rising/falling, low/high)
- Limpiar los flags de interrupciones pendientes, escribiendo un 1 en el bit correspondiente del registro **IST**
- Habilitar las interrupciones en el NVIC mediante el registro **ISER0**, bits 24 a 31

# Registros PINTSEL:

## Asociar un pin a una interrupción

Si bien cualquier pin puede ser utilizado como interrupción, es recomendable chequear a que función se encuentra conectado el pin mediante los registros PINASSIGN[0 a 14] y PINENABLE[0 y 1]

**Table 168. Pin interrupt select registers (PINTSEL[0:7], address 0x4004 8178 (PINTSEL0) to 0x4004 8194 (PINTSEL7)) bit description**

Bit	Symbol	Description	Reset value
5:0	INTPIN	Pin number select for pin interrupt or pattern match engine input. (PIO0_0 to PIO0_31 correspond to numbers 0 to 31 and PIO1_0 to PIO1_31 correspond to numbers 32 to 63).	0
31:6	-	Reserved	-

Para seleccionar el Pin P0.0 se pone el número 0, el P0.1 el 1, y así sucesivamente. El pin P1.0 se corresponderá con el número 32, y finalmente el P1.31 con el 63.

# Modos de interrupción (I)

**Table 271. Pin interrupt mode register (ISEL, address 0xA000 4000) bit description**

Bit	Symbol	Description	Reset value	Access
7:0	PMODE	Selects the interrupt mode for each pin interrupt. Bit n configures the pin interrupt selected in PINTSELn. 0 = Edge sensitive 1 = Level sensitive	0	R/W
31:8	-	Reserved.	-	-

El registro ISEL con los bits 0 al 7 configuran la  
interrupción por flanco o nivel

**1 Flanco - 0 Nivel**

# Modo de interrupción (II)

**Table 272. Pin interrupt level or rising edge interrupt enable register (IENR, address 0xA000 4004) bit description**

Bit	Symbol	Description	Reset value	Access
7:0	ENRL	Enables the rising edge or level interrupt for each pin interrupt. Bit n configures the pin interrupt selected in PINTSELn. 0 = Disable rising edge or level interrupt. 1 = Enable rising edge or level interrupt.	0	R/W
31:8	-	Reserved.	-	-

Si **PMODE** se configuró por **flanco IENR**  
**habilita o deshabilita** la interrupción  
por flanco **ascendente**.

Si **PMODE** se configuró por **nivel IENR**  
**habilita o deshabilita** la interrupción  
por nivel.



# Modo de interrupción (III)

**Table 275. Pin interrupt active level or falling edge interrupt enable register (IENF, address 0xA000 4010) bit description**

Bit	Symbol	Description	Reset value	Access
7:0	ENAF	Enables the falling edge or configures the active level interrupt for each pin interrupt. Bit n configures the pin interrupt selected in PINTSELn. 0 = Disable falling edge interrupt or set active interrupt level LOW. 1 = Enable falling edge interrupt enabled or set active interrupt level HIGH.	0	R/W
31:8	-	Reserved.	-	-

Si **PMODE** se configuró por **flanco IENF**  
**habilita o deshabilita** la interrupción  
por flanco **descendente**.

Si **PMODE** se configuró por **nivel IENF**  
**selecciona** la interrupción por nivel  
**ALTO o BAJO**.

# Flags de estado

**Table 280. Pin interrupt status register (IST, address 0xA000 4024) bit description**

Bit	Symbol	Description	Reset value	Access
7:0	PSTAT	Pin interrupt status. Bit n returns the status, clears the edge interrupt, or inverts the active level of the pin selected in PINTSELn. Read 0: interrupt is not being requested for this interrupt pin. Write 0: no operation. Read 1: interrupt is being requested for this interrupt pin. Write 1 (edge-sensitive): clear rising- and falling-edge detection for this pin. Write 1 (level-sensitive): switch the active level for this pin (in the IENF register).	0	R/W
31:8	-	Reserved.	-	-

En cuanto se activó una interrupción, debo escribir un 1 en este registro para “limpiar” el pedido de interrupción del dispositivo.

# NVIC

Habilitar el bit correspondiente a la función de interrupción utilizada en el registro ISER0 del NVIC

24	ISE_PININT0	Interrupt enable.	0
25	ISE_PININT1	Interrupt enable.	0
26	ISE_PININT2	Interrupt enable.	0
27	ISE_PININT3	Interrupt enable.	0
28	ISE_PININT4	Interrupt enable.	0
29	ISE_PININT5 or ISE_DAC1	Interrupt enable for both pinint5 and DAC1.	0
30	ISE_PININT6 or ISE_USART3	Interrupt enable for both pinint6 and USART3.	0
31	ISE_PININT7 or ISE_USART4	Interrupt enable for both pinint7 and USART4.	0