

数字电路总结

1.什么是竞争与冒险现象？怎样判断？如何消除？

答：在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是接入滤波电容，二是引入选通脉冲，三是增加冗余项（只能消除逻辑冒险而不能消除功能冒险）。

2.如何用 D 触发器实现 2 倍分频的逻辑电路？什么是状态图？

答：D 触发器的输出端加非门接到 D 端，实现二分频。状态图是以图形方式表示输出状态转换的条件和规律。用圆圈表示各状态，圈内注明状态名和取值。用→表示状态间转移。

3. 什么是"线与" 逻辑，要实现它，在硬件特性上有什么具体要求？

答：线与逻辑是两个输出信号相连可以实现与的功能。在硬件上，要用 OC/OD 门来实现，为了防止灌电流过大，而烧坏 OC 门，应在输出端口应加一个上拉电阻。（线或加下拉电阻）

4.什么是同步逻辑和异步逻辑？

答：同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。电路设计可分类为同步电路和异步电路设计。同步电路利用时钟脉冲使其子系统同步运作，而异步电路不使用时钟脉冲做同步。异步电路主要是组合逻辑电路，用于产生地址译码器、FIFO 或 RAM 的读写控制信号脉冲，其逻辑输出与任何时钟信号都没有关系，译码输出产生的毛刺通常是可以监控的。同步电路是由时序电路(寄存器和各种触发器)和组合逻辑电路构成的电路，其所有操作都是在严格的时钟控制下完成的。这些时序电路共享同一个时钟 CLK，而所有的状态变化都是在时钟的上升沿(或下降沿)完成的。

5.Latch 与 Register 的区别,为什么现在多用 register？

答：Latch 是电平触发，Register 是边沿触发，register 在同一时钟边沿触发下动作，符合同步电路的设计思想，而 latch 则属于异步电路设计，往往会导致时序分析困难，不适当的应用 latch 则会大量浪费芯片资源，另外 latch 容易产生毛刺。

6.你所知道的可编程逻辑器件有哪些？

答：（简单） PROM, PLA, PAL, GAL，（复杂） CPLD, FPGA

FPGA: Field Programmable Gate Array

CPLD:Complex Programmable Logic Device

7.什么是亚稳态，如何解决亚稳态

答：亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

解决方法主要有：

- (1) 降低系统时钟；
- (2) 用反应更快的触发器（FF），锁存器（LATCH）；
- (3) 引入同步机制，防止亚稳态传播；
- (4) 改善时钟质量，用边沿变化快速的时钟信号；
- (5) 使用工艺好、时钟周期裕量大的器件。

8.什么是三态与非门(TSL)?

答：三态与非门有三种状态：(1)门导通，输出低电平。(2)门截止，输出高电平。(3)禁止状态或称高阻状态、悬浮状态，此为第三态。三态门的一个重要用途，就是可向同一条导线(或称总线 Y) 上轮流传送几组不同的数据或控制信号。

9. 什么是集电极开路与非门(OC 门)?

答：OC 门和普通的 TTL 与非门所不同的是（普通的 TTL 不可以并联），它用一个外接电阻 RL 来代替有源负载，实现与非门逻辑功能，OC 门逻辑功能灵活，应用广泛。

10.窄沟道效应：

答：由于边缘场的影响，沟道区耗尽层在沟道宽度两侧向场区有一定的扩张。当沟道宽度较大时，耗尽层向两侧的扩展部分可以忽略；但是沟道变窄时，边缘场造成的耗尽层扩展变得不可忽略，这样，耗尽层电荷量比原来计算的要大，这就产生了窄沟道效应。

11.MOS 电路的特点：

答：优点 1. 工艺简单，集成度高。 2. 是电压控制元件，静态功耗小。 3.允许电源电压范围宽。4.扇出系数大，抗噪声容限大。

缺点：工作速度比 TTL 低。

12. 半导体工艺中，掺杂有哪几种方式？

答：根据掺入的杂质不同，杂质半导体可以分为 N 型和 P 型两大类。N 型半导体中掺入的杂质为磷等五价元素，磷原子在取代原晶体结构中的原子并构成共价键时，多余的第五个价电子很容易摆脱磷原子核的束缚而成为自由电子，于是半导体中的自由电子数目大量增加，自由电子成为多数载流子，空穴则成为少数载流子。P 型半导体中掺入的杂质为硼或其他三价元素，硼原子在取代原晶体结构中的原子并构成共价键时，将因缺少一个价电子而形成一个空穴，于是半导体中的空穴数目大量增加，空穴成为多数载流子，而自由电子则成为少数载流子。

13.什么是组合逻辑、时序逻辑以及同步时序逻辑？

答：**组合逻辑**：输出只是当前输入逻辑电平的函数有关（有延时），与电路的原始状态无关的逻辑电路。（无记忆）由与、或、非门组成的网络，常见的有多路器，数据通路开关，加法器，乘法器等。

时序逻辑：输出不只是当前输入逻辑电平的函数，还与电路目前所处的状态有关的逻辑电路。（有记忆）由多个触发器和多个组合逻辑块组成的网络，常见的有计数器，运算控制逻辑，指令分析和操作控制逻辑。

同步时序逻辑：表示状态的寄存器组的值只可能在唯一确定的触发条件发生时改变，只能有时钟的正跳沿或负跳沿出发的状态机就是一例。

异步时序逻辑：触发条件有多个控制因素组成，任何一个因素的跳变都可以引起触发。

14、同步电路和异步电路的区别是什么？

答：同步电路：存储电路中所有触发器的时钟输入端都接同一个时钟脉冲源，因而所有触发器的状态的变化都与所加的时钟脉冲信号同步。

异步电路：电路没有统一的时钟，有些触发器的时钟输入端与时钟脉冲源相连，这有这些触发器的状态变化与时钟脉冲同步，而其他的触发器的状态变化不与时钟脉冲同步。

15.模数转换器（ADC）

答：模数转换指的是将输入的模拟量转换为数字量输出，实现这种转换功能的电路称为模数转换器，简称 ADC（Analog Digital Converter）。

ADC 按工作原理的不同可分为直接 ADC 和间接 ADC。直接 ADC 有并联比较型和逐次渐进型等，直接 ADC 的转换速度快。间接 ADC 的转换速度慢，如双积分型 ADC。并联比较型 ADC、逐次渐进型 ADC 和双积分型 ADC 各有特点，应用在不同的场合。高速且精度要求不高，可以选用并联比较型 ADC；低速、精度高且抗干扰强的场合，可以选用双积分型 ADC；逐次渐进型 ADC 兼顾了两者的优点，速度较快、精度较高、价格适中，应用较为普遍。AD 转换要经过采样、保持、量化和编码等过程。采样-保持电路对输入模拟信号进行采样并保持，量化是对采样信号进行分级，编码则将分级后的信号转换成二进制代码。对模拟信号采样时，必须满足采样定理。

16.数模转换器（DAC）

答：数模转换器将输入的二进制数字量转换成与之成正比的模拟量；常见的数-模转换电路（DAC）有多种类型：权电阻网络 DAC、倒 T 形电阻网络 DAC、权电流网络 DAC 等。A/D 转换=模拟/数字转换，意思是模拟讯号转换为数字讯号；D/A 转换=数字/模拟转换，意思是数字讯号转换为模拟讯号；ADC= 模拟/数字转换器，DAC=数字/模拟转换器

17.A/D 电路组成、工作原理。

答：ADC 电路通常由两部分组成，它们是：采样、保持电路和量化、编码电路。其中量化、编码电路是最核心的部件，任何 ADC 转换电路都必须包含这种电路。ADC 电路的形式很多，通常可以并为两类：间接法：它是将采样-保持的模拟信号先转换成与模拟量成正比的时间或频率，然后再把它转换位数字量。这种通常是采用时钟脉冲计数器，它又被称为计数器式。它的工作特点是：工作速度低，转换精度高，抗干扰能力强。直接法：通过基准电压与采样-保持信号进行比较，从而转换为数字量。它的工作特点是：工作速度高，转换精度容易保证。

18.组合电路与时序电路区别

答：组合逻辑电路是具有一组输出和一组输入的非记忆性逻辑电路，它的基本特点是任何时刻的输出信号状态仅取决于该时刻各个输入信号状态的组合，而与电路在输入信号作用前的状态无关。组合电路是由门电路组成的，但不包含存储信号的记忆单元，输出与输入间无反馈通路，信号是单向传输，且存在传输延迟时间。组合逻辑电路的功能描述方法有真值表、逻辑表达式、逻辑图、卡诺图和波形图等。时序逻辑电路与组合逻辑电路不同，在逻辑功能及其描述方法、电路结构、分析方法和设计方法上都有区别于组合电路的明显特点。在时序逻辑电路中，任意时刻的输出信号不仅和当时的输入信号有关，而且还与电路原来的状态有关，这是时序逻辑电路在逻辑功能上的特点。因而时序逻辑电路必然包含存储记忆单元电路。描述时序电路逻辑功能的方法有：三个方程（输出方程、驱动方程（或激励函数）、状态方程）、状态转换表、状态转换图和时序图等。

19.你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？

答：常用逻辑电平：12V, 5V, 3.3V; TTL 和 CMOS 不可以直接互连，由于 TTL 是在 0.3-3.6V 之间，而 CMOS 则是有在 12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉电阻接到 5V 或者 12V。CMOS 门的 $V_T = 0.5V_{DD}$ ，TTL 门的 V_T 一般在 1.0~1.4V。CMOS 门输出：高电平为 $V_{OH} = V_{DD}$ ，低电平为 $V_{OL} = 0V$ 。TTL 门输出：高电平为 $V_{OH} = 3.6V$ ，低电平为 $V_{OL} = 0.3V$ 。

20.什么是正负逻辑？

答：在数字电路中，一般用高电平代表 1、低电平代表 0，即所谓的正逻辑系统。反之，用高电平代表 0、低电平代表 1，即所谓的负逻辑系统。

21. MOS 与非门，多余的输入、输出端该怎么接，悬空？接地？接高电位？

答：门电路中多余的输入端一般不要悬空，因为干扰信号易从这些悬空端引入，使电路工作不稳定。

与门和与非门：多余输入端接正电源或与有用输入端并接

或门和或非门：多余输入端接地或与有用输入端并接

CMOS 电路多余输入端与有用输入端的并接仅适用于工作频率很低的场合。

TTL 电路输入端悬空时相当于输入高电平，CMOS 电路多余输入端不允许悬空。

22. 什么是 NMOS、PMOS？什么是增强型、耗尽型？什么是 PNP、NPN？他们有什么差别？

答：NMOS 是指沟道在栅电压控制下 p 型衬底反型变成 n 沟道，靠电子的流动导电；

PMOS 是指 n 型 p 沟道，靠空穴的流动导电。

增强型是指不加栅源电压时，FET 内部不存在导电沟道，这时即使漏源间加上电源电压也没有漏极电流产生。

耗尽型是指当栅源电压为 0 时，FET 内部已经有沟道存在，这时若在漏源间加上适当的电源电压，就有漏极电流产生。

PNP 由 2 块 P 型半导体中间夹着一块 N 型半导体所组成，载流子以空穴为主；

NPN 管是由 2 块 N 型半导体中间夹着一块 P 型半导体所组成，载流子载流子以空穴为主。

23. 什么是 TTL 集成电路？

答：TTL 集成电路是一种单片集成电路。在这种集成电路中，一个逻辑电路的所有元器件和连线都制作在同一块半导体基片上。由于这种数字集成电路的输入端和输出端的电路结构形式采用了晶体管，所以一般称为晶体管-晶体管 (Transistor-tranSiS-tor Logic)逻辑电路，简称 TTL 电路。

24、IC 设计中同步复位与异步复位的区别。

答：同步复位在时钟沿到来时复位信号起作用，完成复位动作。异步复位不管时钟，只要复位信号满足条件，就完成复位动作。异步复位对复位信号要求比较高，不能有毛刺，如果其与时钟关系不确定，也可能出现亚稳态。

25.DSP（数字信号处理芯片）、CPU（中央处理器）、MCU（微控制器）在结构、特点、功能以及用途上的区别？

答：在设计原理上都是一样的，应用上各具特点，所以结构功能有所不同。

DSP 为快速处理数字信号而设计，结构上数据、地址总线分开，数据的吞吐量更大。指令集的设计多考虑信号处理。不过现在，为提高微处理器 MCU 的性能，像 ARM 在设计上，总线也是分开的。

CPU 主要是完成指令的处理，外围接口是独立设计的，像存储器，总线控制器是独立的，没有集成到 CPU 中。

而 MCU 多应用在嵌入式平台，外围的接口是集成在一起的，一颗芯片就能完成。

26.晶体三极管的开关特性工作在什么区？

答：工作在截止区和饱和区。此过程包括了 4 个时间参数：延迟时间 T_d 上升时间 T_r 存储时间 T_s 下降时间 T_f

开启时间为：延迟时间 + 上升时间

关闭时间为：存储时间 + 下降时间

27.负载能力有灌电流和拉电流负载之分。

28.逻辑电路选用时主要参数为：

答：逻辑电平、噪声容限、工作速度、功耗。数字逻辑电路分为组合逻辑和时序逻辑电路两类。组合逻辑电路不含记忆元件，输入和输出间没有反馈。用基本逻辑门设计组合电路步骤：1、列真值表 2、根据真值表写出逻辑函数表达式。 3、将函数化简变换。 4、绘制逻辑电路图 5、选择逻辑门装配。

29.描述触发器的方法：

答：1、状态表 2、功能表 3、状态方程（特征方程） 4、波形图（时序图） 5、状态图：以图形方式表示输出状态转换的条件和规律。

30. 时序电路划分为哪两种？

答：米里型和摩尔型。米里型输出信号与存储电路状态和输入变量有关。摩尔型仅取决于存储电路状态。时序电路包括：寄存器、移位寄存器、计数器。

同步时序电路分析：激励方程、状态方程、输出方程。

31.全波整流和半波整流的输出电压各为多少

答:单相全波一般比半波多三个二极管

半波输出电压有效值是全波的一半

半波 $0.45U$ 全波 $0.9U$

考研兀哥