

## Entwicklungsstatus

Im Jahr 2010 wurde von Andreas Müller ein erster funktionsfähiger Prototyp der Hardware in seiner Bachelorarbeit "USB-TPLE - ein universelles, rekonfigurierbares und freies USB Gerät zur Timing-, Protokoll-, Logik- und Eventanalyse von digitalen Signalen" entwickelt. Im Rahmen einer Technischen Projektarbeit (fünftes Semester Technische Informatik) wurde für den bestehenden Prototypen eine Firmware sowohl für den CPLD als auch für den Mikrocontroller entwickelt. Auch eine PC-Software, mit der der Benutzer die Hardware bedienen kann, ist entstanden. Es hat sich herausgestellt, dass die 240 im CPLD verfügbaren Logikelemente für komplexere Aufgaben nicht ausreichen. Deshalb wird für weitere Entwicklungen ein CPLD mit mehr Logikzellen nötig sein.

Der aktuelle Status kann auf der Projektseite eingesehen werden:

<https://io.informatik.fh-augsburg.de/trac/Logikanalysator>

### Technische Projektarbeit (WS 2013/14):

Andreas Gareis  
Stefan Vockinger  
Matthias Weber  
Bernd Krafft  
Patrick Echter  
Nils Bunje

### Projektbetreuer:

Prof. Dr. Hubert Högl  
Hochschule Augsburg  
<https://io.informatik.fh-augsburg.de/trac/Logikanalysator>

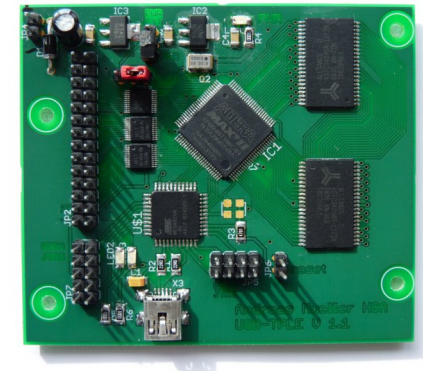
### Bachelorarbeit "USB-TPLE" (2010):

Andreas Müller



Hochschule  
Augsburg University of  
Applied Sciences

# Logikanalyse für Alle



Ein universelles, rekonfigurierbares  
und freies USB Gerät zur Timing-,  
Protokoll-, Logik- und  
Eventanalyse von digitalen  
Signalen

## Übersicht

Hauptaufgabe des Projektes ist die Erfassung und Aufzeichnung des zeitlichen Verlaufs von digitalen Signalen und Ereignissen. So kann zum Beispiel an einem Mikrocontroller ohne Beeinflussung der Laufzeit die Dauer eines Prozesses oder die Zustandsfolge an den Pins über die Zeit gemessen werden. Auch eine Protokollanalyse digitaler Busse wie I2C oder SPI ist mit dem Logikanalysator möglich.

Kernstück des Systems ist ein konfigurierbarer Logikbaustein (CPLD) der Firma Altera, sowie ein Mikrocontroller der Firma Atmel mit USB Anbindung.

Das gesamte Projekt, sowohl Hard- als auch Software, ist im Sinne von Open-Source frei verfügbar. Ein TRAC mit SVN Repository kann unter der URL

[https://io.informatik.th-](https://io.informatik.th-augsburg.de/trac/Logikanalysator)

[augsburg.de/trac/Logikanalysator](https://io.informatik.th-augsburg.de/trac/Logikanalysator)

abgerufen werden.

## Funktionen

Hauptfunktion ist, wie oben beschrieben, die Logikanalyse an Mikrocontrollern. Dazu wird zum Beispiel zu Beginn und zum Ende eines Prozesses ein Assemblerbefehl gesetzt, welcher einen Impuls auf einem IO Port des Mikrocontrollers ausgibt. Der Zeitpunkt des Impulses kann durch das Gerät auf bis zu 0,16 Mikrosekunden genau aufgezeichnet werden.

Aufgrund der komplett freien Konfigurierbarkeit der Hardware sind jedoch auch weitere Anwendungen wie Protokoll- und Logikanalyse sowie auch ein Logikgenerator implementierbar.

## Eigenschaften

- 8 Kanäle

- Abtastung mit bis zu 6,25 Msamples/s

- Auflösung maximal 160ns
- Speicher für bis zu 262144 Samples
- Stromversorgung über Jumper einstellbar (USB/ext.)
- Messspannung wählbar (3,3V/5,0V)
- Einfache Ansteuerung über USB
- Firmware Update von Mikrocontroller und CPLD per USB
- Anbindung an sigrok und gtkwave

## Hardware

### Prozessor

Als CPU kommt ein Mikrocontroller der Firma Atmel zum Einsatz. Der ATMEGA32U4 ist ein Controller der 8-Bit AVR Serie mit den folgenden Eigenschaften:

- 32KB Flashspeicher
- 2,5KB RAM
- Integrierte USB Schnittstelle

- Bootloader (konfigurierbar über USB)

Die Software für den Mikrocontroller ist in C geschrieben und basiert auf LUFA, einem USB-Framework für AVR Mikrocontroller. Die Kommunikation mit dem CPLD erfolgt über einen 4-Bit breiten synchronen Datenbus.

### CPLD

Als Logikbaustein wird ein Low-Cost CPLD der Firma Altera verwendet. Der CPLD der MAX II Serie ist mit 100MHz getaktet und über einen 16-Bit breiten Datenbus mit einem externen, schnellen RAM verbunden. Als Hardwarebeschreibungssprache kommt VHDL zum Einsatz und als Synthesetool wird das kostenlose Quartus II der Herstellerfirma verwendet.

## Speicher

- 240 Logikzellen
- Konfigurierbar über JTAG oder direkt durch den Mikrocontroller
- 24 IO Ports für Messungen verfügbar; Aktuell werden nur 8 IO Ports verwendet

## Software

Gesteuert werden kann das System mit jedem beliebigen Terminalprogramm über eine virtuelle serielle Schnittstelle.

Die Speicherung erfolgt über das Value-Changemap für Logiksignale, vereint zwei wesentliche Vorteile. Es ist eine problemlose Nutzung über ein Terminal möglich und das Open Source Programm GTK-Wave ist zu diesem Dateiformat kompatibel.

Es ist geplant, die Signal-Analyse Software sigrock als grafisches Frontend für die Steuerung des USB-TFLE zu verwenden. Sigrock ist eine Open-Source Software und kann auf verschiedenen Plattformen wie zum Beispiel Linux, Windows verwendet werden. Es ist allerdings eine Erweiterung nötig, um die Hardware richtig ansteuern zu können.