



Hochschule
Augsburg University of
Applied Sciences

Fakultät für
Informatik

Bachelorarbeit

Design und Implementierung eines FPGA-Event-Recorders mithilfe der freien IceStorm-Toolchain

Studienrichtung
Technische Informatik

Domenik Müller

Prüfer: Prof. Dr. Hubert Högl
Zweitprüfer: Prof. Dr. Alexander von Bodisco
Abgabedatum: 20.06.2018

Hochschule für angewandte
Wissenschaften Augsburg

An der Hochschule 1
D-86161 Augsburg

Telefon +49 821 55 86-0
Fax +49 821 55 86-3222
www.hs-augsburg.de
info@hs-augsburg.de

Fakultät für Informatik
Telefon +49 821 55 86-3450
Fax +49 821 55 86-3499

Verfasser der Diplomarbeit
Domenik Müller
Am Eser 3
86150 Augsburg
Telefon +49 821 44 92 57 54
domenik.mueller@hs-augsburg.de

Zusammenfassung

...

Abstract

This work of magnificience ...

Inhaltsverzeichnis

1	Einführung	1
1.1	Zielsetzung	1
1.2	Motivation	1
2	Design	2
2.1	Design-Überblick: Benötigte Hard- und Software-Komponenten	2
2.2	Auswahl der Hardware	2
2.3	Auswahl der Software-Toolchain	2
2.4	Beispiel: Von der Synthese bis zum Bitstream mit der IceStorm-Toolchain .	2
3	Implementierung	3
3.1	Portierung des Tools zum Flashen des Bitstreams (icoprogram)	3
3.2	Portierung und nötige Anpassungen des Verilog-SoCs (icosoc)	3
3.3	Implementierung des Event-Recorder Moduls	3
3.3.1	Bus-Schnittstelle	3
3.3.2	Triggerlogik	3
3.4	Implementierung eines SPI-Slave-Moduls	3
3.5	Zusammenführung der Module als Icosoc-Projekt	3
4	Anwendungsfall: Jitter-Analyse eines Software-generierten Clock-Signals	4
4.1	Einrichten des Projekts	4
4.2	Konfiguration der Event-Trigger	4
4.3	Durchführen der Event-Aufnahme	4
4.4	Analyse der Ergebnisse	4
5	Fazit	5
6	Aussicht	6
	Akronyme	7

Glossar	8
Abbildungsverzeichnis	9
Tabellenverzeichnis	10
Literatur	11
A Pinbelegung	12
A.1 Tex Beispiele	12
A.1.1 Zitieren	12
A.1.2 Ein Bild skaliert	12
A.1.3 Zwei Bilder nebeneinander oder untereinander	12
A.2 Tabellen	12
B GPL	14

1. Einführung

FPGA Verilog [1] ...

1.1 Zielsetzung

...

1.2 Motivation

...

2. Design

Design lala ...

- 2.1 Design-Überblick: Benötigte Hard- und Software-Komponenten**
- 2.2 Auswahl der Hardware**
- 2.3 Auswahl der Software-Toolchain**
- 2.4 Beispiel: Von der Synthese bis zum Bitstream mit der IceStorm-Toolchain**

3. Implementierung

...

3.1 Portierung des Tools zum Flashen des Bitstreams (icoprogram)

...

3.2 Portierung und nötige Anpassungen des Verilog-SoCs (icosoc)

Bla fasel...

3.3 Implementierung des Event-Recorder Moduls

3.3.1 Bus-Schnittstelle

3.3.2 Triggerlogik

3.4 Implementierung eines SPI-Slave-Moduls

Bla fasel...

3.5 Zusammenführung der Module als Icosoc-Projekt

4. Anwendungsfall: Jitter-Analyse eines Software-generierten Clock-Signals

...

4.1 Einrichten des Projekts

...

4.2 Konfiguration der Event-Trigger

...

4.3 Durchführen der Event-Aufnahme

...

4.4 Analyse der Ergebnisse

...

5. Fazit

Bla fasel...

6. Aussicht

Bla fasel...

Akronyme

CPLD Complex Programmable Logic Device. 7, *Glossary*: CPLD

FPGA Field Programmable Gate Array. 1, 7, *Glossary*: FPGA

VHDL Very High Speed Integrated Circuit Hardware Description Language. 7, *Glossary*:
VHDL

Glossar

CPLD Im Vergleich zu FPGAs deutlich einfacher aufgebaute programmierbare logische Schaltungen[2]. 7

FPGA Ein rekonfigurierbarer Chip dessen Schaltungsstruktur in einer Hardwarebeschreibungssprache (wie VHDL oder Verilog) frei programmierbar ist[3]. 7

Verilog Wortkreuzung aus "Verification" und "Logic". Hardwarebeschreibungssprache für Programmierung und Simulation von FPGAs und CPLDs die in den USA geläufiger ist als VHDL ([4], siehe auch [1] zur Namensherkunft). 1

VHDL Vor allem in Europa verbreitete Hardwarebeschreibungssprache für die Simulation und Programmierung von FPGAs und CPLDs[5]. 7

Abbildungsverzeichnis

A.1	Beschriftungstext	12
A.2	Beschriftung beide Bilder	13

Tabellenverzeichnis

A.1 Single-hop Scenario - Traffic Pattern 13

Literatur

- [1] S. Golson, *Oral History of Philip Raymond “Phil” Moorby*. Computer History Museum, 2013, S. 23–25. Adresse: <http://archive.computerhistory.org/resources/access/text/2013/11/102746653-05-01-acc.pdf>.
- [2] *Complex Programmable Logic Device* – *Wikipedia*, [Online; accessed 26. May 2018], Mai 2018. Adresse: https://de.wikipedia.org/wiki/Complex_Programmable_Logic_Device.
- [3] *Field Programmable Gate Array* – *Wikipedia*, [Online; accessed 26. May 2018], Mai 2018. Adresse: https://de.wikipedia.org/wiki/Field_Programmable_Gate_Array.
- [4] *Verilog* – *Wikipedia*, [Online; accessed 26. May 2018], Mai 2018. Adresse: <https://de.wikipedia.org/wiki/Verilog>.
- [5] *Very High Speed Integrated Circuit Hardware Description Language* – *Wikipedia*, [Online; accessed 26. May 2018], Mai 2018. Adresse: https://de.wikipedia.org/wiki/Very_High_Speed_Integrated_Circuit_Hardware_Description_Language.

A. Pinbelegung

Anhang A...

A.1 Tex Beispiele

A.1.1 Zitieren

Quellenli00, jackson91, lakhina04a, netflow, rfc2386 nicht vergessen. Dazu verwendet ihr bibtex.

A.1.2 Ein Bild skaliert

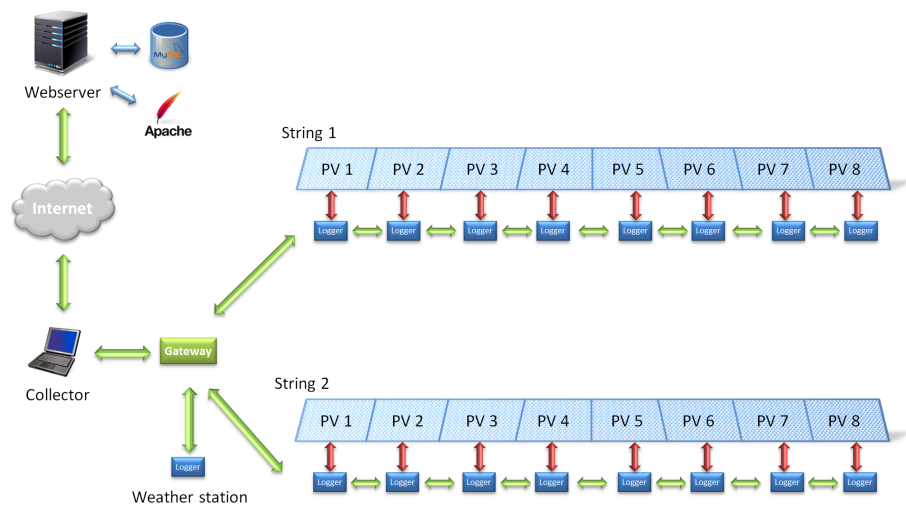
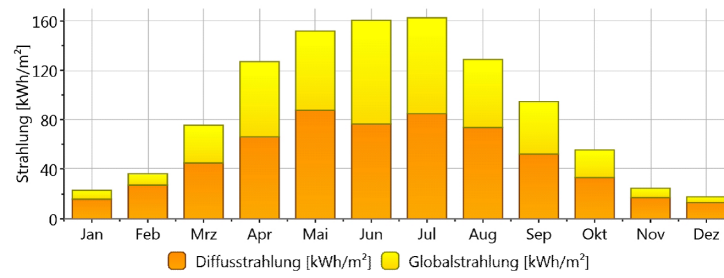


Abbildung A.1: Beschriftungstext

A.1.3 Zwei Bilder nebeneinander oder untereinander

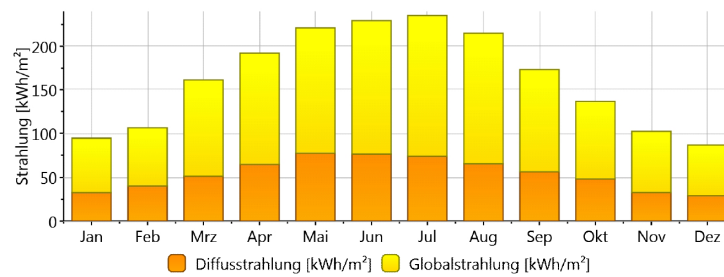
A.2 Tabellen

Globalstrahlung monatlich



(a) Beschriftung Bild links

Globalstrahlung monatlich



(b) Beschriftung Bild rechts

Abbildung A.2: Beschriftung beide Bilder

Tabelle A.1: Single-hop Scenario - Traffic Pattern

Pattern Parameter		Distribution Range/Values	
Burst	Burst IAT	uniform	[9.9; 10.1] s
	Packets per Burst	constant	100
	Packet IAT	constant	0.02 s
	Packet Size	constant	1024 bit
	# Sources	-	2
	Offset	uniform	[0; 1] s
Single	Packet IAT	uniform	[0.9; 1.1] s
	Packet Size	constant	1024 bit
	# Sources	-	[10;20;30;40;50; 60;70;80;90;100]
	Offset	uniform	[0; 1] s

B. GPL

Anhang B ...