

Escuela Politécnica Superior,
Grado en Informática

**Asignatura: Diseño Automático de
Sistemas**

Práctica 2

15 de marzo de 2022



UNIVERSIDAD
NEBRIJA

Índice/Tabla de contenidos

Índice/Tabla de contenidos	1
1. Introducción	2
1.1. Presentación	2
1.2. Bibliografía recomendada	2
1.3. Objetivo	2
2. Verificación del sistema completo	2
3. Evaluación y entrega	3
3.1. Grupos	3
3.2. Puntuación	3

1. Introducción

1.1. Presentación

Esta práctica consiste en aplicar los conceptos de la Guía 3, vistos en teoría, de simulación avanzada. Para ello se va a trabajar con lectura y escritura en archivos de texto, uso de tests automáticos y verificación de los resultados.

1.2. Bibliografía recomendada

Leer la Guía 3 en la que se detalla como implementar una verificación en VHDL.

1.3. Objetivo

Verificar la práctica 1 de una manera automática. Se proporciona un fichero de entrada (inputs.csv) que debe ser leído e interpretado para excitar el circuito bajo test (DUT), en este caso se trata del top de la práctica 1. Además, se debe generar un fichero de salidas (output.csv) en el que se deje registro de los errores y las pruebas realizadas.

2. Verificación del sistema completo

Se va a utilizar un fichero de texto para generar las entradas y salidas esperadas en el sistema de la práctica 1 (top_practica_1.vhd). Los valores que se van a leer son: las entradas (*rst_n* y *BTNC*) para comprobar que la salida es correcta se va a leer el valor del *LED*. Como se trata de un circuito secuencial es necesario generar unos delays para esperar a ver el resultado.

El formato del fichero inputs.csv está compuesto por columnas separadas por espacios: la primera columna contiene el delay (en formato *time* de VHDL), la segunda contiene el valor del *rst_n* (std_logic), la tercera columna contiene el valor del *BTNC* (std_logic), la cuarta columna contiene el valor esperado del *LED* (std_logic) y la última contiene comentarios, precedidos por el símbolo almohadilla (#).

Se deben saltar las líneas en blanco o que comiencen por #.

Se debe escribir en un fichero output.csv en el que se escriban los casos probados incluyendo tiempo de la simulación, entradas, salidas, comentarios y los errores (si es que los hay). Ejemplo, si sucediese un error en el primer caso de inputs.csv:

Simulation of top_practica1.vhd
Time : 10 ns; rst_n : 0; BTNC: 0; Resetting the value
ERROR: expected LED to be 0 actual value 1
Finished simulation.

Si en la simulación no hay errores deberá aparecer el valor de las entradas, las salidas y los comentarios si los hubiese.

Para realizar la implementación del testbench hay que usar dos procesos uno para leer los valores de entrada de la simulación y escribir en el fichero de salida y otro para generar el reloj. Recordad que podéis modificar el genérico que indica el tiempo de debounce para reducir el tiempo de simulación (reducid también el delay en inputs.csv)

3. Evaluación y entrega

3.1. Grupos

Se utilizarán los mismos grupos que en la anterior práctica.

3.2. Puntuación

Este hito se corresponde con un **20%** del valor del proyecto final. La entrega se realizará tras el último día de prácticas de la asignatura donde se evaluará el proyecto completo, para esta entrega final será necesario adjuntar un pdf documentando el proyecto. El código será revisado por el profesor en la siguiente sesión de prácticas. Para la revisión es necesario llevar el proyecto funcionando y con una visualización de las señales de interés clara que permita ver el funcionamiento del sistema.