

## Prueba 2: Procesado digital de la señal con FPGAs

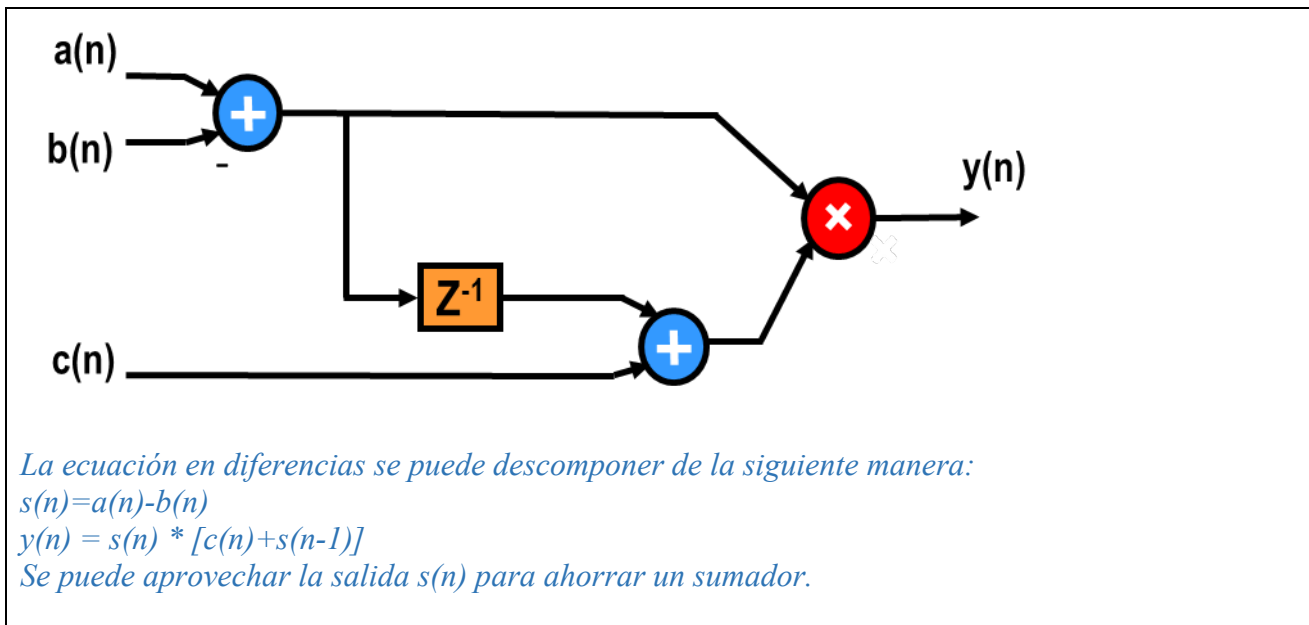
Alumno:

12/4/2017

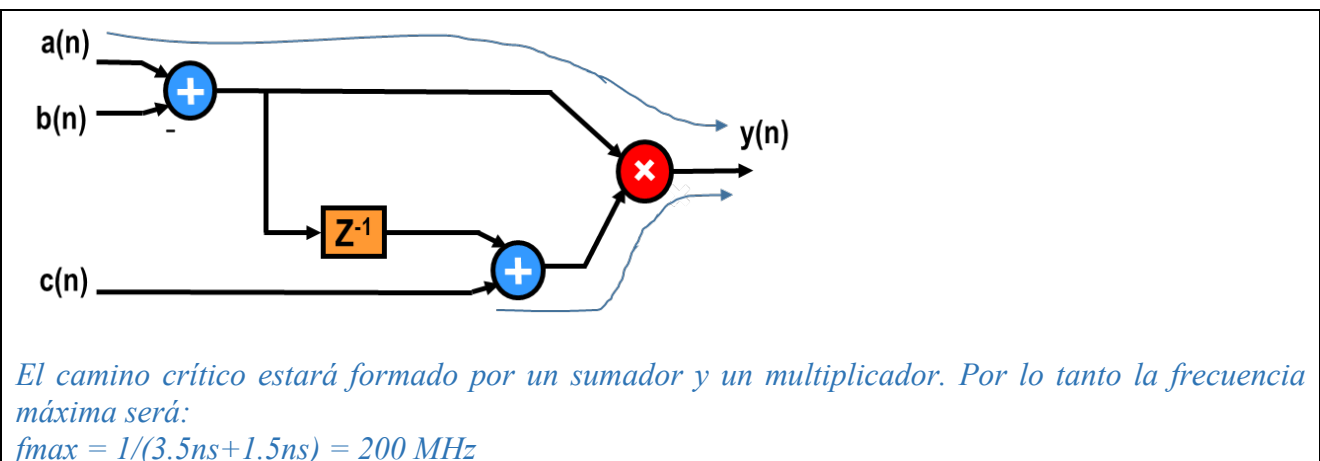
### Ejercicio 1 (3 Puntos)

Dada la siguiente ecuación en diferencias:  $y(n) = [a(n) - b(n)] * [c(n) + (a(n-1) - b(n-1))]$

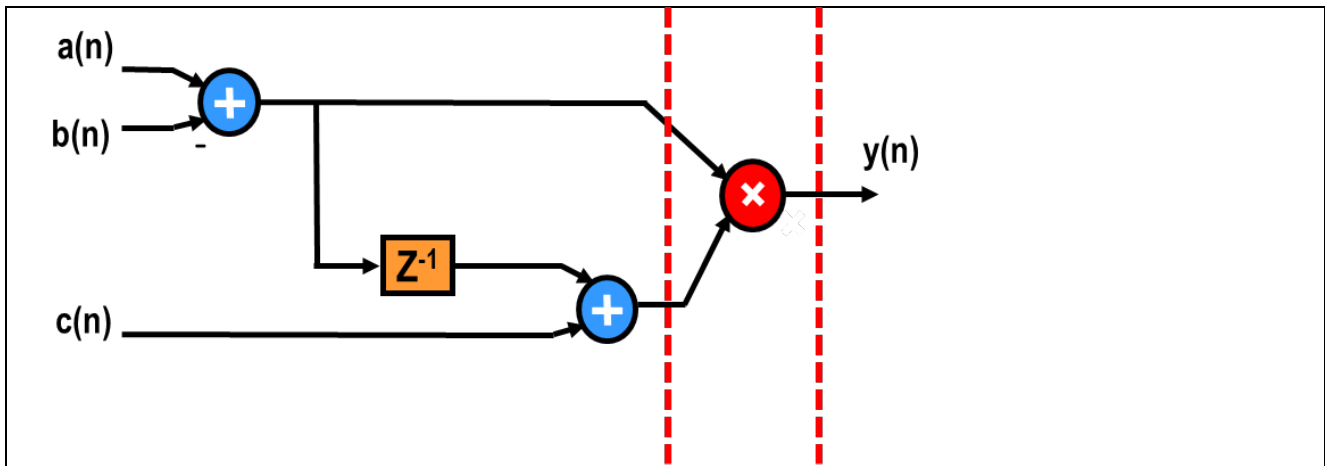
a) Dibuje la arquitectura paralela con la que implementar el algoritmo **con el menor número de recursos hardware que sea posible**.



b) Dibuje el camino crítico del circuito y halle la máxima frecuencia de funcionamiento sabiendo que  $t_{\text{mult}} = 3.5\text{ns}$  y  $t_{\text{add}} = 1.5\text{ns}$  (NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio).



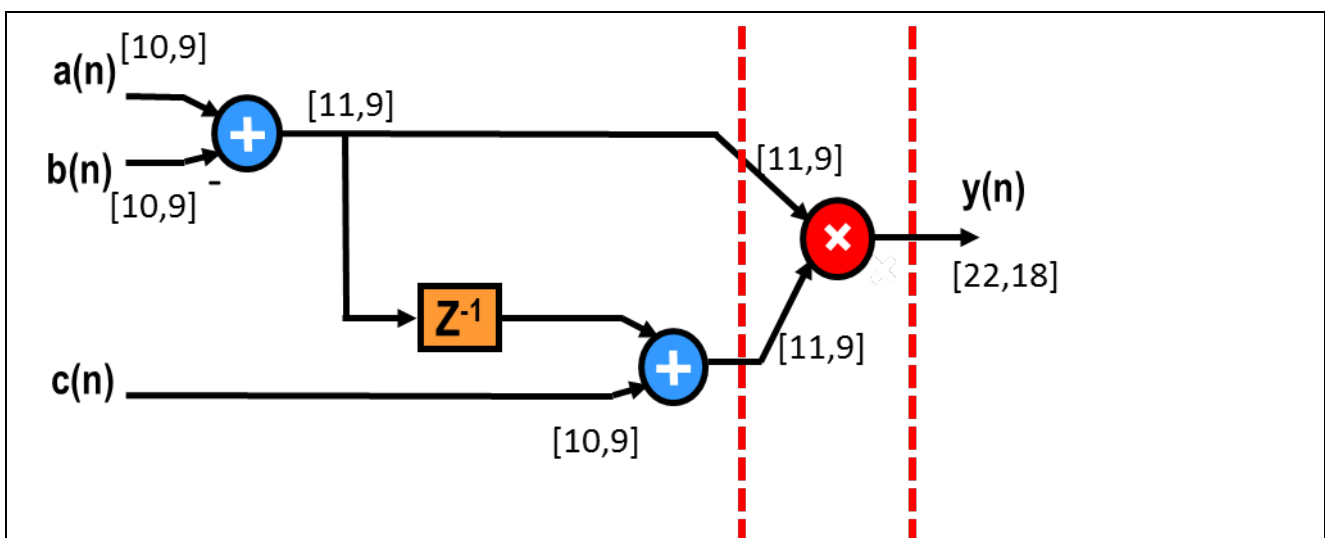
c) Aplique las técnicas de segmentación adecuadas sobre la arquitectura paralela anterior para obtener máxima velocidad. ¿Cuál será la máxima frecuencia de funcionamiento tras segmentar?



Se puede segmentar a la salida del sumador inferior y a la salida del multiplicador, tal y como mostramos en la figura. De este modo el camino crítico se reduce a un multiplicador. La máxima frecuencia de reloj será:

$$f_{\max} = 1/t_{\text{mult}} = 1/(3.5\text{ns}) = 285,7 \text{ MHz}$$

d) Dimensione cada uno de los operadores e indique a su salida el formato numérico necesario para no perder precisión, sabiendo que el formato de a, b y c es [10,9] con signo codificado en complemento.



Tal y como se muestra en la figura serán necesarios los siguientes operadores:

2 Sumadores de 11 bits

1 multiplicador de 22 bits

Registros:  $11 \cdot 3 + 22 = 55$

e) Halle el número de recursos lógicos necesarios para implementar el algoritmo segmentado en un dispositivo FPGA de Altera Cyclone IV.

Cada sumador de n bits requerirá de n LEs. El sintetizador utiliza el registro de salida de cada LE para implementar el sumador con salida registrada, por lo tanto se obtiene:

2 Sumadores de 11 bits = 22 LEs (el sumador inferior tiene las salidas registradas)

El operador multiplicador se implementa utilizando un multiplicador embebido incluyendo sus registros de salida.

Los registros que quedan se implementan utilizando 1 LE por cada registro

Registros:  $11 \cdot 2 = 22$  LEs solo para registros.

f) Si queremos cuantificar la salida con 16 bits. ¿Cuál será el formato numérico de la señal de salida? Escriba cómo se modela con Matlab la aplicación de dicho formato en la salida “y” (con precisión completa) para obtener  $y_q$  (salida con 16 bits).

*La señal de salida tiene formato [22,18], por lo tanto tiene 4 bits de parte entera. Al cuantificar con 16 bits necesitamos respetar los 4 bits enteros para evitar que se produzca desbordamiento, luego el formato de salida será [16,12].*

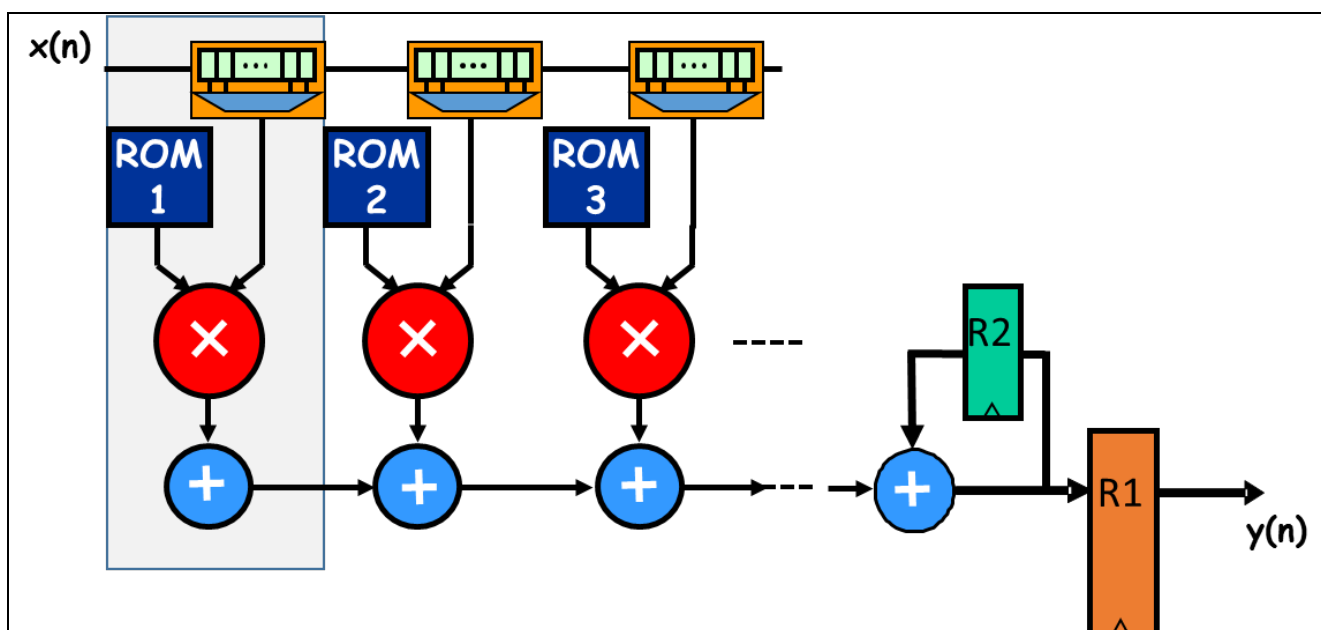
*Esta operación se modelará en Matlab de la siguiente forma:*

*$y_q = \text{floor}(y \cdot 2^{12}) \cdot 2^{-12}$*

## Ejercicio 2 (7 Puntos)

Se quiere implementar un **filtro FIR de 300 coeficientes** utilizando una arquitectura en cascada como la de la figura. Se desea trabajar a una frecuencia de muestreo de 100MHz con una FPGA que contiene 116 multiplicadores embebidos capaces de trabajar a 350MHz.

Los datos de entrada se cuantifican con 14 bits (formato [14,13]) y los coeficientes con 10 bits (formato [10,9]), ambos con signo.



a) ¿Cuántas celdas como la marcada en la figura necesitaremos implementar el filtro utilizando el menor número de recursos?

*Teniendo en cuenta las especificaciones de velocidad tendremos 3,5 ciclos para realizar el filtrado ( $f_{clk} / f_s = 350\text{MHz} / 100\text{MHz} = 3,5\text{ ciclos}$ )*

*$300\text{ multiplicaciones} / 3\text{ ciclos} = 100\text{ multiplicaciones en cada ciclo} < 116\text{ multiplicadores que contiene la FPGA.}$*

*Por lo tanto se necesitan 100 celdas como la marcada en la figura.*

b) ¿Cuál será el tamaño de las memorias ROM que almacenan los coeficientes?

*Tenemos que almacenar 3 coeficientes de 10 bits en cada una de las memorias por lo que se necesita almacenar en cada memoria 3 palabras de 10 bits. El tamaño de las ROM será de  $4 \times 10\text{ bits}$*

c) Suponga que los coeficientes se enumeran de la siguiente forma:  $h_0, h_1, h_2, \dots, h_{299}$ . Indique cómo se rellenaría las memorias de las 2 primeras celdas indicando en cada memoria sus direcciones y contenidos almacenados en dichas direcciones.

En cada memoria se almacenarán 3 coeficientes consecutivos:

En la ROM0:  $dir\_0 \rightarrow h_0$ ,  $dir\_1 \rightarrow h_1$ ,  $dir\_2 \rightarrow h_2$ ;

En la ROM1:  $dir\_0 \rightarrow h_3$ ,  $dir\_1 \rightarrow h_4$ ,  $dir\_2 \rightarrow h_5$ ;

En las memorias la dirección  $dir\_3$  se queda a 0.

d) ¿Cuál será el tamaño de los registros de desplazamiento que almacenan los datos  $x(n)$ ?

Habrà que incluir un desplazamiento de 3 datos entre cada celda, por lo tanto necesitaremos implementar 3 registros de 14 bits entre cada celda.

e) Dimensione el tamaño necesario en los sumadores de las celdas y en el acumulador final para que el filtro pueda operar con precisión completa sin desbordamiento.

Crecimiento en los sumadores =  $\log_2(100) = 6,6 \text{ bits} \rightarrow 7 \text{ bits}$

Crecimiento en el acumulador =  $\log_2(3) = 1.5 \text{ bits} \rightarrow 2 \text{ bits}$

**Salida del circuito  $14 + 7 + 2 = 23 \text{ bits}$**

f) ¿Cuál será el camino crítico, frecuencia máxima de funcionamiento y la latencia del filtro sin segmentar? Suponga que  $t_{\text{mult}}=2.8\text{ns}$ ,  $t_{\text{add}}=1.5\text{ns}$ ,  $t_{\text{ROM}}=0.5\text{ns}$  y  $t_{\text{mux}}=0.6\text{ns}$  y considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio.

Dado que la primera celda contiene un sumador con un operando fijo a cero el sintetizador no lo implementará. Por lo tanto tendremos 99 sumadores más el acumulador, o sea 100 sumadores en total.

**El camino crítico estará formado por 1 multiplexor + 1 multiplicador + 100 sumadores**

La frecuencia máxima del circuito será  $f_{\text{max}} = 1/(t_{\text{mux}} + t_{\text{mult}} + 100 \cdot t_{\text{add}}) = 1/153.4\text{ns} = 6.5 \text{ MHz}$

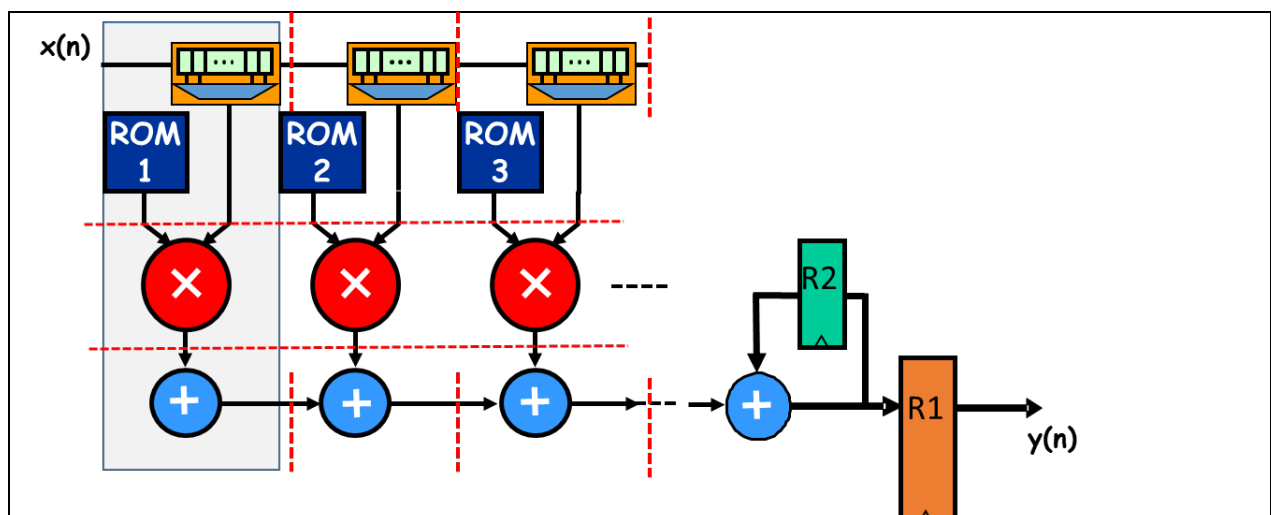
Se necesitan 3 ciclos para obtener el resultado por lo que la frecuencia de máxima de muestreo será  $f_s = 6.5 \cdot 10^6 / 3 = 2.16 \text{ MHz}$

Para calcular la latencia tenemos que tener en cuenta que se trata de una implementación secuencial, que necesitará de 3 ciclos para computar la primera muestra. Por lo tanto la latencia será de 3 ciclos.

g) ¿Cuál será la máxima frecuencia de muestreo que podría alcanzar el circuito sin segmentar?

Como se necesitan 3 ciclos para obtener el resultado la frecuencia de máxima de muestreo será  $f_s = 6.5 \cdot 10^6 / 3 = 2.16 \text{ MHz}$

h) Indique cómo se debe segmentar el circuito anterior para que pueda alcanzar la frecuencia de muestreo requerida.



*Se puede segmentar en horizontal en los siguientes puntos:*

- Salida de las memorias y del multiplexor
- Salida de los multiplicadores

*Se puede segmentar en vertical en los siguientes puntos:*

- A la salida de cada sumador, lo cual origina que se incluya un flip flop más en la línea de datos

i) ¿Qué latencia presentará el circuito segmentado?

- Dado que se trata de una implementación secuencial es necesario 3 ciclos de latencia para obtener el primer resultado
- Teniendo en cuenta la segmentación dibujada en el apartado g se estarán incluyendo 2 + 100 ciclos de latencia

**En total el circuito presentará una latencia de  $3 + 2 + 100 = 105$  ciclos**

j) ¿Necesitaremos introducir un reset en alguno de los registros R1 y R2? Justifique su respuesta y explique cada cuántos ciclos de reloj se producirá ese reset en caso de que sea necesario.

*Se necesita un reset en el registro R2 para limpiar el acumulador al computar una nueva muestra.*

*Un reset cada 3 ciclos de reloj.*

k) ¿Necesitaremos introducir un enable en alguno de los registros R1 y R2? Justifique su respuesta y explique cada cuántos ciclos de reloj se producirá esa habilitación en caso de que sea necesario.

*Se necesita una entrada de habilitación en el registro R1 para capturar el dato de salida.*

*La señal de enable estará a nivel alto durante un ciclo cada tres ciclos de reloj*

*El circuito segmentado, con el reset y enable será el siguiente:*

