

Prueba 2: Procesado digital de la señal con FPGAs

Alumno:

12/4/2017

Ejercicio 1 (3 Puntos)

Dada la siguiente ecuación en diferencias: $y(n) = [a(n) - b(n)] * [c(n) + (a(n-1) - b(n-1))]$

a) Dibuje la arquitectura paralela con la que implementar el algoritmo **con el menor número de recursos hardware que sea posible**.

b) Dibuje el camino crítico del circuito y halle la máxima frecuencia de funcionamiento sabiendo que $t_{\text{mult}}=3.5\text{ns}$ y $t_{\text{add}}=1.5\text{ns}$ (NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio).

c) Aplique las técnicas de segmentación adecuadas sobre la arquitectura paralela anterior para obtener máxima velocidad. ¿Cuál será la máxima frecuencia de funcionamiento tras segmentar?

d) Dimensione cada uno de los operadores e indique a su salida el formato numérico necesario para no perder precisión, sabiendo que el formato de a, b y c es [10,9] con signo codificado en complemento a dos.

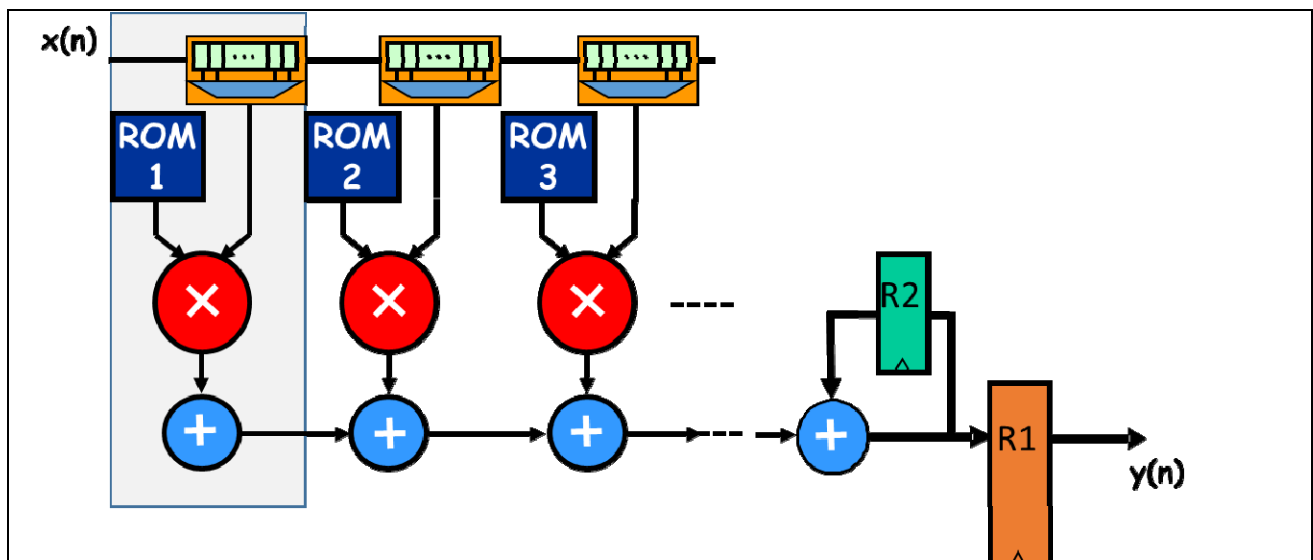
e) Halle el número de recursos lógicos necesarios para implementar el algoritmo segmentado en un dispositivo FPGA de Altera Cyclone IV.

f) Si queremos cuantificar la salida con 16 bits. ¿Cuál será el formato numérico de la señal de salida? Escriba cómo se modela con Matlab la aplicación de dicho formato en la salida “y” (con precisión completa) para obtener y_q (salida con 16 bits).

Ejercicio 2 (7 Puntos)

Se quiere implementar un **filtro FIR de 300 coeficientes** utilizando una arquitectura en cascada como la de la figura. Se desea trabajar a una frecuencia de muestreo de $f_s=100\text{Msps}$ con una FPGA que contiene 116 multiplicadores embebidos capaces de trabajar a 350MHz.

Los datos de entrada se cuantifican con 14 bits (formato [14,13]) y los coeficientes con 10 bits (formato [10,9]), ambos con signo.



a) ¿Cuál debe ser la frecuencia de reloj (f_{clk}) del filtro? ¿Cuántas celdas como la marcada en la figura necesitaremos para implementar el filtro utilizando el menor número de recursos?

b) ¿Cuál será el tamaño de las memorias ROM que almacenan los coeficientes?

c) Suponga que los coeficientes se enumeran de la siguiente forma: $h_0, h_1, h_2, \dots, h_{299}$. Indique cómo se rellenaría las memorias de las 2 primeras celdas indicando en cada memoria sus direcciones y contenidos almacenados en dichas direcciones.

d) ¿Cuál será el tamaño de los registros de desplazamiento que almacenan los datos $x(n)$?

- e) Dimensione el tamaño necesario en los sumadores de las celdas y en el acumulador final para que el filtro pueda operar con precisión completa sin desbordamiento.
- f) ¿Cuál será el camino crítico, frecuencia máxima de funcionamiento y la latencia del filtro sin segmentar? Suponga que $t_{\text{mult}}=2.8\text{ns}$, $t_{\text{add}}=1.5\text{ns}$, $t_{\text{ROM}}=0.5\text{ns}$ y $t_{\text{mux}}=0.6\text{ns}$ y considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio.
- g) ¿Cuál será la máxima frecuencia de muestreo que podría alcanzar el circuito sin segmentar?
- h) Indique cómo se debe segmentar el circuito anterior para que pueda alcanzar la frecuencia de muestreo requerida.
- i) ¿Qué latencia presentará el circuito segmentado?

j) ¿Necesitaremos que algunos de los registros R1 y R2 tenga entrada de “reset”? Justifique su respuesta y explique cada cuántos ciclos de reloj se producirá ese reset en caso de que sea necesario.

k) ¿Necesitaremos que algunos de los registros R1 y R2 tenga entrada de “clock enable”? Justifique su respuesta y explique cada cuántos ciclos de reloj se producirá esa habilitación en caso de que sea necesario.