

Prueba 2: Procesado digital de la señal con FPGAs

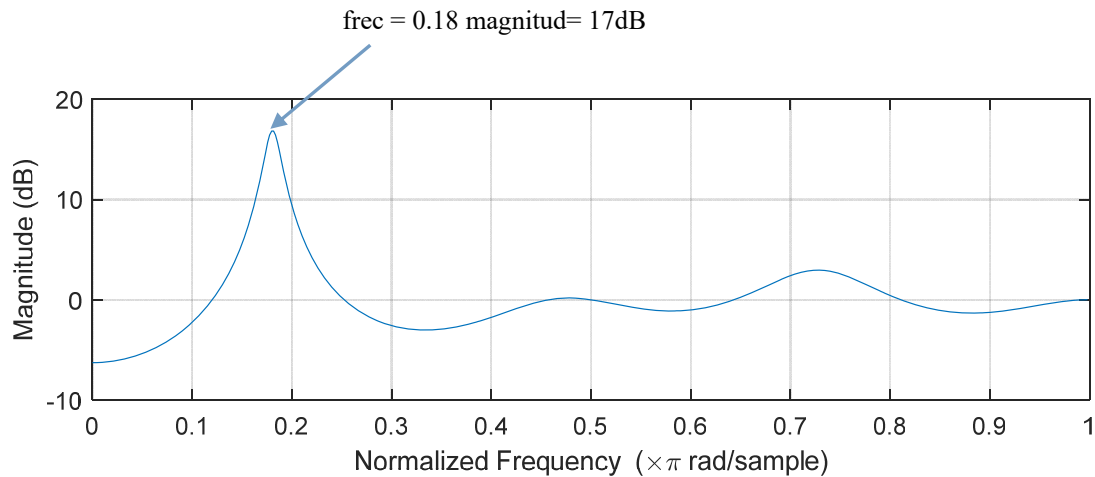
Alumno:

11/5/2018

Ejercicio 1 (4 Puntos)

Se ha diseñado un filtro recursivo paso banda cuya ecuación en diferencias y respuesta en frecuencia se muestran a continuación:

$$y(n) = x(n-2) - a_0 \cdot y(n-4) - a_1 \cdot y(n-5) - a_2 \cdot y(n-6) - a_3 \cdot y(n-7)$$



- a) Dibuje la arquitectura paralela con la que implementar el algoritmo anterior (1 punto)

- b) Sobre el esquema anterior dibuje el camino crítico del circuito y halle la máxima frecuencia de funcionamiento sabiendo que $t_{\text{mult}}=3.5\text{ns}$ y $t_{\text{add}}=1.5\text{ns}$ (NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio). (1 punto)



- c) ¿Se puede aumentar la frecuencia de funcionamiento del filtro mediante la aplicación de alguna técnica arquitectural? Si su respuesta es positiva, dibuje la arquitectura del filtro resultante de la aplicación de dichas técnicas e indique cuál será la máxima frecuencia de funcionamiento. (1 punto)

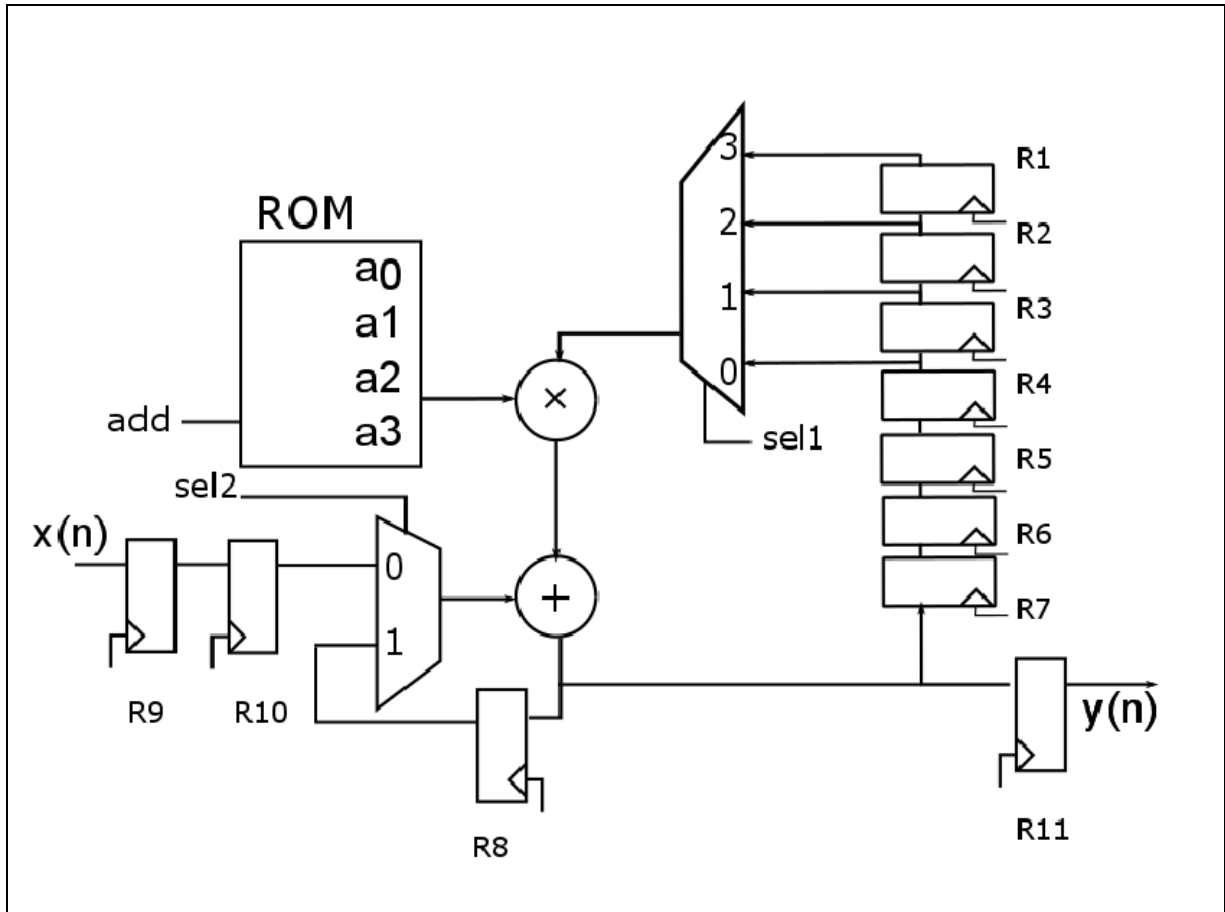


- d) Se desea cuantificar la entrada de datos y los coeficientes en complemento a dos con formato [10,9]. Se debe cuantificar la salida de forma que se evite el desbordamiento y se mantengan 9 bits fraccionales de precisión a la salida, mientras que internamente el filtro deberá operar con 12 bits fracciones de precisión. Cuantifique todos los operadores internos del filtro. Si en alguna conexión entre operadores se requiere cambiar el formato indíquelo con un bloque Q y escriba el nuevo formato a su salida. (1 punto)

Ejercicio 2 (6 Puntos)

Partiendo de la ecuación en diferencias del ejercicio anterior, se desea realizar una implementación serie para conseguir el mínimo uso de recursos. En la siguiente figura se muestra el esquema de la implementación serie. Cada uno de los registros presentes en el circuito poseen una entrada de habilitación (ce) y una de reset (rst).

$$y(n) = x(n-2) - a_0 \cdot y(n-4) - a_1 \cdot y(n-5) - a_2 \cdot y(n-6) - a_3 \cdot y(n-7)$$



- a) Explicar el funcionamiento del circuito secuencial propuesto indicando claramente cuántos ciclos se necesitan para realizar el cómputo completo y qué operación se realiza en cada ciclo. (1 punto)

- b) Cada uno de los registros presentes en el circuito poseen una entrada de habilitación (ce) y una de reset (rst). Justifique, para cada registro, cómo tienen que ser estas líneas de control (1 punto)

- c) ¿Cuál será el tamaño de la memoria ROM que almacenará los coeficientes si se cuantifican con 10 bits? ¿Cuántas LUTs se requieren si se implementase como memoria distribuida de un dispositivo FPGA Cyclone V? (0.5 puntos)

- d) ¿Cuál es la frecuencia máxima de funcionamiento del circuito anterior? Considere los siguientes tiempos: $t_{add}=1.5ns$, $t_{mux}=2ns$, $t_{mult}=3.5ns$ y $t_{ROM}=2ns$. ¿Cuál será la frecuencia máxima de muestreo del circuito? Justifique la respuesta (0.5 puntos)

- e) ¿Es posible segmentar el circuito para alcanzar mayor frecuencia de muestreo? (1 punto)

- f) Explique claramente el funcionamiento de todas las señales de control que se utilizarán para controlar el **circuito sin segmentar**. Realice una tabla en la que indique el valor de todas las líneas de control en cada ciclo (0.5 puntos)

- g) Partiendo de la tabla del apartado anterior haga las simplificaciones que considere oportunas para incluir el control en una memoria del menor tamaño posible. (0.5 puntos)

- h) Trabajando con el **circuito sin segmentar**, se desea aplicar la misma cuantificación que en el apartado d del ejercicio 1. Cuantificar la salida de todos los operadores internos del filtro e indique claramente qué bits se seleccionan como salida del filtro. Si en alguna conexión entre operadores se requiere cambiar el formato indíquelo con un bloque Q y escriba el nuevo formato a su salida. (1 punto)