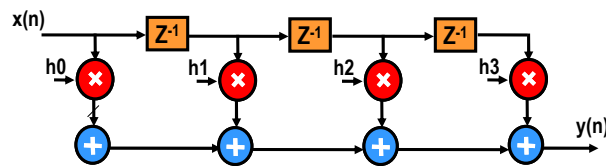


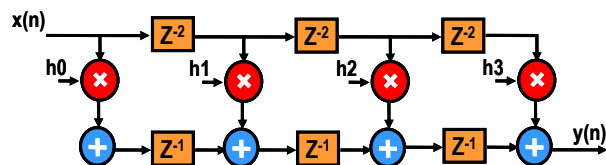
EJERCICIOS: ARQUITECTURAS HARDWARE PARALELAS

1.- Dados los siguientes esquemas de filtros con estructuras paralelas en forma directa:

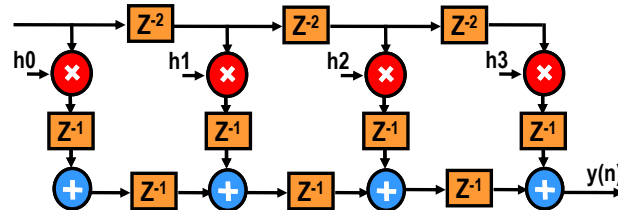
FIR_A



FIR_B



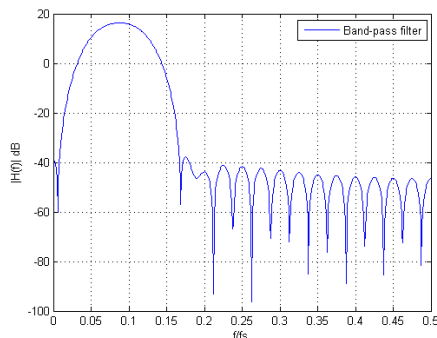
FIR_C



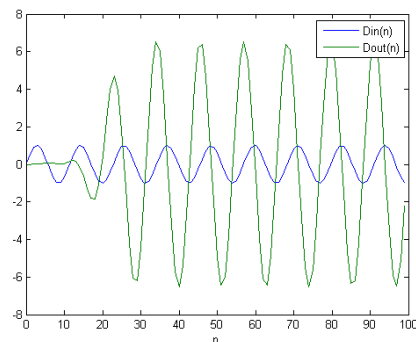
- Indique si son correctas las segmentaciones realizadas en las arquitecturas FIR_B y FIR_C. Justifique su respuesta.
- ¿Cuál es la latencia, dada en ciclos de reloj, de cada filtro?
- Dibuje la respuesta al impulso de cada filtro. Suponga que $h_1=1$, $h_2=2$, $h_3=3$ y $h_4=4$.
- Se dispone de un dispositivo FPGA cuyos multiplicadores y sumadores tienen tiempos de propagación $t_{mul}=3.5ns$ y $t_{add}=1.5ns$, respectivamente. ¿Cuál es la frecuencia máxima de funcionamiento de cada filtro? NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver esta cuestión.

2.- Utilizando la estructura del filtro FIR_C de la sección anterior se va a implementar un filtro FIR paso banda de 41 coeficientes cuya respuesta en frecuencia y un ejemplo de señal filtrada se muestra a continuación. Teniendo en cuenta que el filtro tiene una ganancia de 16.31 dBs y que la señal de entrada al filtro tiene un formato [10,9] y los coeficientes [16,15], ambos con signo, determine el crecimiento de datos y los formatos numéricos a la salida del filtro y en los puntos intermedios.

Respuesta en frecuencia



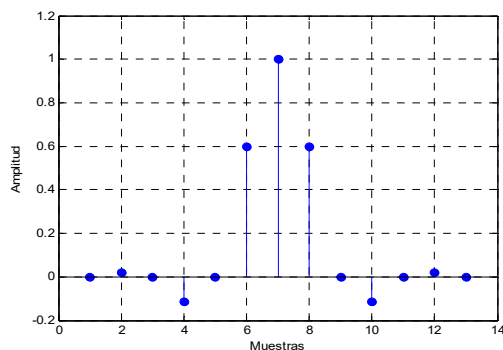
Ejemplo de señal filtrada



3.- Dado un filtro mediabanda de orden 12 con los coeficientes indicados abajo.

- Dibuje la arquitectura en paralelo utilizando una estructura de filtro FIR directa.
- Segmente la arquitectura con estructura directa para que se alcance la mayor frecuencia de funcionamiento posible.
- Dibuje la arquitectura en paralelo utilizando una estructura de filtro FIR transpuesta.
- Segmente la arquitectura con estructura transpuesta para que se alcance la mayor frecuencia de funcionamiento posible.
- Indique los recursos que requieren ambas arquitecturas segmentadas (número y tamaño de sumadores, multiplicadores y registros). Suponga que los datos y coeficientes tienen un formato [16,15] con signo y que la ganancia del filtro es 1.

Respuesta al impulso



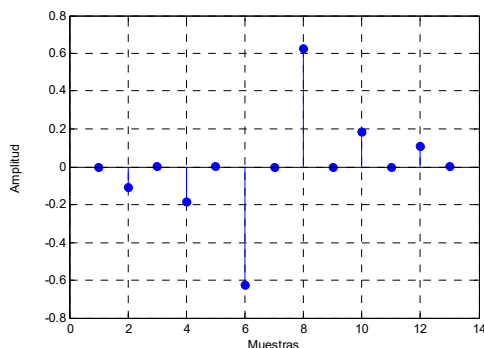
Coeficientes

$$\begin{aligned}
 h_0 &= h_2 = h_4 = h_8 = h_{10} = h_{12} = 0 \\
 h_1 &= h_{11} = 0.018 \\
 h_3 &= h_9 = -0.115 \\
 h_5 &= h_7 = 0.597 \\
 h_6 &= 1
 \end{aligned}$$

4.- Dado un filtro de Hilbert de orden 12 cuyos coeficientes se indican abajo.

- Dibuje la arquitectura en paralelo utilizando una estructura de filtro FIR directa.
- Segmente la arquitectura con estructura directa para que se alcance la mayor frecuencia de funcionamiento posible.
- Dibuje la arquitectura en paralelo utilizando una estructura de filtro FIR transpuesta.
- Segmente la arquitectura con estructura transpuesta para que se alcance la mayor frecuencia de funcionamiento posible.
- Indique los recursos que requieren ambas arquitecturas segmentadas (número y tamaño de sumadores, multiplicadores y registros). Suponga que los datos y coeficientes tienen un formato [16,15] con signo y que la ganancia del filtro es 1.

Respuesta al impulso



Coeficientes

$$\begin{aligned}
 h_0 &= h_2 = h_4 = h_6 = h_8 = h_{10} = h_{12} = 0 \\
 h_1 &= -h_{11} = -0.1075 \\
 h_3 &= -h_9 = -0.1830 \\
 h_5 &= -h_7 = 0.6265
 \end{aligned}$$

5.- Se requiere implementar un filtro FIR de 41 coeficientes para realizar el filtrado de una señal ultrasónica de ancho de banda 150MHz digitalizada con un conversor ADC cuya tasa de muestreo es de 500 Msps y se dispone de un dispositivo FPGA Cyclone V cuyos bloques DSP contienen multiplicadores embebidos cuya frecuencia máxima de operación es de 200 MHz.

a) Indique en cuantos flujos de datos se debe paralelizar el filtro, a qué frecuencia de reloj se tienen que procesar los datos en el dispositivo FPGA y cuántos multiplicadores se requieren para su implementación.

b) Utilice la transformación polifásica para diseñar el filtro. Dibuje su esquema de implementación e indique qué coeficientes se computan en cada subfiltro.

c) Dibuje el esquema de implementación de uno de los subfiltros.

6.- Un receptor de ultrasonidos en array permite captar los ecos producidos por una irregularidad en un material en un punto concreto, a cierta distancia y ángulo respecto al receptor. El sistema digitaliza el eco recibido por un array de sensores separados entre sí cierta distancia y a cada señal capturada se le aplica un retardo diferente que depende de la posición del sensor y la distancia y ángulo en la que se está enfocando. Para implementar la parte fraccional de dicho retardo temporal cada canal se le aplica un filtro FIR de 6 coeficientes.

Suponga que el receptor en array de ultrasonido lo forman 30 sensores cuyas señales de capturan con 30 conversores analógico-digital de frecuencia de muestreo de 30 MHz y que se dispone de un dispositivo FPGA cuyos multiplicadores alcanzan una frecuencia máxima de reloj de 200 MHz.

a) ¿Cuántos filtros es necesario implementar y cuántos canales se procesan con cada filtro si para su implementación se utiliza la estrategia de procesamiento entrelazado?

b) Dibuje el esquema de uno de los filtros suponiendo que el dispositivo FPGA es un Cyclone IV y estime los recursos que se requieren para su implementación (registros, LEs y multiplicadores). Suponga que la señal digitalizada tiene W_d bits, los coeficientes W_c bits y la ganancia del filtro es unitaria.

c) Dibuje el esquema de uno de los filtros suponiendo que el dispositivo FPGA es un Cyclone V y estime los recursos que se requieren para su implementación (registros, LEs y bloques DSP).

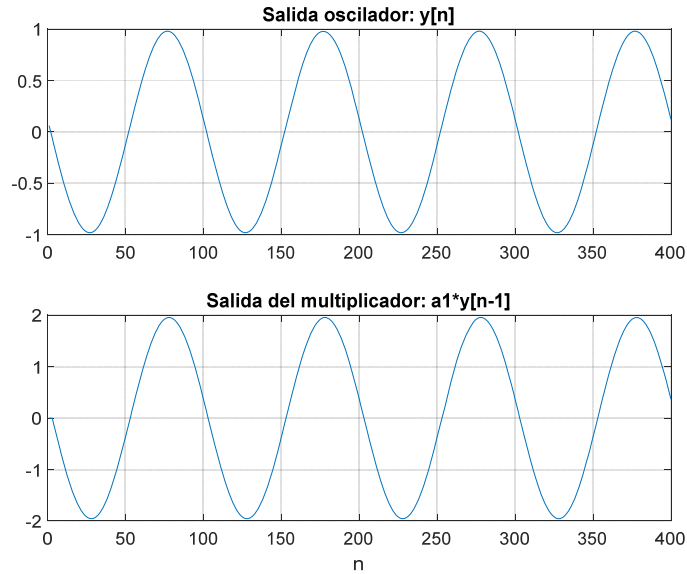
7.- Una señal sinusoidal se puede generar con un filtro recursivo de segundo orden que implemente la siguiente ecuación en diferencias: $y(n)=a_1*y(n-1)-y(n-2)$ con $y(-2)=b_0$, donde $b_0=A*\sin(2*\pi*f_0/f_s)$ y $a_1=2*\cos(2*\pi*f_0/f_s)$, siendo A y f_0 la amplitud y frecuencia de oscilación y f_s la frecuencia de muestreo.

a) Dibuje el esquema de implementación en paralelo del filtro recursivo $y(n)=a_1*y(n-1)-y(n-2)$.

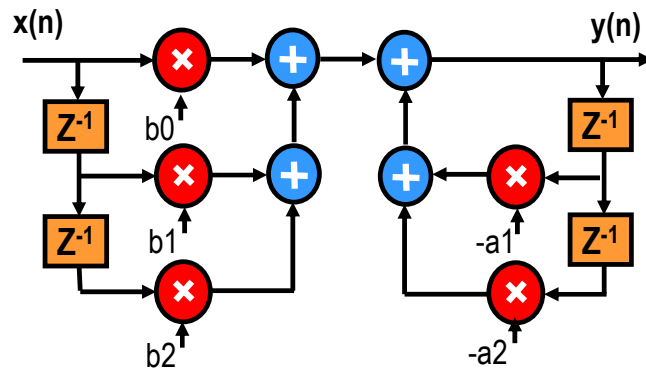
b) Indique cuál es el camino crítico del filtro.

c) ¿Se puede segmentar el filtro para aumentar la frecuencia de funcionamiento?

d) Al utilizar el oscilador para generar una señal sinusoidal de amplitud 0.98 y frecuencia 1 MHz utilizando una frecuencia de muestreo de 100 MHz, se obtienen las siguientes formas de onda a la salida del oscilador y a la salida del multiplicador. ¿Cuál debe ser el formato numérico para optimizar la precisión si los multiplicadores que se utilizan en la implementación son de 18x18 bits?



8.- Dada la siguiente celda de 2º orden de un filtro IIR, indique en qué puntos se puede incluir registros de segmentación para aumentar la frecuencia de funcionamiento del circuito y calcule dicha frecuencia. Los tiempos de propagación de los operadores aritméticos son $t_{mul}=3.5ns$ y $t_{add}=1.5ns$ y el tiempo de propagación de los flip-flops (FF) y de set-up son $t_{co}=0.5ns$, $t_{su}=0.01ns$, respectivamente.



9.- Se desea utilizar la celda de 2º orden del ejercicio anterior para procesar dos secuencias independientes capturadas con 2 conversores analógico-digital.

- Indique cómo se debe modificar el circuito para realizar el procesamiento entrelazado de ambas muestras.
- Aplice la técnica de retiming para aumentar la frecuencia de funcionamiento del circuito y calcule dicha frecuencia utilizando los tiempos definidos en la pregunta anterior.
- ¿Cuál será la frecuencia máxima de digitalización de las dos secuencias para que se puedan procesar con el circuito modificado?