

Prueba 1: Procesado digital de la señal con FPGAs

Alumno:

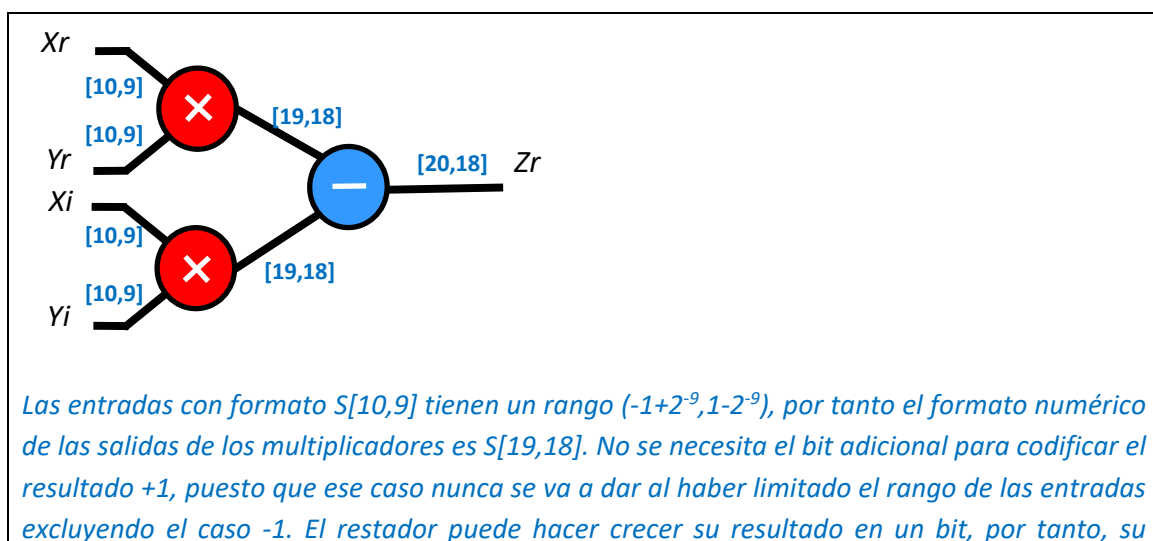
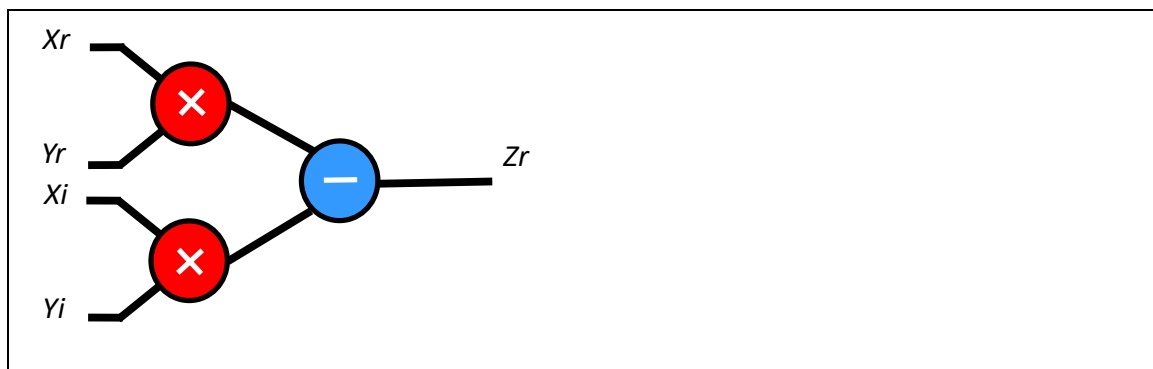
13/4/2018

Dado los números complejos $X=X_r+jX_i$ e $Y=Y_r+jY_i$ se requiere computar el cálculo de la parte real de la multiplicación de dichos números:

$$Z_r = \text{real}(X \cdot Y) = X_r \cdot Y_r - X_i \cdot Y_i$$

Los formatos numéricos de las partes reales e imaginarias de ambos números son $[10,9]$ codificados con signo en complemento a dos, en las que se ha limitado su rango a $(-1+2^{-9}, 1-2^{-9})$, eliminando el caso en el que los datos valgan -1.

1) Indique en el siguiente esquema los formatos numéricos a la salida de los multiplicadores y a la salida del restador para que se compute la operación sin pérdida de precisión. Justifique su respuesta.



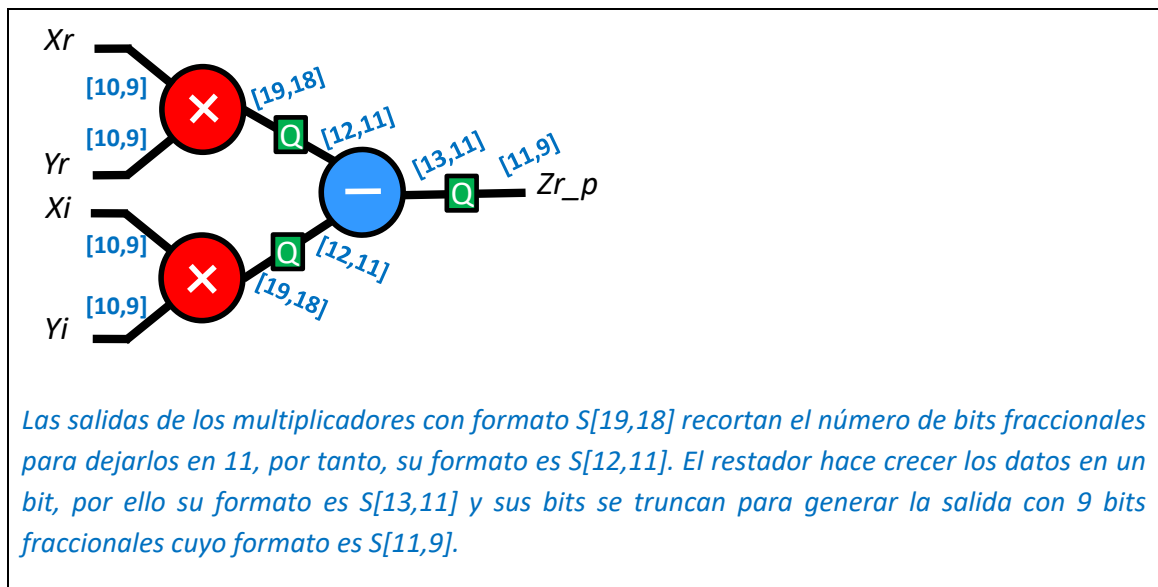
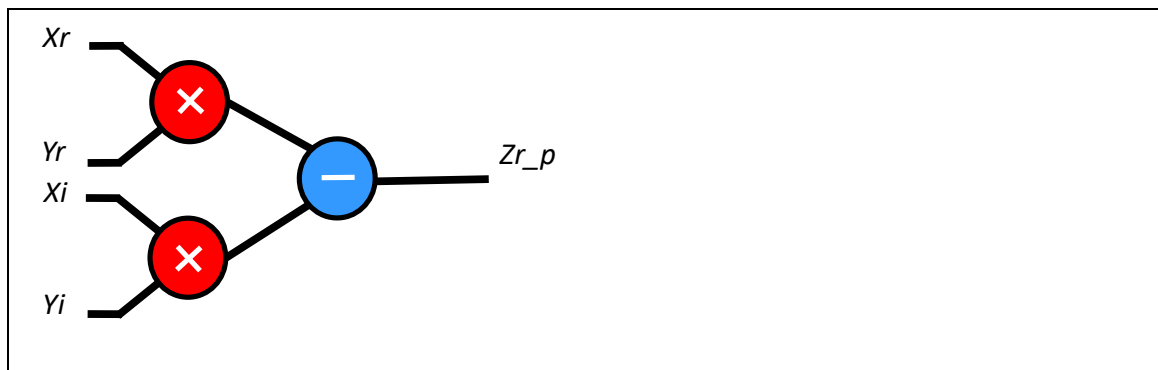
Las entradas con formato $S[10,9]$ tienen un rango $(-1+2^{-9}, 1-2^{-9})$, por tanto el formato numérico de las salidas de los multiplicadores es $S[19,18]$. No se necesita el bit adicional para codificar el resultado +1, puesto que ese caso nunca se va a dar al haber limitado el rango de las entradas excluyendo el caso -1. El restador puede hacer crecer su resultado en un bit, por tanto, su

formato debe ser S[20,18].

2) Suponga que el operador anterior se implementa atendiendo al siguiente modelo de precisión finita:

$$Z_{r_p} = \text{floor}((\text{floor}(X_r \cdot Y_r \cdot 2^{11}) - \text{floor}(X_i \cdot Y_i \cdot 2^{11})) \cdot 2^{-2}) \cdot 2^{-9}$$

Indique en qué puntos del circuito se recorta la precisión y los formatos numéricos en dichos puntos.



3) Modele con Verilog el operador de la cuestión 1, que opera con precisión completa.

```
module Mult_Zr(  
  input signed [9:0] Xr,Xi,Yr,Yi,  
  output signed [19:0] Zr);  
  
  wire signed [18:0] M1,M2;  
  // M1  
  assign M1 = Xr * Yr;
```

```
// M2
assign M2 = Xi * Yi;

// Resta
assign Zr = M1 - M2;

endmodule
```

4) Modele con Verilog el operador de la cuestión 2, que opera con pérdida de precisión.

```
module Mult_Zr_p(
input signed [9:0] Xr,Xi,Yr,Yi,
output signed [10:0] Zr_p);

wire signed [18:0] M1,M2;
wire signed [11:0] M1q,M2q;
wire signed [12:0] R;

// M1
assign M1 = Xr * Yr;
assign M1q = M1[18:7];
// M2
assign M2 = Xi * Yi;
assign M2q = M2[18:7];
// Resta
assign R = M1q - M2q;
assign Zr_p = R[12:2];

endmodule
```

5) Suponiendo que el tiempo de propagación de un sumador es $t_{sum} = 1.5$ ns, el del multiplicador es $t_{mult} = 3.5$ ns, y que se consideran nulos los tiempos de t_{su} y t_{co} de los registros, indique cuál es la frecuencia máxima de operación del operador a) sin aplicarle segmentación y b) aplicándole segmentación.

En el circuito no segmentado el camino crítico es el de propagación a través de un multiplicador y el restador. La frecuencia máxima de operación $f_{max} = 1/(t_{co}+t_{mult}+t_{sum}+t_{su}) \approx 1/(t_{mult}+t_{sum}) = 200$ MHz.

En el circuito segmentado se registran las salidas de los multiplicadores y el camino crítico es el de propagación a través de un multiplicador, por ser éste más restrictivo que el de propagación a través del restador. La frecuencia máxima de operación $f_{max} = 1/(t_{co}+t_{mult}+t_{su}) \approx 1/t_{mult} = 285.7$ MHz