

EJERCICIOS: ARQUITECTURAS HARDWARE SECUENCIALES

1.- Se pretende implementar un filtro FIR de 50 coeficientes para operar con una frecuencia de muestreo $f_s=10$ MHz y se dispone de un dispositivo FPGA con multiplicadores que pueden funcionar a una frecuencia de reloj máxima de 300 MHz.

- ¿Se puede implementar el filtro utilizando una arquitectura secuencial con un único multiplicador? Justifique la respuesta
- ¿Cuál es la frecuencia máxima de muestreo que se podría alcanzar utilizando un único multiplicador en la arquitectura? Justifique la respuesta
- Dibuje el esquema de implementación de la arquitectura con un único multiplicador con la que se alcanzaría la máxima frecuencia de muestreo.

2.- Se quiere implementar un filtro FIR simétrico de 50 coeficientes para operar con una frecuencia de muestreo de 10 MHz y se dispone de un dispositivo FPGA con multiplicadores y sumadores cuyos tiempos de propagación son $t_{mul}=3.5ns$ y $t_{add}=1.5ns$, respectivamente. NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio.

- ¿Se puede implementar el filtro utilizando una arquitectura secuencial con un único multiplicador? Justifique la respuesta
- ¿Cuál es la frecuencia máxima de muestreo que se podría alcanzar utilizando un único multiplicador en la arquitectura? Justifique la respuesta
- Dibuje el esquema de implementación de la arquitectura con un único multiplicador con la que se alcanzaría la máxima frecuencia de muestreo.

3.- Estime los recursos hardware (indique si son memorias RAM, ROM, multiplicadores, sumadores o registros y sus dimensiones en bits) necesarios para implementar un filtro FIR simétrico de 200 coeficientes con una arquitectura secuencial que dispone un único multiplicador. El filtro tiene una ganancia de 7.5, y el formato numérico de los datos y los coeficientes es [12,11] y [16,15], respectivamente, ambos con signo en complemento a dos. ¿Cuál es la frecuencia máxima de muestreo a la que puede operar el filtro? Indique el resultado en función de la frecuencia de reloj, f_{clk} .

4.- Se quiere implementar un filtro FIR simétrico de 200 coeficientes para operar con una frecuencia de muestreo de 20 MHz y se dispone de un dispositivo FPGA que soporta una frecuencia máxima de reloj de 250 MHz.

- Indique cuántos multiplicadores se requieren para su implementación. Justifique su respuesta.
- Dibuje el esquema de implementación del filtro.

5.- Dibuje el esquema de implementación de un filtro FIR de orden 16 (17 coeficientes) con una arquitectura semi-paralela que utiliza 4 multiplicadores. Dimensione la arquitectura indicando el número de registros y tamaño de las memorias e indique qué coeficientes se almacena en cada memoria ROM. Suponga que los coeficientes del filtro son: $h=(h_0, h_1, h_2, h_3, h_4, h_5, h_6, h_7, h_8, h_9, h_{10}, h_{11}, h_{12}, h_{13}, h_{14}, h_{15}, h_{16})$. ¿Cuál es la frecuencia máxima de muestreo a la que puede operar el filtro? Indique el resultado en función de la frecuencia de reloj, f_{clk} .

6.- Dibuje el esquema de implementación de un filtro FIR simétrico de orden 16 (17 coeficientes) con una arquitectura semi-paralela que utiliza 3 multiplicadores. Dimensione la arquitectura indicando el número de registros y tamaño de las memorias e indique qué coeficientes se almacena en cada memoria ROM. Suponga que los coeficientes del filtro son: $h=(h_0, h_1, h_2, h_3, h_4, h_5, h_6, h_7, h_8, h_9, h_{10}, h_{11}, h_{12}, h_{13}, h_{14}, h_{15}, h_{16})$. ¿Cuál es la frecuencia máxima de

muestreo a la que puede operar el filtro? Indique el resultado en función de la frecuencia de reloj, f_{clk} .