

EJERCICIOS: ARQUITECTURAS HARDWARE MULTITASA

1.- Se quiere implementar un filtro FIR de 20 coeficientes para interpolar por un factor 4 una señal muestreada a 50 MHz. Se dispone de un dispositivo FPGA con multiplicadores y sumadores cuyos tiempos de propagación son $t_{mul}=3.5ns$ y $t_{add}=1.5ns$, respectivamente. NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio.

- ¿Se puede implementar el filtro utilizando una arquitectura secuencial con un único multiplicador? Justifique la respuesta
- Suponga que se va a utilizar una frecuencia de reloj de 200MHz. ¿Cuántos multiplicadores se requieren para implementar el filtro interpolador?
- Dibuje la arquitectura hardware del filtro interpolador por 4 implementado con el número de multiplicadores indicado en la sección anterior. Indique cómo se almacenan los coeficientes del filtro en las memorias ROM.
- Suponga que el tamaño de las muestras es de 10 bits (formato [10,9]) y el de los coeficientes del filtro es de 16 bits (formato [16,15]). Enumere los recursos hardware que se requieren para implementar el filtro indicando sus dimensiones. Suponga que el filtro tiene una ganancia de valor 4.
- ¿Cuál es la frecuencia máxima de funcionamiento del filtro? ¿Se puede interpolar por un factor 4 una señal muestreada a 50 MHz con este filtro?
- Si la contestación a la pregunta anterior es negativa indique cómo se ha de segmentar el filtro y la frecuencia máxima de funcionamiento que se obtendría tras la segmentación.

2.- Se pretende implementar un filtro FIR de 100 coeficientes para interpolar por un factor 5 una señal muestreada a 1MHz y se dispone de un dispositivo FPGA que soporta frecuencias de reloj de hasta 300 MHz.

- Indique qué frecuencia de reloj se necesita para implementar el filtro utilizando una arquitectura secuencial con un único multiplicador.
- Dibuje la arquitectura hardware secuencial del filtro interpolador por 5. Indique cómo hay que almacenar los coeficientes del filtro en la ROM.
- Enumere los recursos hardware que se requieren para implementar el filtro indicando sus dimensiones. Suponga que el tamaño de las muestras es de 10 bits (formato [10,8]) y el de los coeficientes del filtro es de 16 bits (formato [16,13]) y que el filtro tiene una ganancia de valor 15.

3.- Se quiere implementar un filtro FIR de 20 coeficientes para diezmar por un factor 5 una señal muestreada a 150 MHz. Se dispone de un dispositivo FPGA con multiplicadores y sumadores cuyos tiempos de propagación son $t_{mul}=3.5ns$ y $t_{add}=1.5ns$, respectivamente. NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver este ejercicio.

- Indique cuantos multiplicadores se requieren para su implementación. Justifique la respuesta.
- Dibuje la arquitectura hardware del filtro diezmadador por 5 implementado con el número de multiplicadores indicado en la sección anterior. Indique cómo se almacenan los coeficientes del filtro en las memorias ROM.
- Suponga que el tamaño de las muestras es de 10 bits (formato [10,8]) y el de los coeficientes del filtro es de 16 bits (formato [16,14]). Enumere los recursos hardware que se requieren para implementar el filtro indicando sus dimensiones. Suponga que el filtro tiene una ganancia de valor 4.
- ¿Cuál es la frecuencia máxima de funcionamiento del filtro?

4.- Se pretende implementar un filtro FIR de 120 coeficientes para diezmar por un factor 3 una señal muestreada a 5 MHz y se dispone de un dispositivo FPGA que soporta frecuencias de reloj de hasta 300 MHz.

- a) Indique qué frecuencia de reloj se necesita para implementar el filtro utilizando una arquitectura secuencial con un único multiplicador.
- b) Dibuje la arquitectura hardware secuencial del filtro interpolador por 3. Indique cómo hay que almacenar los coeficientes del filtro en la ROM.
- c) Suponga que el tamaño de las muestras es de 10 bits (formato [10,8]) y el de los coeficientes del filtro es de 16 bits (formato [16,15]). Enumere los recursos hardware que se requieren para implementar el filtro indicando sus dimensiones. Suponga que el filtro tiene una ganancia de valor 1.

5.- Dado un filtro CIC de 2 etapas interpolador por 20, formado a partir de uno de una etapa y orden $M=1$.

- a) Dibuje su diagrama de bloques
- b) Dibuje el esquema de la implementación hardware (no utilice el operador z^{-1} , utilice registros)
- c) Calcule la ganancia del filtro
- d) Indique los tamaños de los sumadores. Suponga que los datos de entrada son de 10 bits.

6.- Dado un filtro CIC de 2 etapas diezmadador por 20, formado a partir de uno de una etapa y orden $M=1$.

- a) Dibuje su diagrama de bloques
- b) Dibuje el esquema de la implementación hardware (no utilice el operador z^{-1} , utilice registros)
- c) Calcule la ganancia del filtro
- d) Indique los tamaños de los sumadores Suponga que los datos de entrada son de 10 bits.