

Prueba 1: Procesado digital de la señal con FPGAs

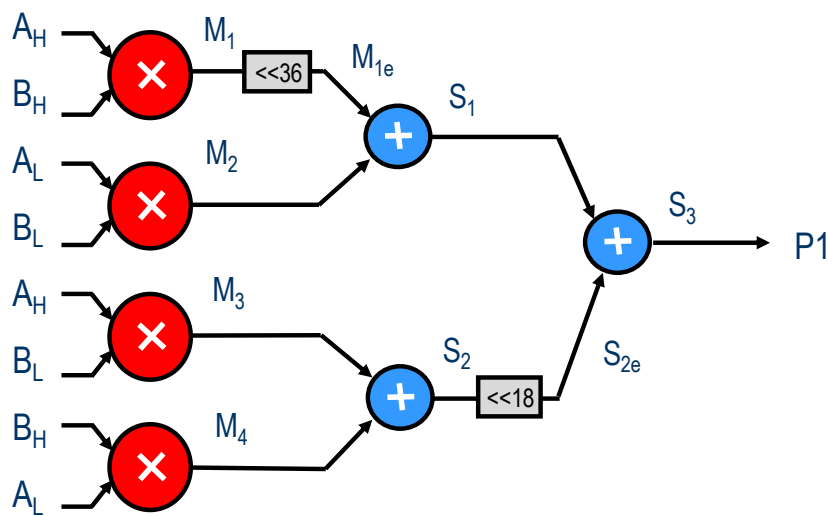
Alumno:

29/3/2019

Se desea realizar la implementación de un multiplicador con operandos de 30 bits para operar a alta velocidad. El formato numérico de los operandos A y B es [30,29] con signo en complemento a dos. Para facilitar el funcionamiento del multiplicador a alta velocidad en un dispositivo Cyclone IV, que dispone de *hard-cores* multiplicadores de 18x18 bits con y sin signo, se va a implementar el multiplicador descomponiendo los operandos en dos palabras concatenadas ($A=A_H \cdot 2^{18} + A_L$ y $B=B_H \cdot 2^{18} + B_L$) atendiendo a la siguiente ecuación:

$$P1 = A \cdot B = A_H \cdot B_H \cdot 2^{36} + A_L \cdot B_L + (A_H \cdot B_L + B_H \cdot A_L) \cdot 2^{18}$$

1) Indique en el siguiente esquema los tamaños de palabra en cada punto del circuito.



2) Suponiendo que el tiempo de propagación de un sumador es $t_{sum} = 1.5ns$, el del multiplicador es $t_{mult} = 3.5ns$, y que se consideran nulos los tiempos de t_{su} y t_{co} de los registros, indique cuáles son los puntos óptimos para segmentar el circuito y calcule la frecuencia máxima de operación del operador segmentado. Asuma que las entradas llegan registradas.

3) Modele con Verilog el multiplicador segmentado. Utilice los nombres de las señales que aparecen en el dibujo.

```
module mult(  
input clk,  
input signed [29:0] A,B,  
output signed [_____:0] P1);
```

```
endmodule
```

4) Escriba cómo se debe modificar el código de Verilog de la cuestión anterior para que la salida del multiplicador se compute con un redondeo “nearest” al formato [30,28] con signo en complemento a dos.

```
module mult(  
input clk,  
input signed [29:0] A,B,  
output signed [29:0] P2);
```

```
endmodule
```

5) Escriba la ecuación de Matlab que modela la operación del multiplicador con la salida redondeada “nearest” al formato [30,28] a partir de los operandos A y B.

6) Indique si la inclusión del redondeo cambia la frecuencia máxima de funcionamiento del multiplicador segmentado. Justifique su respuesta.

7) Indique los recursos hardware necesarios para implementar el multiplicador con redondeo. Tenga en cuenta las posibles simplificaciones del circuito. Justifique su respuesta.

Elemento	Número
Mult 18x18	
LEs	
FFs	