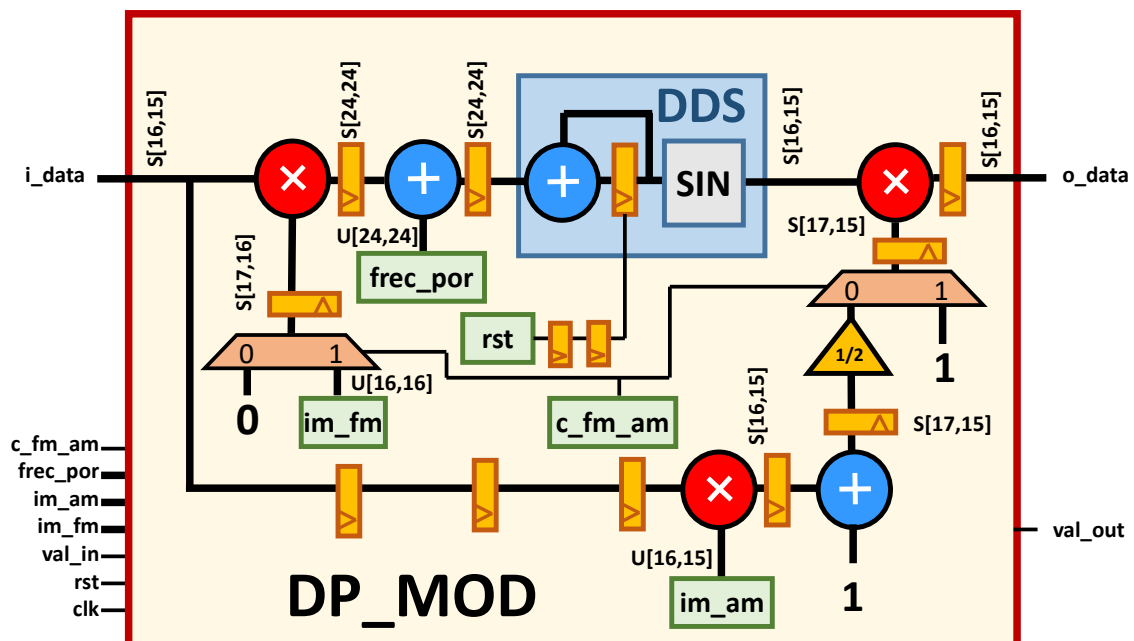


Ruta de datos del modulador configurable de AM/FM

El **objetivo** de esta práctica es el modelar con el lenguaje Verilog la ruta de datos del modulador configurable de FM/AM. El modelo deberá ser sintetizable y podrá ser implementado en un dispositivo FPGA funcionando a una frecuencia de reloj de al menos 125 MHz.

A continuación se muestra el esquema del módulo DP_MOD, que implementa la ruta de datos del modulador configurable FM/AM:



El módulo DP_MOD dispone de los siguientes puertos:

- **i_data**: entrada de datos a modular con formato S[16,15]
- **val_in**: entrada (binaria) que indica la presencia de una muestra válida en i_data
- **c_fm_am**: entrada binaria de configuración del modulador en modo FM (entrada a 1) o AM (entrada a 0)
- **frec_por**: entrada del valor de configuración de la frecuencia portadora. Formato U[24,24]
- **im_am**: entrada de configuración del índice de modulación de AM. Formato U[16,15]
- **im_fm**: entrada de configuración del índice de modulación de FM. Formato U[16,16]
- **rst**: entrada de *reset* síncrono activo a nivel alto. Este *reset* únicamente se utilizará para poner a cero el acumulador del DDS.

- **clk**: entrada de reloj
- **o_data**: salida de datos modulados con formato S[16,15]
- **val_out**: salida (binaria) que indica la presencia de una salida válida por o_data

El DDS requerido en la implementación de DP_MOD se configurará para los siguientes parámetros:

- Tamaño del acumulador de fase: $M = 24$ bits
- Truncado de fase parametrizable a $L = 15$ bits
- Salida únicamente sinusoidal con $W = 16$ bits

El circuito DP_MOD funcionará a la frecuencia de reloj computando una muestra en cada ciclo de reloj.

Ficheros necesarios para realizar las prácticas:

- DDS_test.v: Modelo Verilog del DDS desarrollado en E1.
- TB_DDS_test.v: Banco de pruebas del módulo DDS_test
- *DDS.v: DDS que genera una salida únicamente sinusoidal.
- rom_dds_L15_W16.txt: Fichero que contiene los valores para almacenar en la ROM del DDS un cuarto del periodo de una onda sinusoidal.
- DP_MOD.v: Fichero con el interfaz del módulo Verilog DP_MOD
- *DP_MOD.sdc: Fichero de restricciones temporales de diseño.
- *TB_DP_MOD.v: banco de pruebas del módulo DP_MOD
- *TB_DP_MOD.do: configuración de las formas de onda del banco de pruebas del módulo TB_DP_MOD en el visor "waves"
- conf_dp_mod_fmam.m: Script de Matlab para configurar el modelo de Simulink DDS_test
- mod_fmam_pf.mdl: Modelo de Simulink del modulador.

NOTA: Los ficheros marcados con un "*" no están disponibles en Poliformat y los tendrá que generar el alumno.

Tareas a realizar

- 1) A partir del módulo DDS_test realizado en la práctica E1, renombre el módulo con el nombre DDS y elimine la circuitería de generación de las formas de onda cuadrada y triangular para dejar únicamente la que genera la salida de la forma de onda sinusoidal y las señales de protocolo val_in y val_out. Verifique su funcionamiento utilizando el banco de pruebas desarrollado en E1 y cambiando la instanciación del UUT al módulo DDS.
- 2) Codifique en Verilog el módulo DP_MOD siguiendo el flujo de operadores y formatos numéricos de su esquema de implementación (mostrado en la figura anterior). Utilice el interfaz del fichero DP_MOD.v y el DDS configurado para los parámetros M, L y W indicados anteriormente.
- 3) Realice un banco de pruebas para verificar el módulo DP_MOD comparándolo con su modelo de precisión finita. Compruebe su correcto funcionamiento para varias frecuencias y distintos parámetros de configuración. Utilice para ello el fichero mod_fmam_pf.mdl contiene el modelo

Simulink de precisión finita de las rutas de datos de modulación de FM y AM, y se configura con el script de Matlab `conf_dp_mod_fmam.m`. En el banco de pruebas los valores de todas las entradas del módulo se deben introducir desde ficheros generados desde el script de configuración de Matlab y las salidas se deben comparar con las generadas por el modelo de Simulink.

- 4) Estime el número de recursos hardware (LE, M9K, Mults) que se requieren para la implementación del módulo DP_MOD. Implemente el módulo DP_MOD en el dispositivo Cyclone IV EP4CE115F29C7 e indique los recursos hardware que se requiere en su implementación. Razone si los recursos obtenidos son coherentes con los estimados.
- 5) Escriba un código Verilog con un “wrap” para el módulo DP_MOD y obtenga la frecuencia máxima de funcionamiento en el dispositivo indicado.