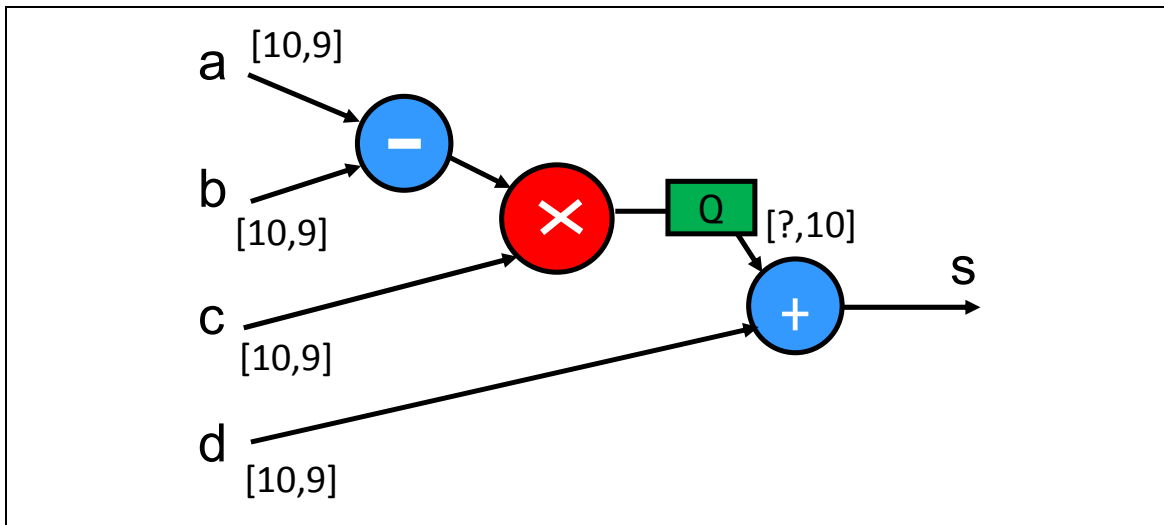


Prueba 1: Procesado digital de la señal con FPGAs

Alumno:

10/3/2017

Se desea implementar en un dispositivo FPGA el operador $s = (a-b) \cdot c + d$, siguiendo el esquema que se muestra a continuación. En dicho operador el formato de los operandos de entrada (a, b, c y d) es $[10,9]$ en complemento a dos y la salida del multiplicador se trunca para limitar su salida a 10 bits fraccionales.



a) Indique los formatos numéricos a la salida de los operadores restador, multiplicador y sumador para que no se cometa pérdida de precisión en sus cálculos y dispongan del menor número de bits posible, y a la salida del bloque (Q), que simboliza el truncado del multiplicador, para que no se produzca desbordamiento.

b) Escriba el código de Matlab para modelar el operador $s = (a-b) \cdot c + d$ incluyendo el efecto del truncado del multiplicador. Utilice la función floor de Matlab.

c) Indique en el esquema del operador en qué puntos se debe segmentar el circuito para asegurar la máxima frecuencia de funcionamiento.

d) Escriba el código Verilog del operador para que realice las operaciones siguiendo los formatos indicados en la sección a) y la segmentación de la sección c). Justifique su respuesta

```
module add_mult_add_t(  
input signed [9:0] a,b,c,d,  
input clk,  
output signed [      ] s  
);
```

```
endmodule
```

e) Suponiendo que el tiempo de propagación de un sumador es $t_{\text{sum}} = 1.5$ ns, el del multiplicador es $t_{\text{mult}} = 3.5$ ns, y que se consideran nulos los tiempos de t_{su} y t_{co} de los registros, indique cuál es la frecuencia máxima de operación del operador.

f) Indique el número de recursos hardware que se requiere para implementar el operador en un dispositivo Cyclone IV. Justifique su respuesta

Recurso	Número
LUTs	
FFs	
mults18x18	

