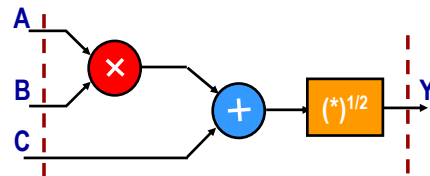


EJERCICIOS: CIRCUITOS ARITMÉTICOS

- 1.- Se dispone de un circuito para computar $Y = \sqrt{A*B+C}$ implementado con el esquema que se muestra en la figura. Los tiempos de propagación de los operadores aritméticos son $t_{mul}=3.5ns$, $t_{add}=1.5ns$ y $t_{sqrt}=5.5ns$, y el tiempo de propagación de los flip-flops (FF) y de set-up son $t_{co}=0.2ns$, $t_{su}=0.05ns$, respectivamente.



- a) Calcule la frecuencia máxima de funcionamiento del circuito.
 - b) Indique cuáles son los puntos óptimos de segmentación y la frecuencia máxima de funcionamiento del circuito segmentado.
 - c) ¿Qué latencia, dada en ciclos de reloj, tiene el circuito segmentado?
- 2.- Se pretende conectar la señal A con formato numérico [5,0] a la señal B con formato [3,0], ambos con signo.
- a) Indique qué valores numéricos se obtienen (en formato decimal y binario) si se utiliza saturación y envoltura (*wrapping*) en la conversión de formatos.
 - b) En la figura se muestra un esquema del circuito de conexión entre A y B aplicando saturación. ¿Qué bits de la señal A hay que utilizar para seleccionar el valor a conectar en la señal B?
 - c) Escriba la tabla de verdad de la función Lógica de selección, que tiene como entradas los bits de A indicados en la sección b) y como salida los dos bits de selección del multiplexor: SEL[1:0].

A [5,0]	B [3,0]	
	saturación	envoltura
(0) 00000		
(3) 00011		
(5) 00101		
(11) 01011		
(12) 01100		
(-3) 11101		
(-4) 11100		
(-5) 11011		
(-11) 10101		
(-13) 10011		
(-16) 10000		

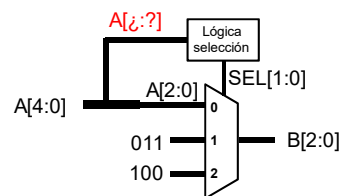


Tabla de verdad:
Lógica selección

A[3:2]	SEL[1:0]

- 3.- Se requiere realizar la suma de dos operandos, uno con formato [8,7] y el otro con formato [5,2], ambos con signo.
- a) ¿Qué formato tendrá el resultado?
 - b) ¿Qué tamaño tiene el sumador? ¿Cuántos LEs (Logic Elements) se requieren para su implementación en un dispositivo FPGA Cyclone IV?
 - c) Escriba el código Verilog del sumador.

- 4.- Escriba el código Verilog de un sumador ($SUM=A+B$) que opera con un operando con signo en complemento a dos (S) y el otro sin signo (U) según los siguientes formatos:

Formatos	A	B	SUM
Caso a)	S[8,7]	U[7,7]	S[9,7]
Caso b)	S[8,7]	U[4,4]	S[9,7]

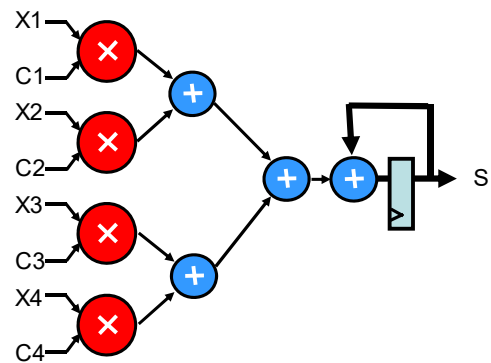
- 5.- Dibuje el esquema de un sumador en árbol y en cascada de 6 operandos ($SUM=A1+A2+A3+A4+A5+A6$) utilizando sumadores RCA.
- Suponga que todos los operandos son de 8 bits e indique el crecimiento de los datos a lo largo del circuito.
 - Suponga que el formato de los operandos es S[8,7] ¿cuál es el formato numérico de la salida SUM?
 - ¿Cuántos LEs de un dispositivo Cyclone IV se requieren para implementar el sumador?
- 6.- Escriba el código Verilog de un sumador en árbol de la cuestión anterior en las siguientes condiciones:
- Salida SUM computada sin pérdida de precisión
 - Operandos con formato S[8,7] y salida SUM con formato S[8,4]
 - ¿Cómo se modela con Matlab el sumador del caso b)?
- 7.- Suponga que dispone de un dispositivo Cyclone V que tiene la capacidad de implementar sumadores de 3 operandos (*ternary adders*) utilizando la estrategia CSA+RCA. Dibuje el esquema de un sumador en árbol de 6 operandos ($SUM=A1+A2+A3+A4+A5+A6$).
- Suponga que todos los operandos son de 8 bits e indique el crecimiento de los datos a lo largo del circuito.
 - Suponga que el formato de los operandos es S[8,7] ¿cuál es el formato numérico de la salida SUM?
 - ¿Cuántas LUTs de un dispositivo Cyclone V se requieren para implementar el sumador?
- 8.- El dispositivo FPGA Cyclone IV dispone de multiplicadores de 18x18 bits que se pueden configurar para que operen sin signo y con signo en complemento a dos. Dibuje el esquema de implementación de un multiplicador de 25x18bits obtenido a partir de los multiplicadores de 18x18 disponibles en el dispositivo. Indique los tamaños de palabra en cada punto del circuito.
- 9.- Se desea implementar un circuito que multiplique el dato de entrada X con formato [8,7] con signo por un valor constante $K = -5 = (1011)_{2C}$.
- Dibuje su esquema de implementación utilizando sumadores.
 - Teniendo en cuenta el formato de la entrada y el valor de la constante indique el formato de salida del multiplicador.
 - Indique los tamaños de palabra en las conexiones intermedias del circuito.
 - Escriba el código Verilog del multiplicador implementado.
- 10.- Se desea implementar un circuito que multiplique el dato de entrada X con formato [8,7] con signo por un valor constante $K = -0.625 = (1.011)_{2C}$.
- Dibuje su esquema de implementación utilizando sumadores.
 - Teniendo en cuenta el formato de la entrada y el valor de la constante indique el formato de salida del multiplicador.
 - Indique los tamaños de palabra en las conexiones intermedias del circuito.

d) Escriba el código Verilog del multiplicador implementado.

11.- Se dispone de un dispositivo FPGA con multiplicadores embebidos y se requiere realizar la operación de multiplicación de números complejos $A = A_r + jA_i$ por $B = B_r + jB_i$ para dar como resultado $P = P_r + jP_i$.

- Dibuje el esquema del circuito multiplicador complejo con entradas A_r , A_i , B_r y B_i , y salidas P_r y P_i .
- Suponga que las entradas A_r , A_i , B_r y B_i tienen un formato numérico $[10,9]$ con signo. Indique los formatos numéricos en todos los puntos del multiplicador complejo para que no haya pérdida de precisión en el resultado.

12.- En la figura se muestra una unidad multiplicadora-acumuladora paralelizada con 4 multiplicadores que se pretende utilizar para computar la suma de 500 productos $X_i \cdot C_i$. Los datos X_i tienen formato numérico $[10,9]$ y los coeficientes C_i $[16,15]$, ambos con signo en complemento a dos.



- Indique los tamaños de palabra a lo largo del circuito para que pueda implementarse la operación $S = \sum X_i \cdot C_i$ sin pérdida de precisión.
- ¿Cuántos ciclos de reloj se requieren para completar la computación de la suma de los 500 productos?
- Suponga que se dispone de un dispositivo FPGA cuyos multiplicadores y sumadores tienen tiempos de propagación $t_{mul} = 3.5\text{ns}$ y $t_{add} = 1.5\text{ns}$, respectivamente. ¿Cuál es la frecuencia máxima de funcionamiento del circuito? NOTA: considere nulos los tiempos de set-up y propagación de los registros para resolver esta cuestión.
- Indique cómo segmentar el circuito para que alcance la máxima frecuencia de funcionamiento posible.
- Calcule la frecuencia máxima de funcionamiento del circuito segmentado.
- ¿Cuánto tiempo se requiere para computar los 500 productos con el circuito sin segmentar y el circuito segmentado?