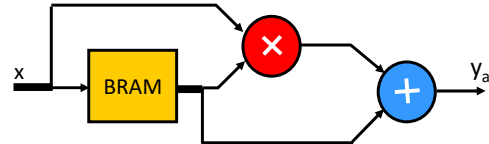


EJERCICIOS: FUNCIONES ELEMENTALES

1.- Se desea implementar la función $f(a)=1/a$ con $a \in]0.5, 1[$ y precisión de 2^{-10} en un dispositivo FPGA Cyclone IV.

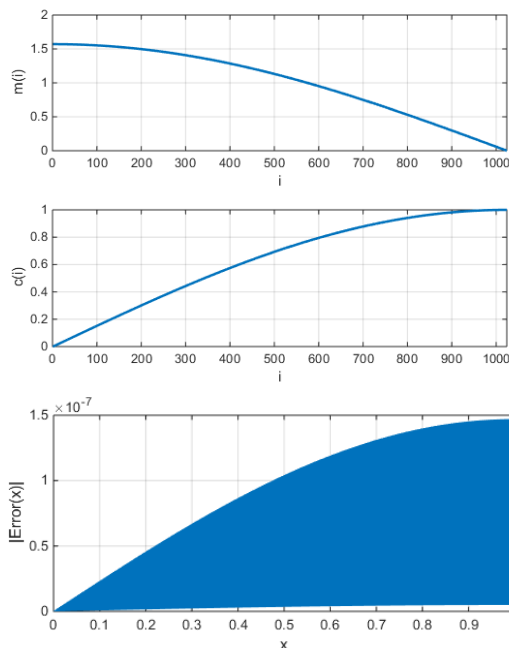
- a) ¿Cuántas memorias M9K se necesitan para implementar la función con el método directo basado en memorias para conseguir que $f(a)$ se obtenga con la misma precisión que a ?
- b) ¿Cuál será la máxima precisión con la que se puede calcular $f(a)$ sin aumentar el número de memorias?

2.- El esquema circuital mostrado en la figura se va a utilizar para implementar la función $y=\sin(x \cdot \pi/2)$ en el rango de $x \in [0, 1[$, aproximándola por tramos mediante una interpolación lineal $y_a=mx+c$. Se dispone para ello de una memoria BRAM y un bloque DSP48 de un dispositivo Virtex-7.

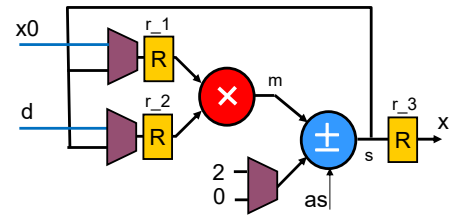


La BRAM se va a configurar como memoria de 1Kx36 bits y se van a almacenar de forma concatenada las 1024 pendientes $m(i)$ y los 1024 valores iniciales $c(i)$. El esquema de implementación hardware se muestra en la figura.

- a) La entrada “x” es de 16 bits.
¿Qué bits de “x” se conectan a las entradas de direcciones de la memoria y qué bits se conectan a la entrada del multiplicador?
- b) En la gráfica se muestran los valores de las pendientes $m(i)$ y puntos iniciales $c(i)$ almacenados en la memoria. Suponga que de los 36 bits de datos de la memoria se utilizan 22 para almacenar los coeficientes $c(i)$ y 14 para almacenar las pendientes $m(i)$. Indique con qué formatos numéricos se deben codificar los puntos iniciales y las pendientes.
- c) Se ha modelado el operador y se ha obtenido el patrón de error que se muestra en la figura. ¿Cuál debe ser el formato numérico de la salida?



3.- La figura muestra el esquema de un operador con el que se puede computar de forma iterativa la aproximación de $x=1/d$ mediante el método de Newton-Raphson: $x_{k+1}=x_k(2-x_kd)$. Suponga que el rango de d es $]0.5,1[$ y que se va a utilizar un único multiplicador de 18x18 bits del dispositivo Cyclone IV.



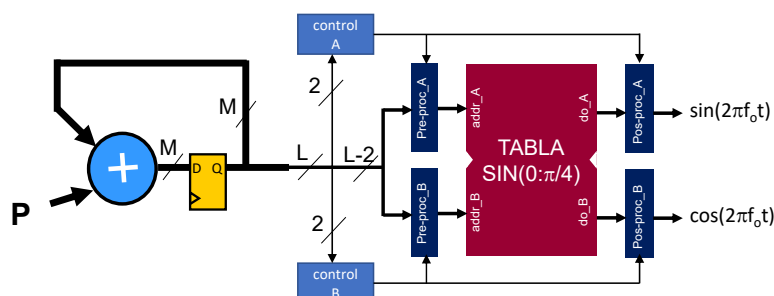
- ¿Cuál debe ser el formato numérico en cada punto del circuito para que el cómputo se realice con la mayor precisión posible?
- Calcule el número de operaciones $1/d$ por segundo (throughput) si se requiere la realización de 4 iteraciones. Los tiempos de propagación de los operadores aritméticos son $t_{mul}=3.5ns$, $t_{add}=1.5ns$ y $t_{mux}=1ns$, y el tiempo de propagación de los flip-flops (FF) y de set-up son $t_{co}=0.5ns$, $t_{su}=0.01ns$, respectivamente.
- Segmente el circuito y calcule el throughput con segmentación ¿mejora al segmentar el circuito?

4.- Dadas las iteraciones del algoritmo CORDIC configurado en modo rotación:

$$\begin{aligned}x_{i+1} &= x_i - d_i \cdot 2^{-i} \cdot y_i \\ y_{i+1} &= y_i + d_i \cdot 2^{-i} \cdot x_i \\ z_{i+1} &= z_i - d_i \cdot \tan^{-1}(2^{-i}) \\ d_i &= \text{sign}(z_i)\end{aligned}$$

- Dibuje el esquema de implementación de una arquitectura hardware que sea capaz de computar en un ciclo de reloj una iteración completa de dicho algoritmo.
- Calcule el throughput que se alcanzaría para conseguir realizar los cálculos con una precisión de 10 bits (11 iteraciones). Suponga que los tiempos de propagación de los operadores aritméticos son $t_{add_sub}=2.5ns$, $t_{barrel_shift}=4.5ns$ y $t_{mux}=1ns$, el tiempo de la lectura de una ROM es $t_{ROM}=1ns$, y el tiempo de propagación de los flip-flops (FF) y de set-up son $t_{co}=0.5ns$, $t_{su}=0.01ns$, respectivamente.
- Dibuje el esquema de implementación de una arquitectura hardware que sea capaz de computar en un ciclo de reloj y a alta velocidad todas las $P+1$ iteraciones de dicho algoritmo.
- Calcule el throughput que se alcanzaría para conseguir realizar los cálculos con una precisión de 10 bits (11 iteraciones).

5.- Las memorias embebidas de los dispositivos FPGA (ej. las M9K del dispositivo Cyclone IV) se pueden configurar como memorias de doble puerto, por tanto, el contenido almacenado en dicha memoria se puede leer a la vez por ambos puertos. Siguiendo el esquema (mostrado a continuación) de implementación de un DDS que sintetiza las formas de onda seno y coseno, diseñe el circuito de control necesario (control_B) para generar la forma de onda coseno si en la memoria está almacenado únicamente el primer cuarto de onda de la forma de onda seno.



- 6.- Para realizar el cómputo de $y=\ln(x)$ siendo x un número de 12 bits con un rango $[2^{-8},16[$ se dispone de un core IP que calcula $y^*=\ln(x^*)$, siendo x^* un número con rango $[2^{-8},1[$. Deduzca el método a aplicar para realizar la reducción de rango y dibuje el esquema de implementación del operador.