

Modulador configurable FM-AM

**Procesado Digital de la Señal
en FPGA**

2020/2021

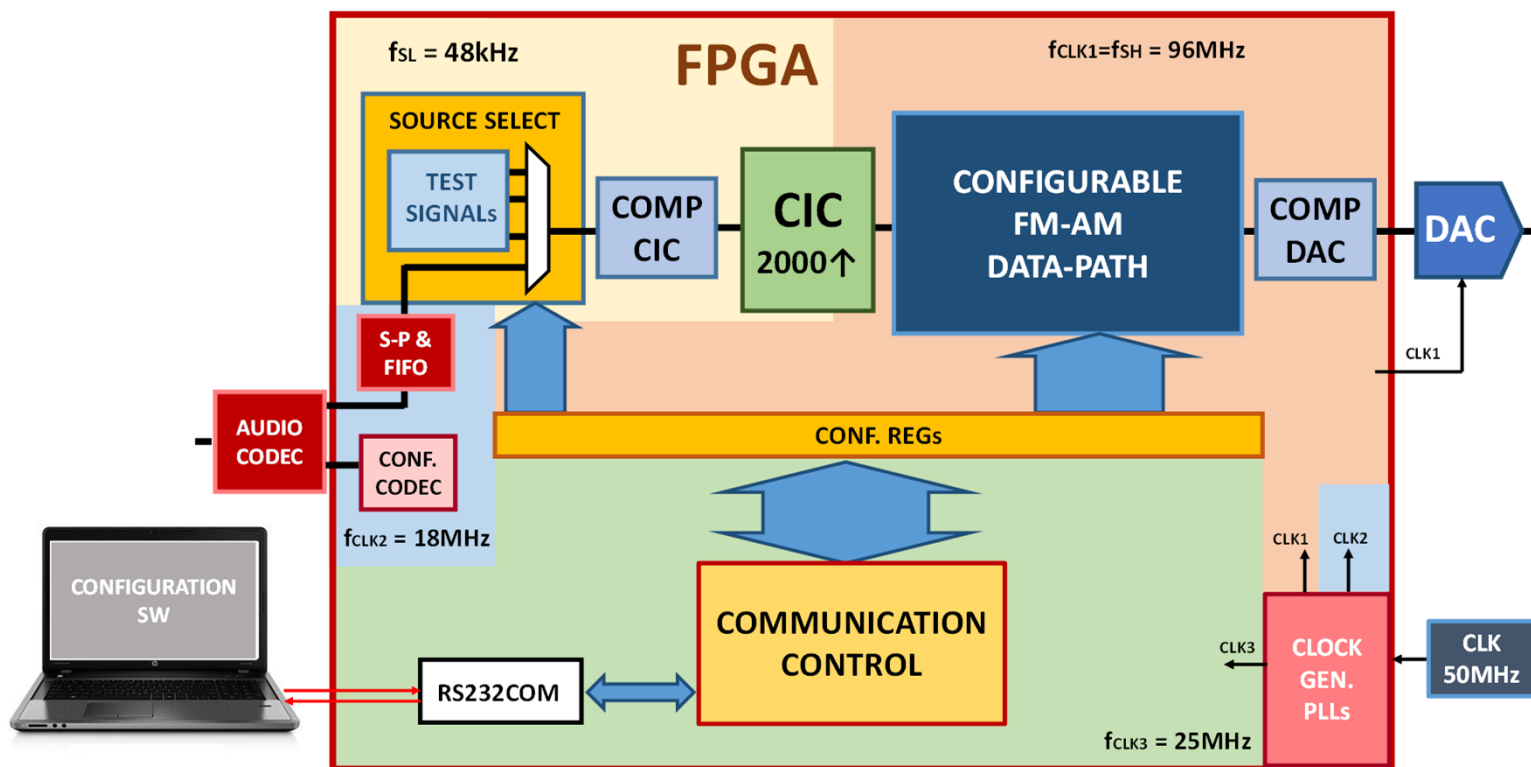
Modulador FM-AM

- **Especificaciones de modulador FM-AM**
- **Bloques implementados en las prácticas:**
 - **E1. DDS**
 - **E2. Ruta de datos configurable FM-AM**
 - **E3. Filtro interpolador CIC**
 - **E4. Filtros FIR para la compensación de las repuestas en frecuencia del CIC y del DAC**
 - **E5. Comunicación PC-FPGA vía puerto RS232**
 - **E6. Modulador completo y verificación**

Especificaciones del modulador FM-AM

- Modulador configurable
 - Control de ON-OFF
 - Selección del modo de operación FM-AM
 - Frecuencias portadoras configurables hasta 45 MHz
 - Índices de modulación FM-AM arbitrarios
 - Modula señales con ancho de banda de audio ($f_s=48$ kHz)
 - Fuentes de señal moduladora seleccionable:
 - Señales de test sinusoidal, cuadrada y triangular
 - Señal externa de un codec de audio
 - Compensación de la respuesta en frecuencia del DAC
- Configurable via RS232
 - Escritura y lectura de registros de la FPGA

Modulador configurable AM/FM



E1: Sintetizador de frecuencias (DDS)

E2: Ruta de datos AM/FM configurable

E3: Filtro interpolador CIC

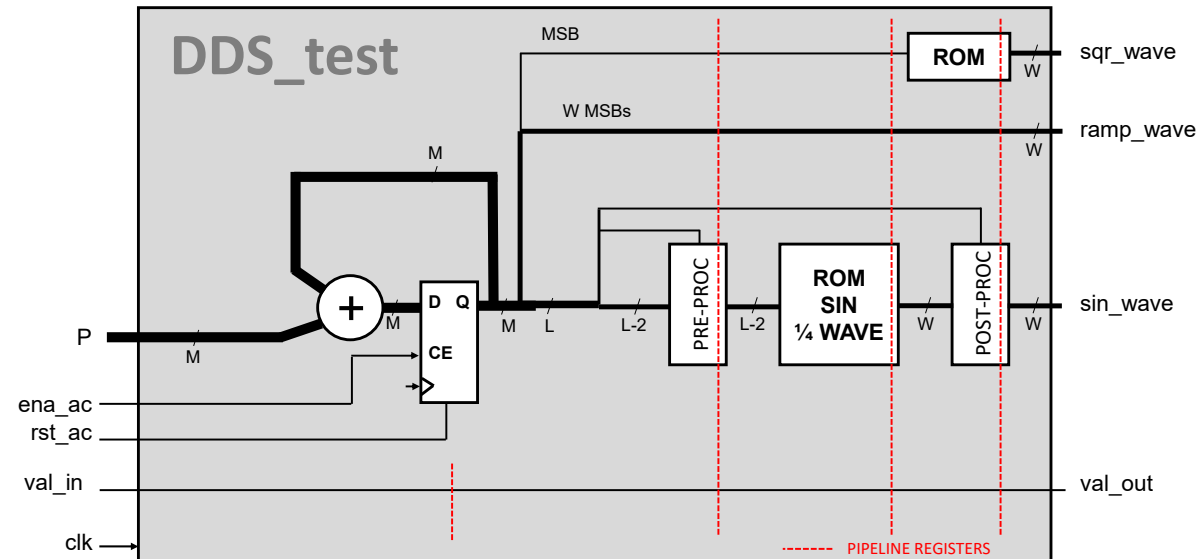
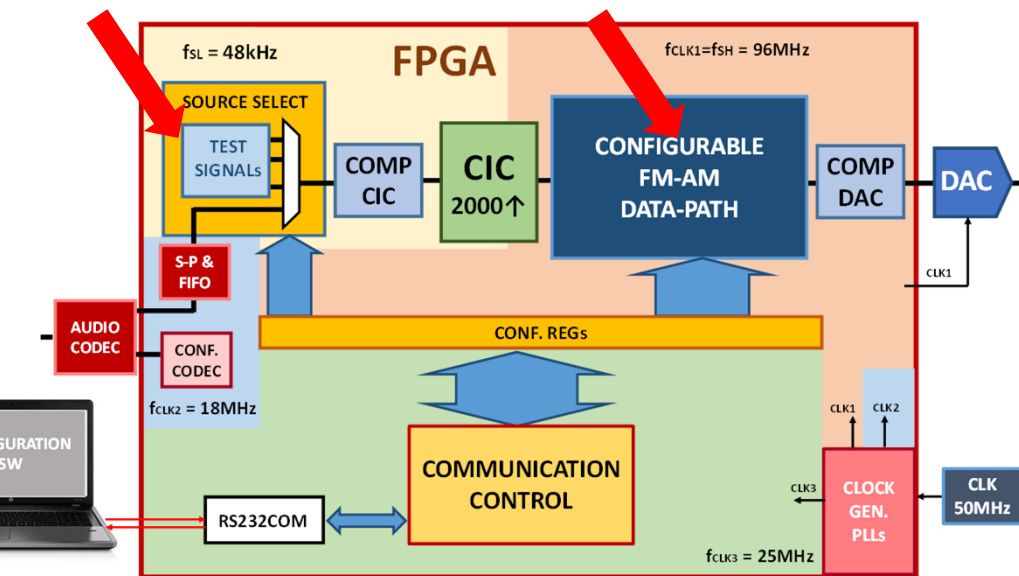
E4: Filtros compensadores CIC y DAC

E5: Comunicación con PC, control

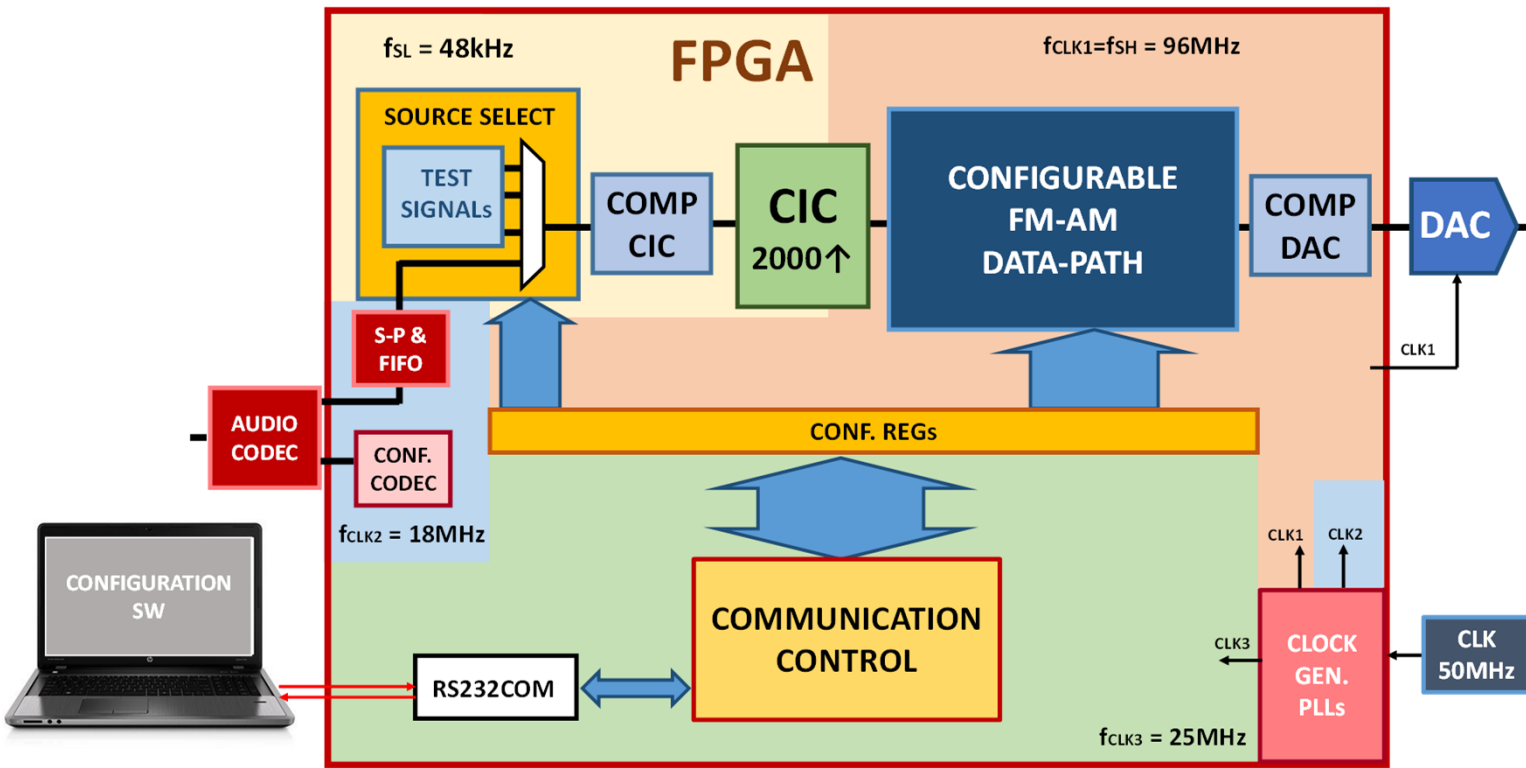
E6: Completar sistema

Sintetizador de frecuencias (DDS)

- DDS parametrizable (M, L y W)
 - ⇒ DDS_test
 - ⇒ DDS del modulador AM/FM



Modulador configurable AM/FM



E1: Sintetizador de frecuencias (DDS)

E2: Ruta de datos AM/FM configurable

E3: Filtro interpolador CIC

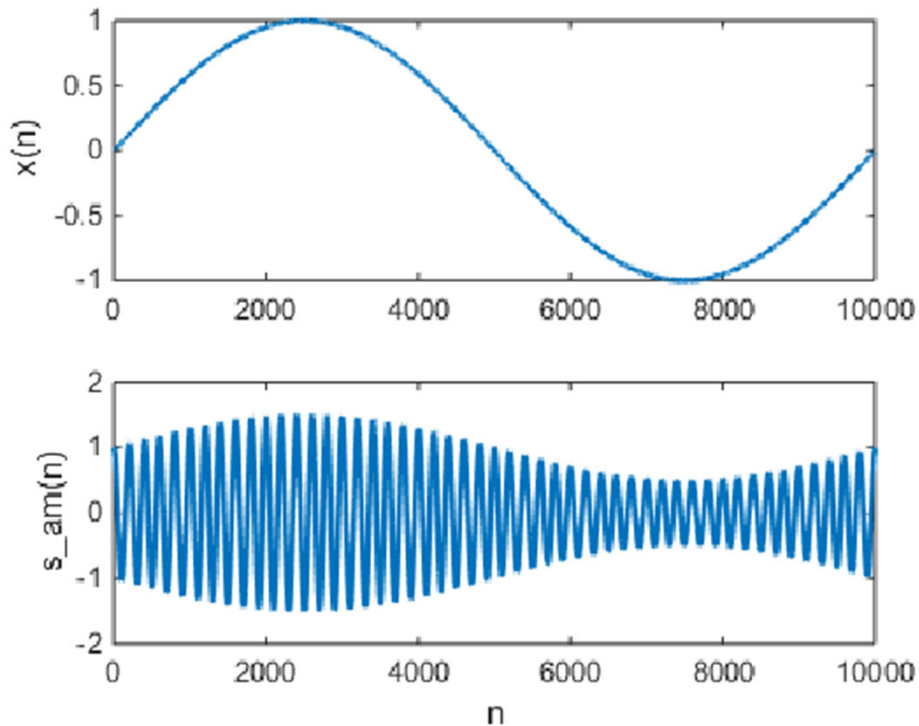
E4: Filtros compensadores CIC y DAC

E5: Comunicación con PC, control

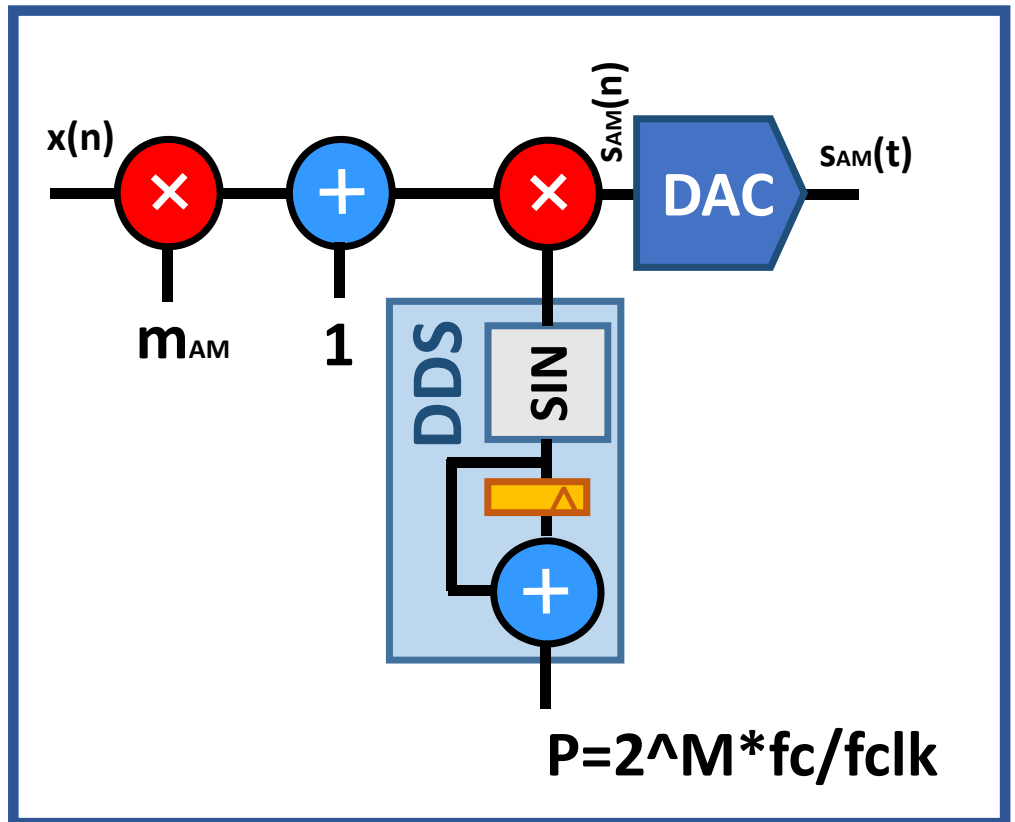
E6: Completar sistema

Amplitude Modulation (AM)

$$s_{AM}(n) = (1 + m_{AM}x(n))\cos(2\pi f_c n)$$

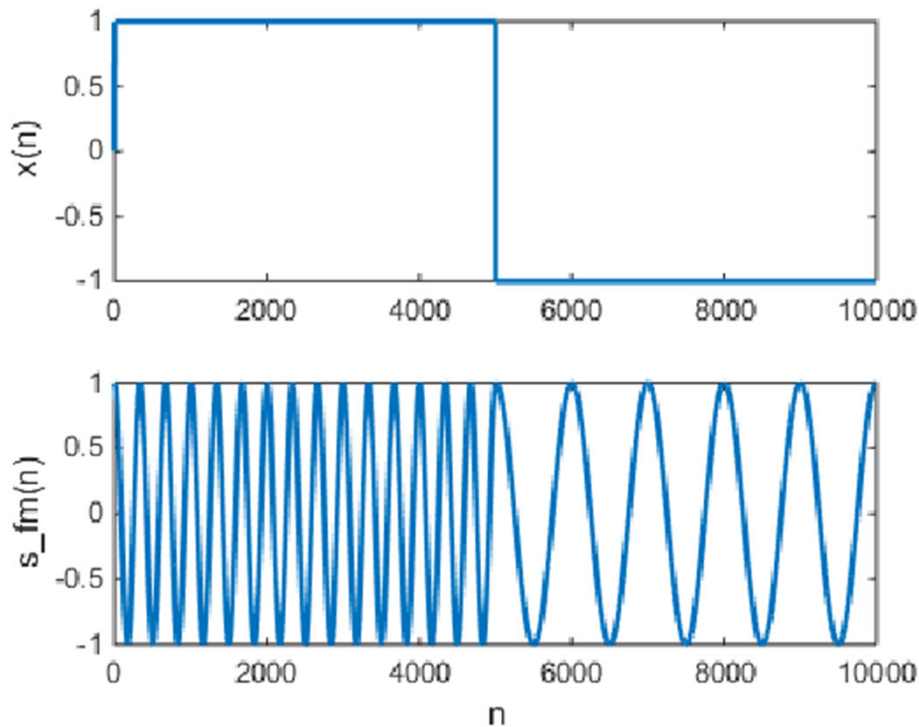


$x(n)$: modulator signal
 m_{AM} : modulation index[0,1]
 f_c : carrier frequency

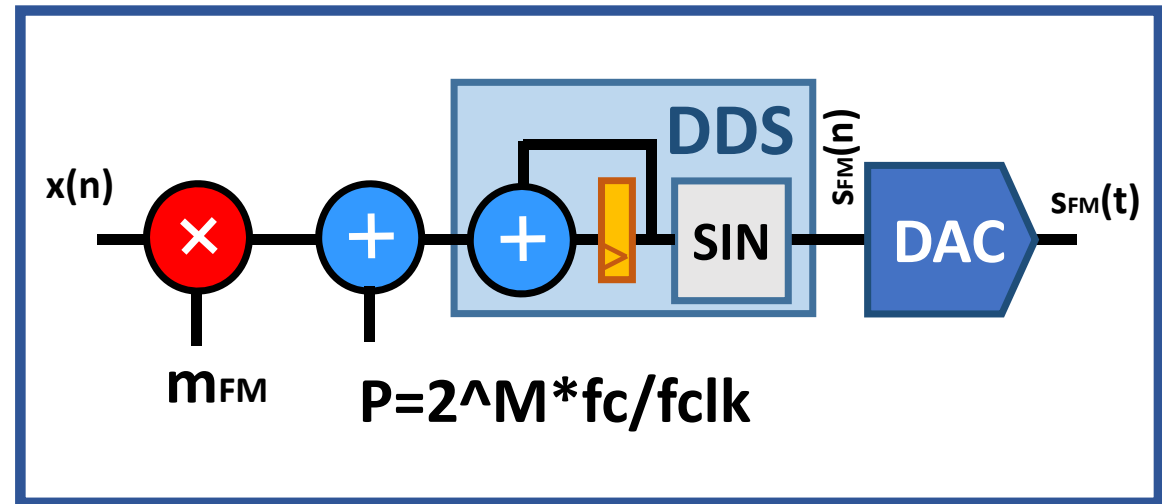


Frequency Modulation (FM)

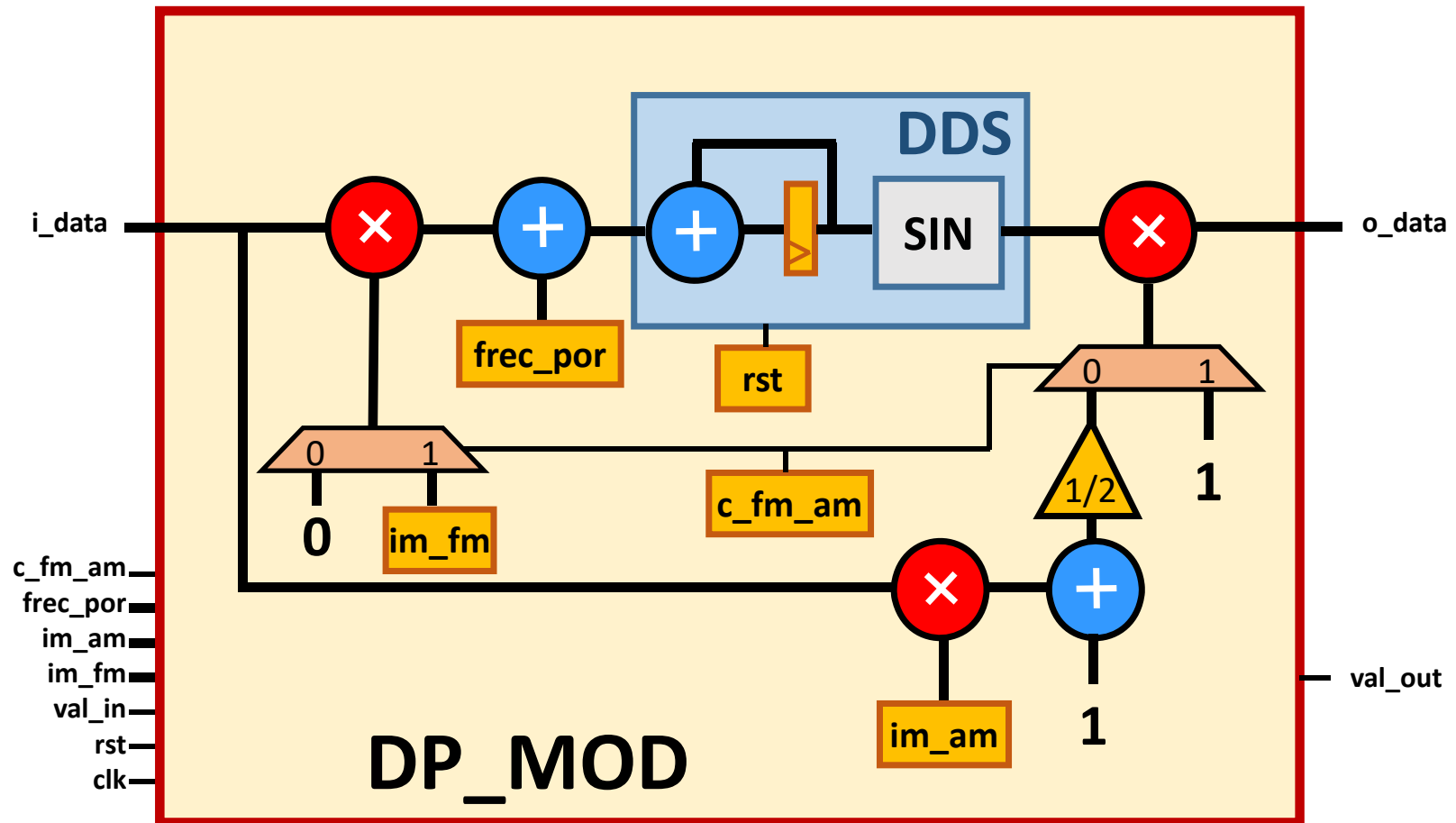
$$s_{FM}(n) = \cos \left(2\pi f_c n + 2\pi m_{FM} \sum_{k=0}^{n-1} x(k) \right)$$



$x(n)$: modulator signal
 m_{FM} : FM modulation index [0,1]
 f_c : carrier frequency

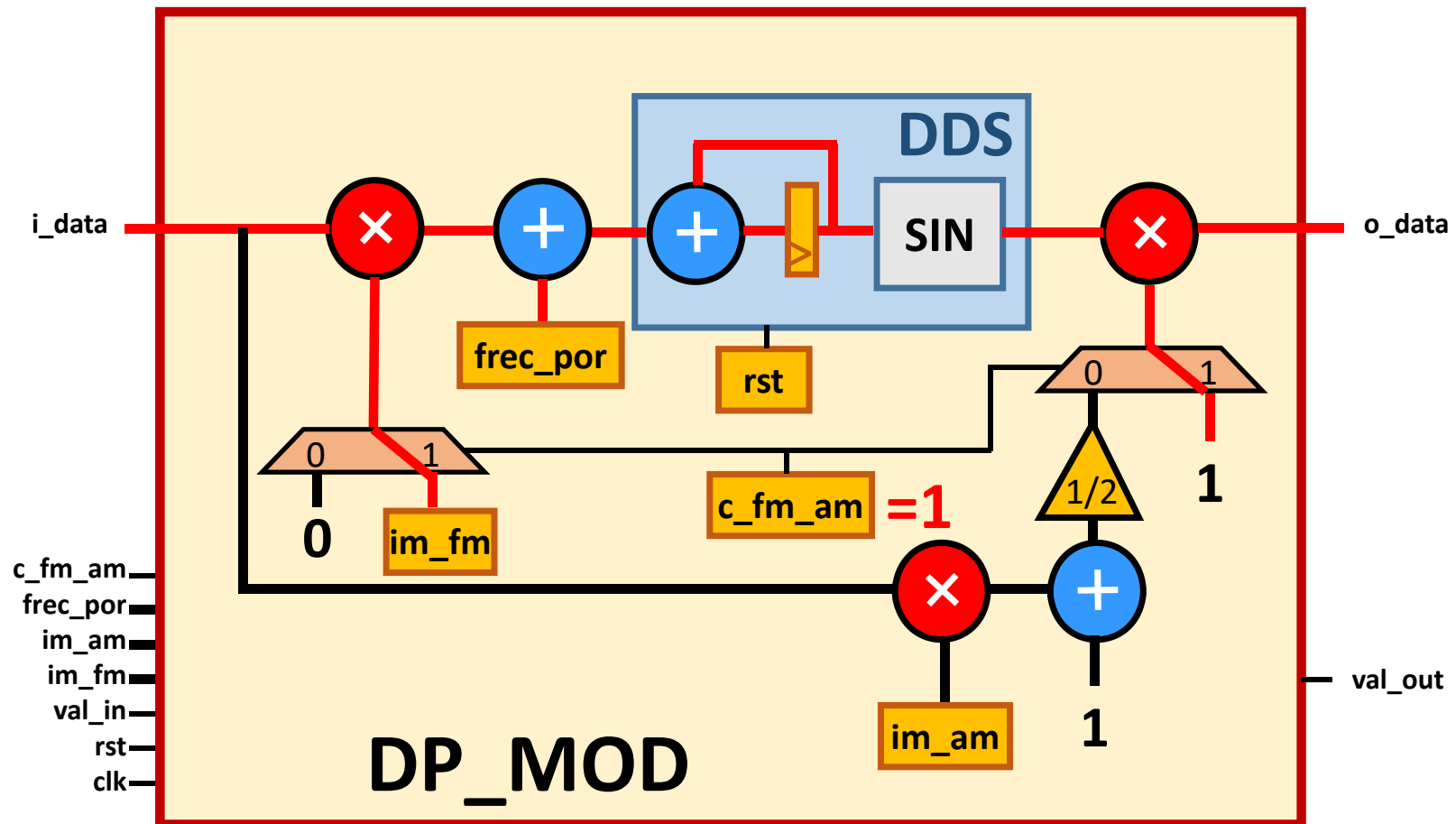


Ruta de datos configurable FM-AM



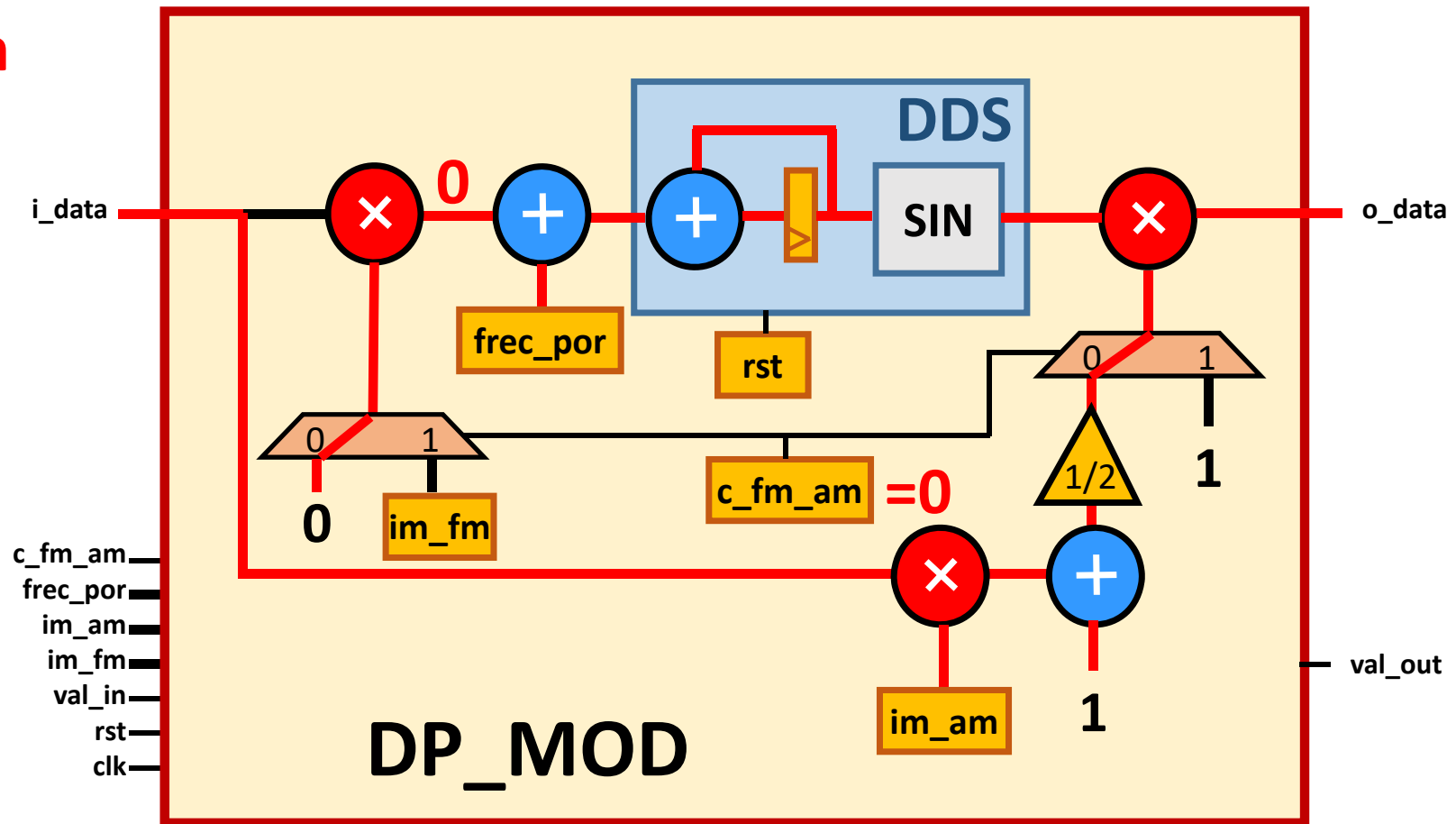
Ruta de datos configurable FM-AM

FM path

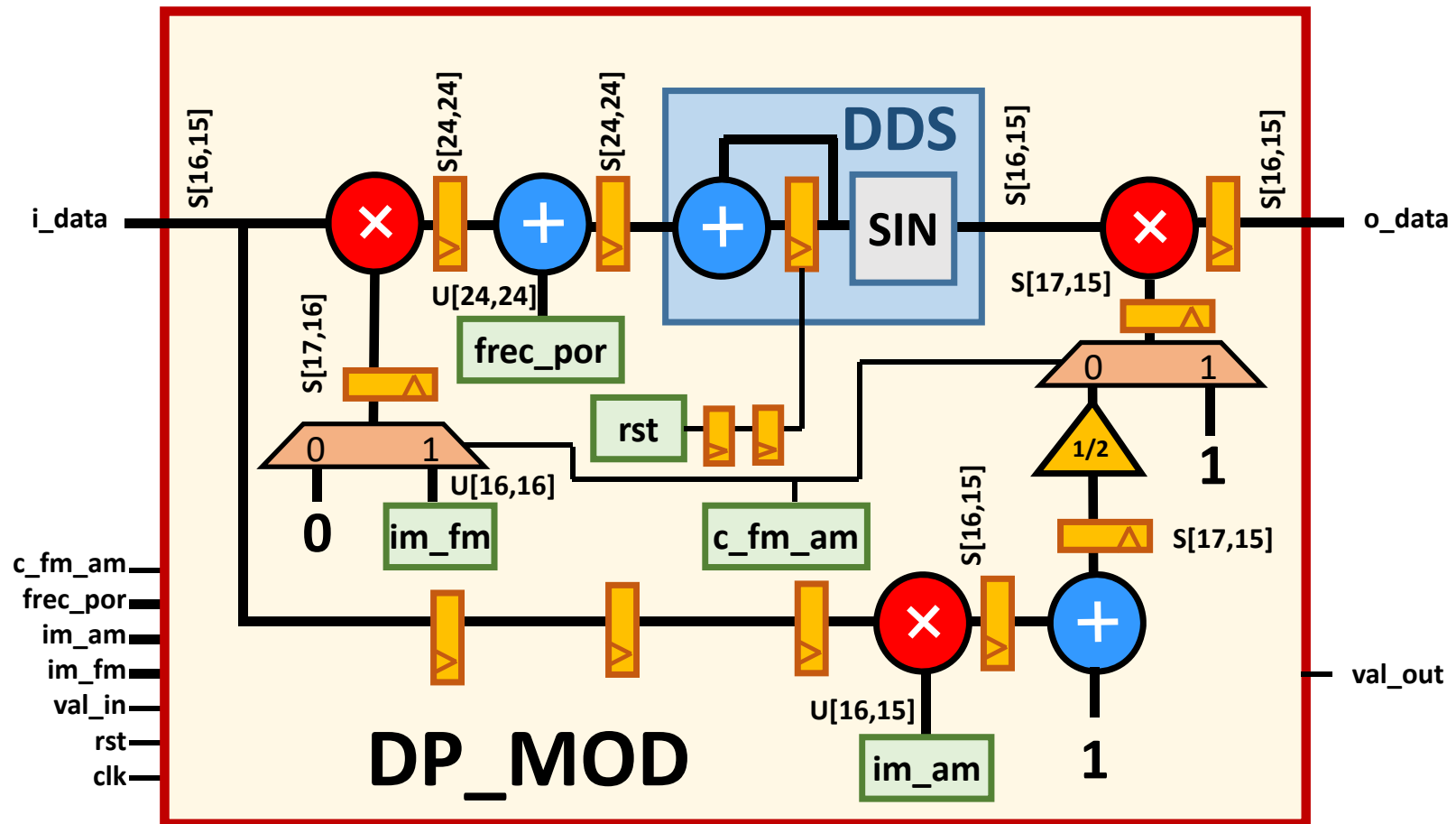


Ruta de datos configurable FM-AM

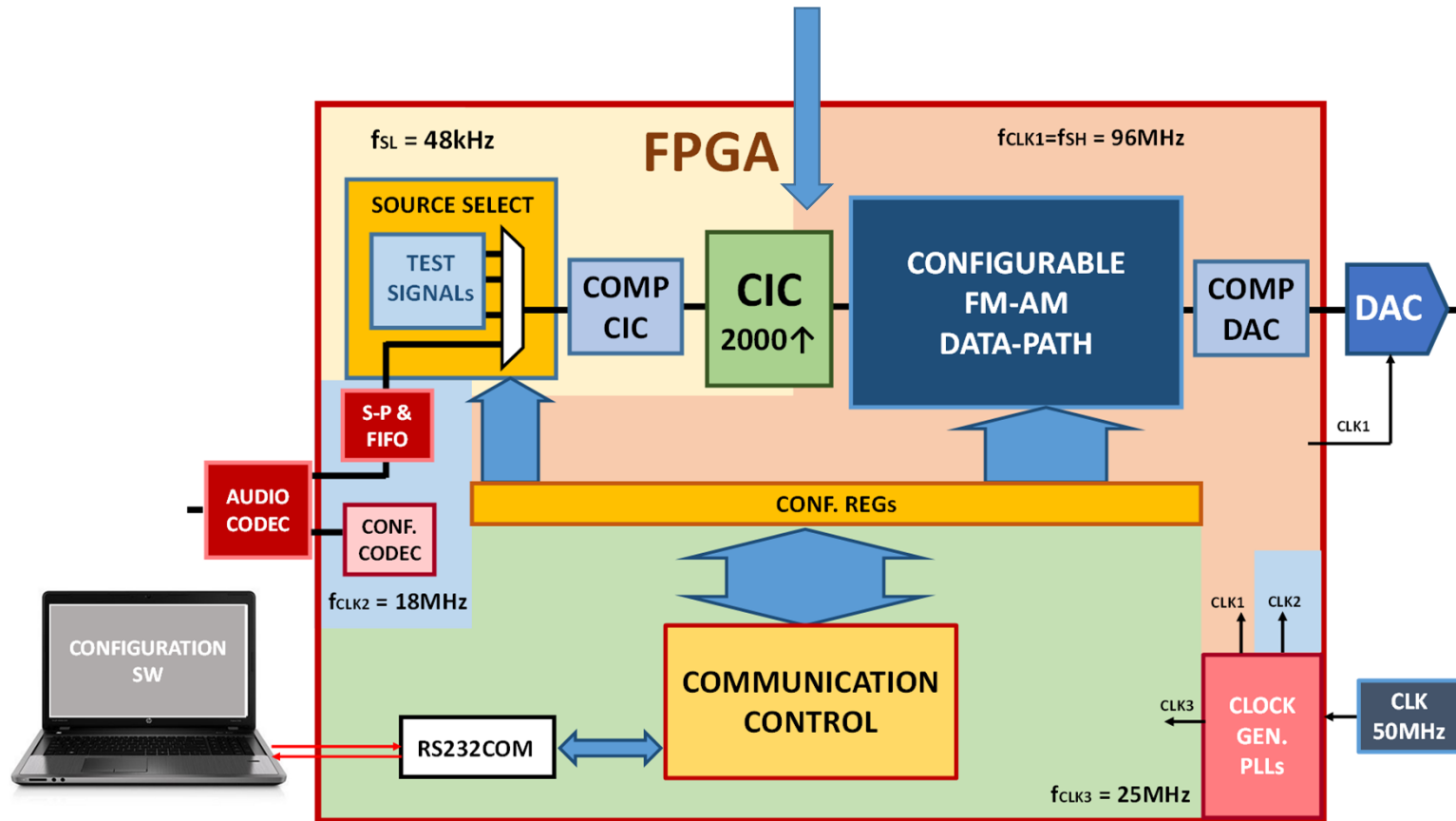
AM path



Ruta de datos configurable FM-AM



E3: Filtro interpolador CIC



E1: Sintetizador de frecuencias (DDS)

E2: Ruta de datos AM/FM configurable

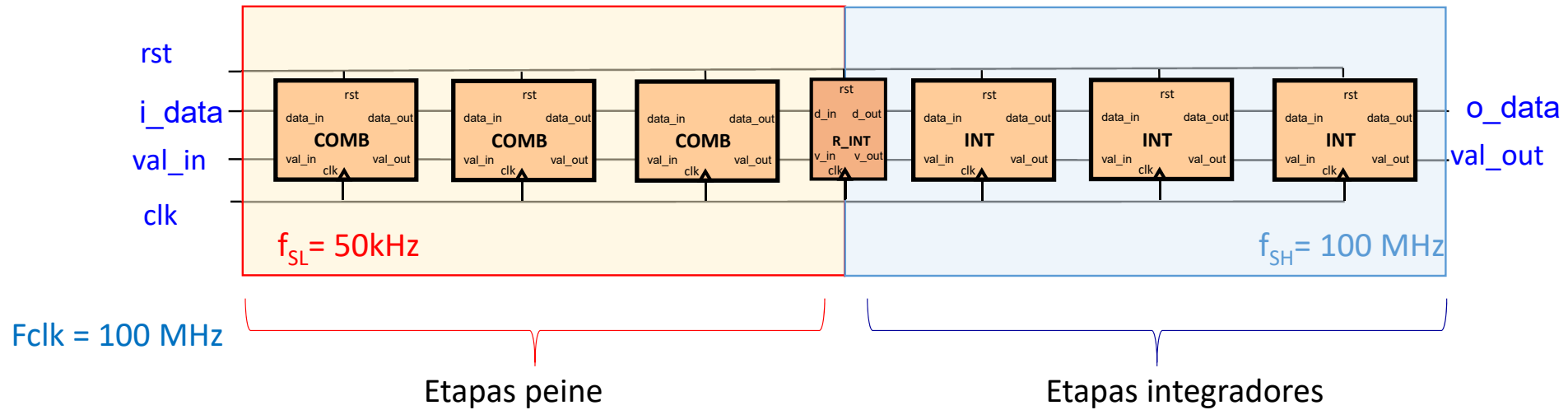
E3: Filtro interpolador CIC

E4: Filtros compensadores CIC y DAC

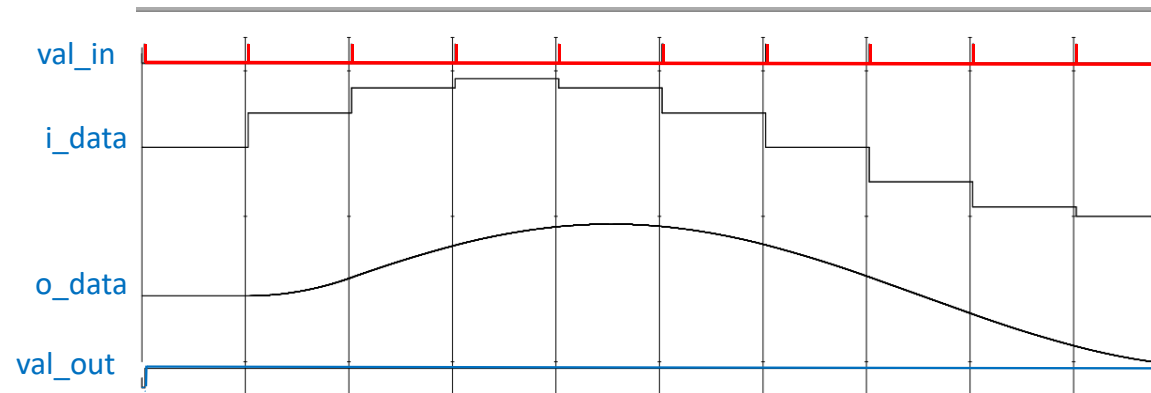
E5: Comunicación con PC, control

E6: Completar sistema

Filtro CIC Interpolador por 2000

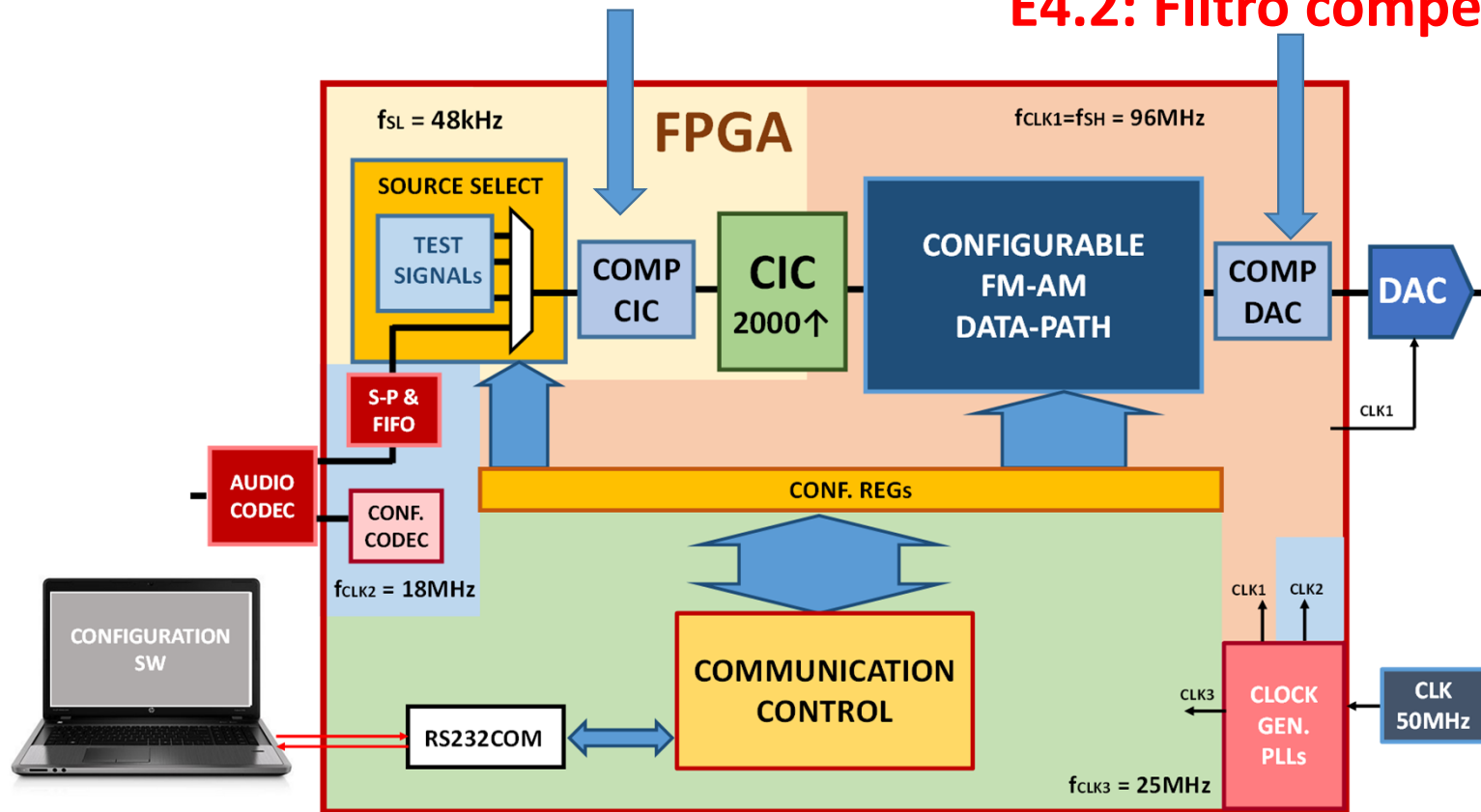


se activa cada 2000 ciclos



E4.1: Filtro compensador CIC

E4.2: Filtro compensador DAC



E1: Sintetizador de frecuencias (DDS)

E2: Ruta de datos AM/FM configurable

E3: Filtro interpolador CIC

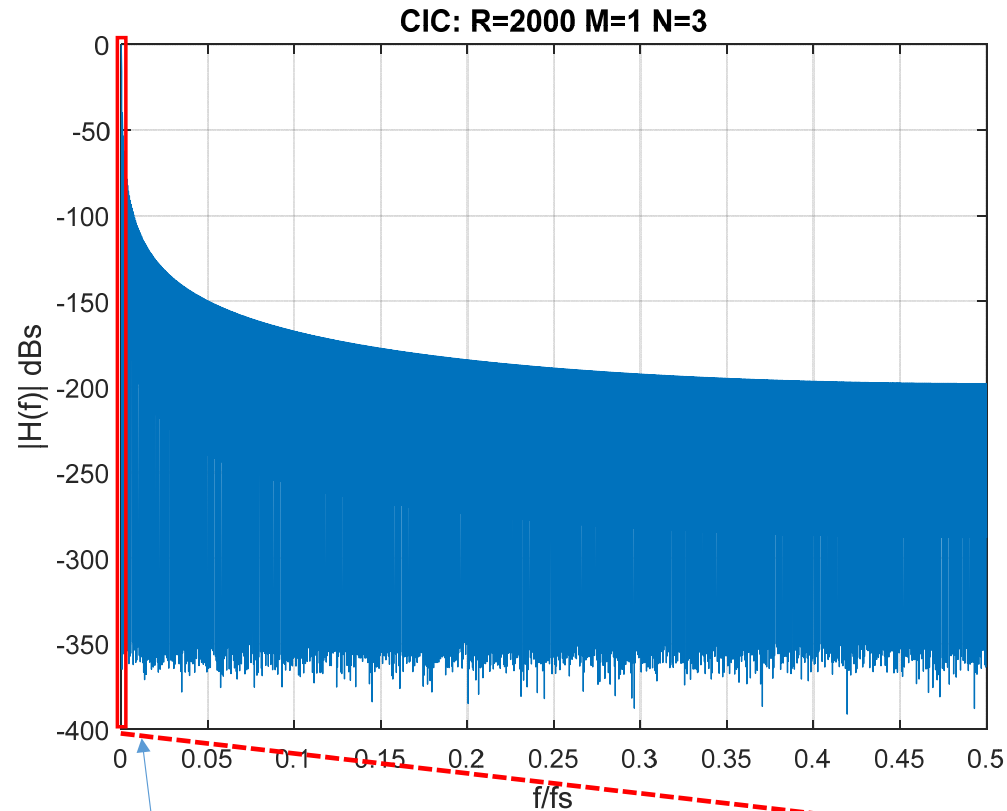
E4: Filtros compensadores CIC y DAC

E5: Comunicación con PC, control

E6: Completar sistema

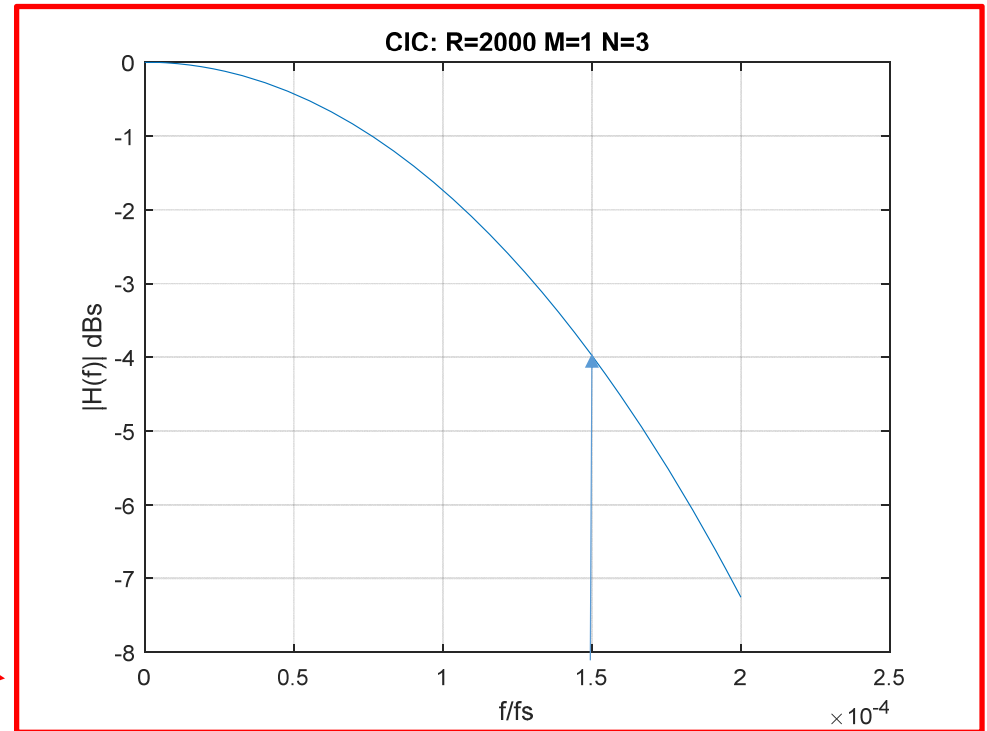
¿Por qué necesitamos un filtro compensador?

Respuesta del CIC

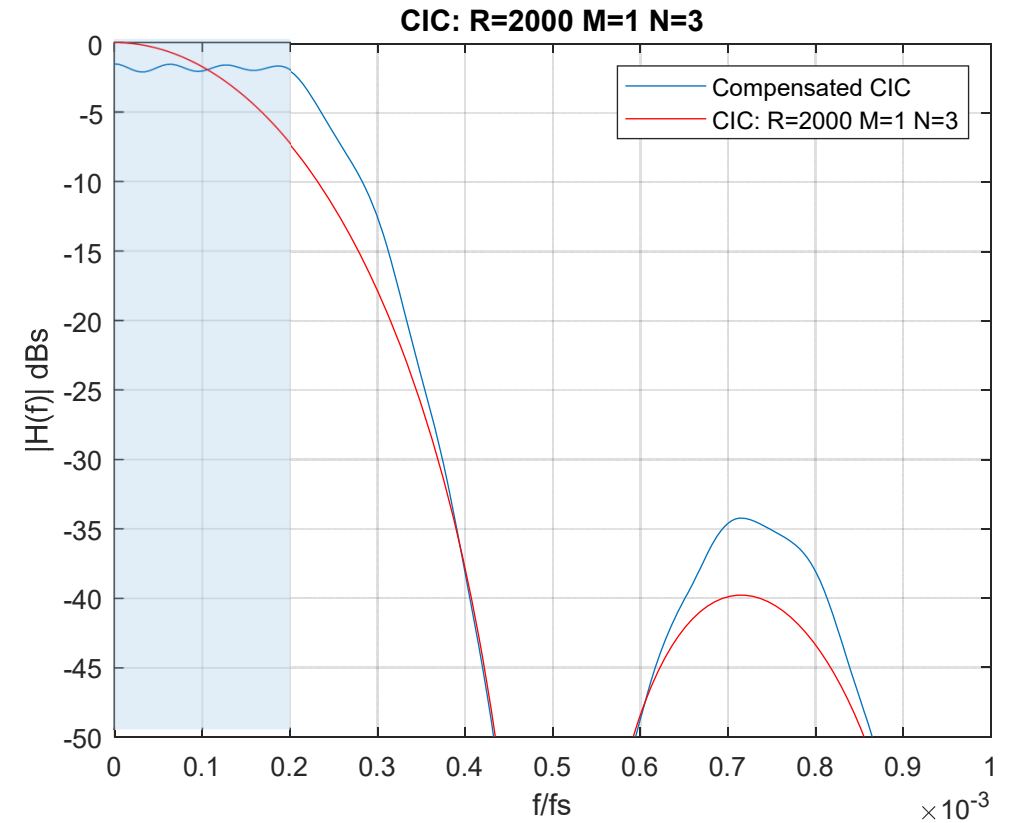
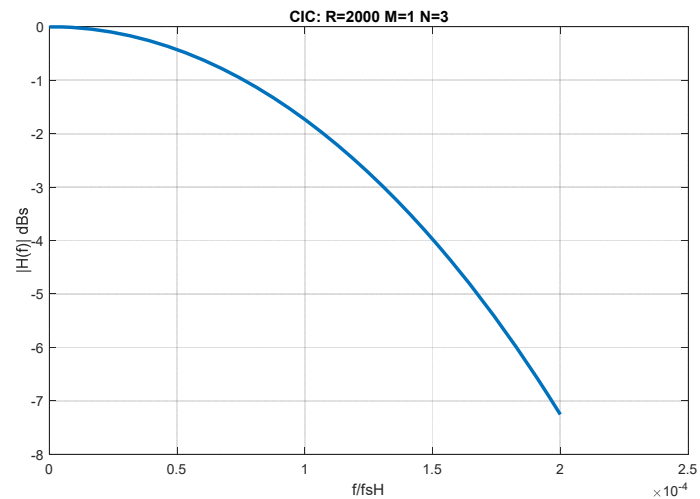
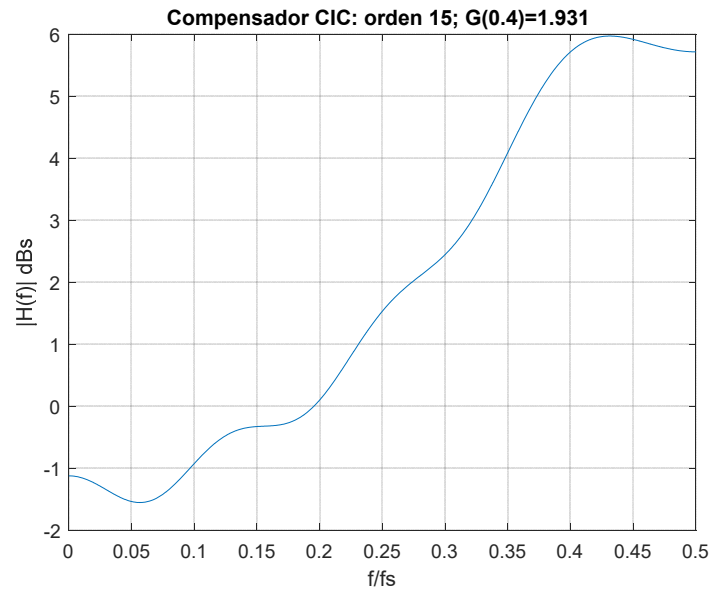


15kHz \rightarrow $1.5e-4$

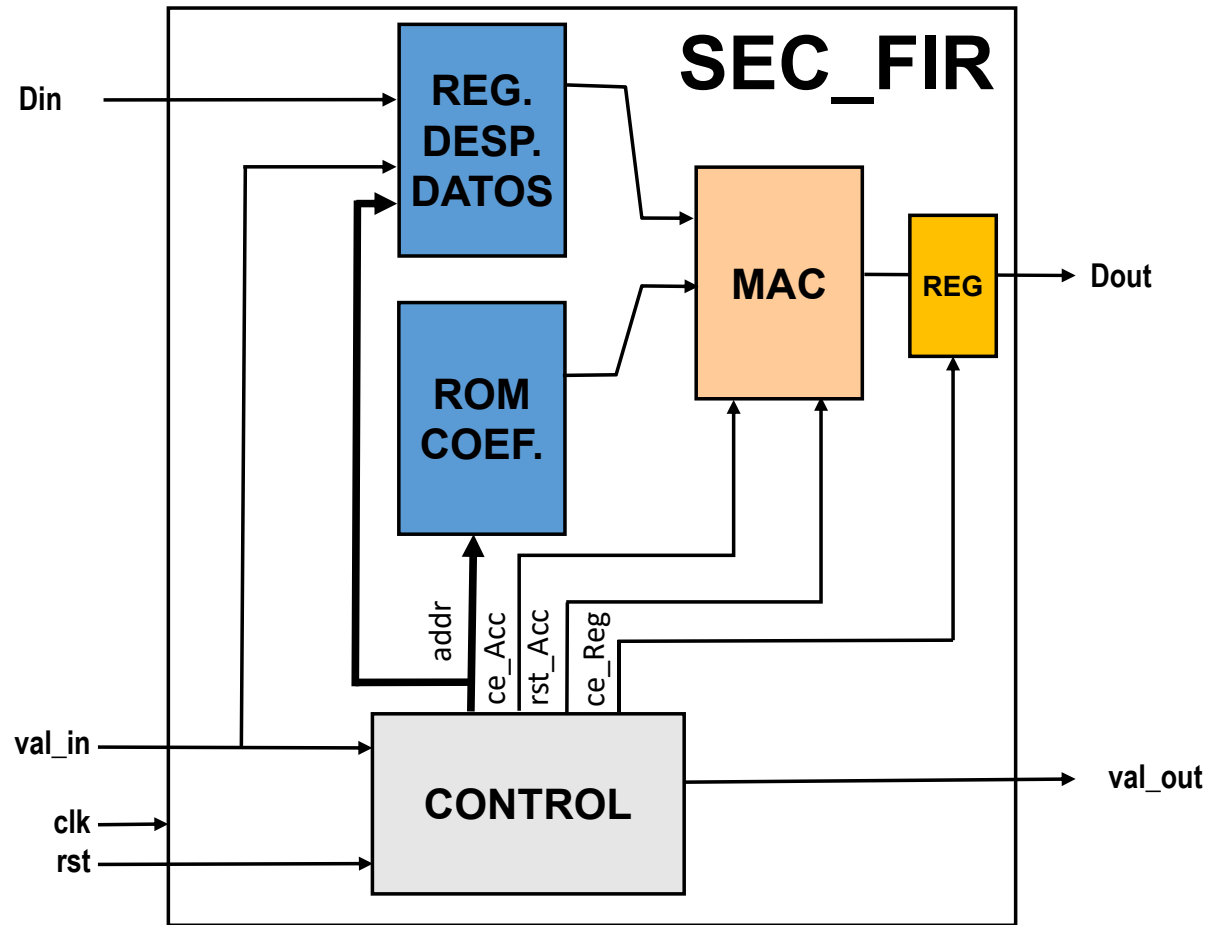
Normalizado para $f_s=100\text{MHz}$



Filtro FIR Compensador del CIC



Filtro FIR secuencial Compensador del CIC



Filtro FIR secuencial Compensador del CIC

Especificaciones

Número de etapas: $N=17$

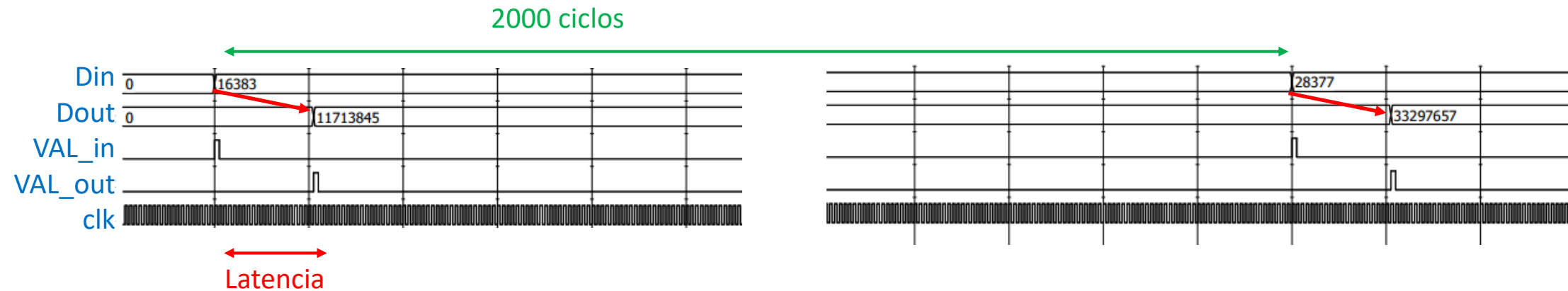
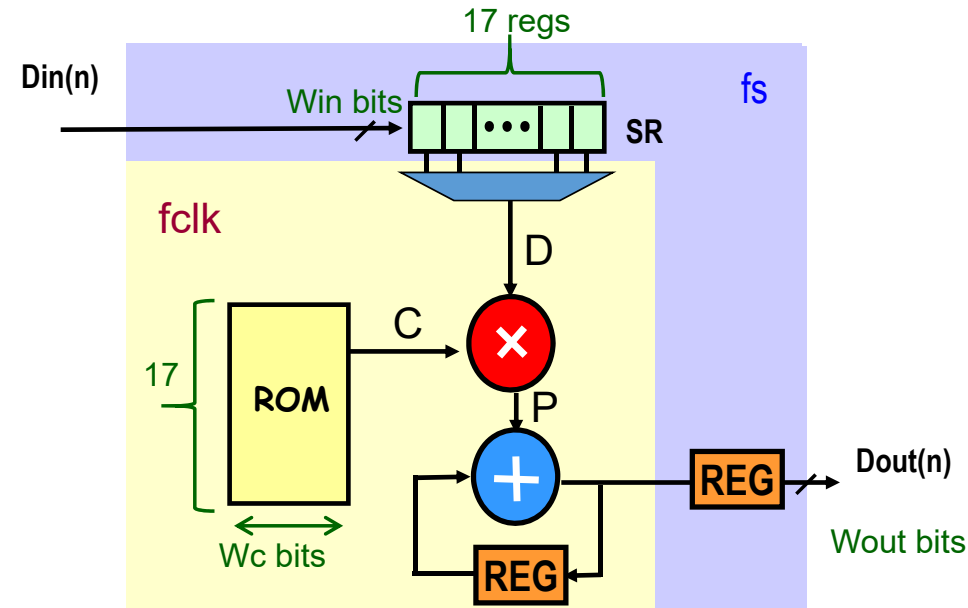
Coeficientes h_{comp} simétricos

Tamaño de la entrada: $W_{\text{in}} = 16$ bits

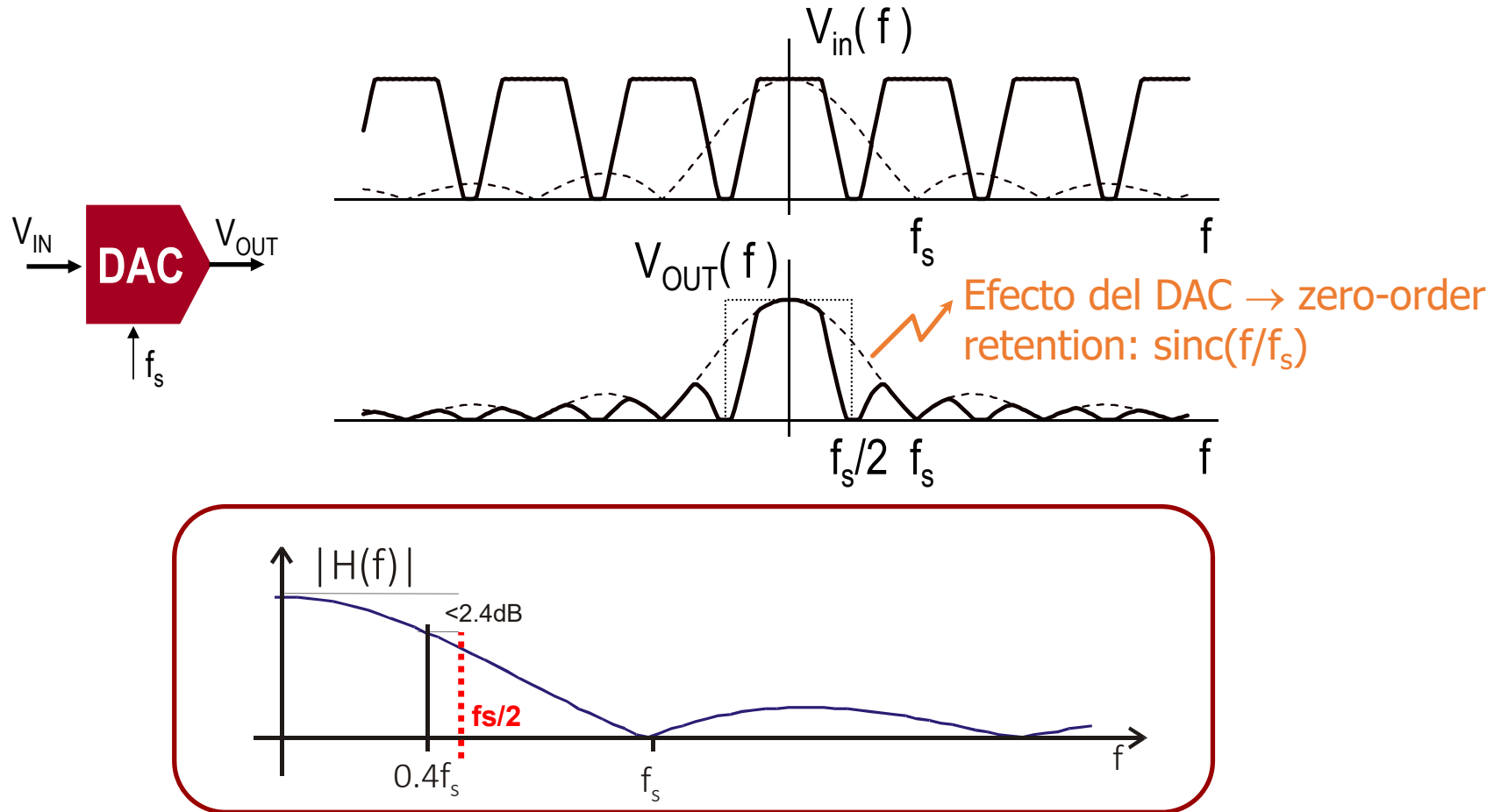
Tamaño de la salida $W_{\text{out}} = 18$ bits

FPGA Cyclone IV EP4CE115F29C7

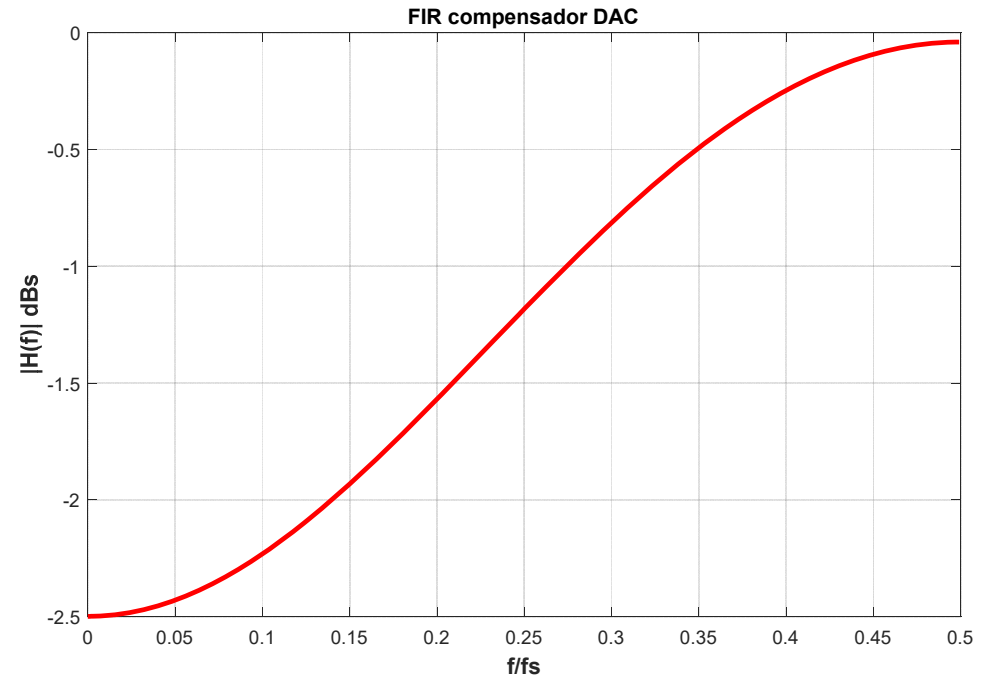
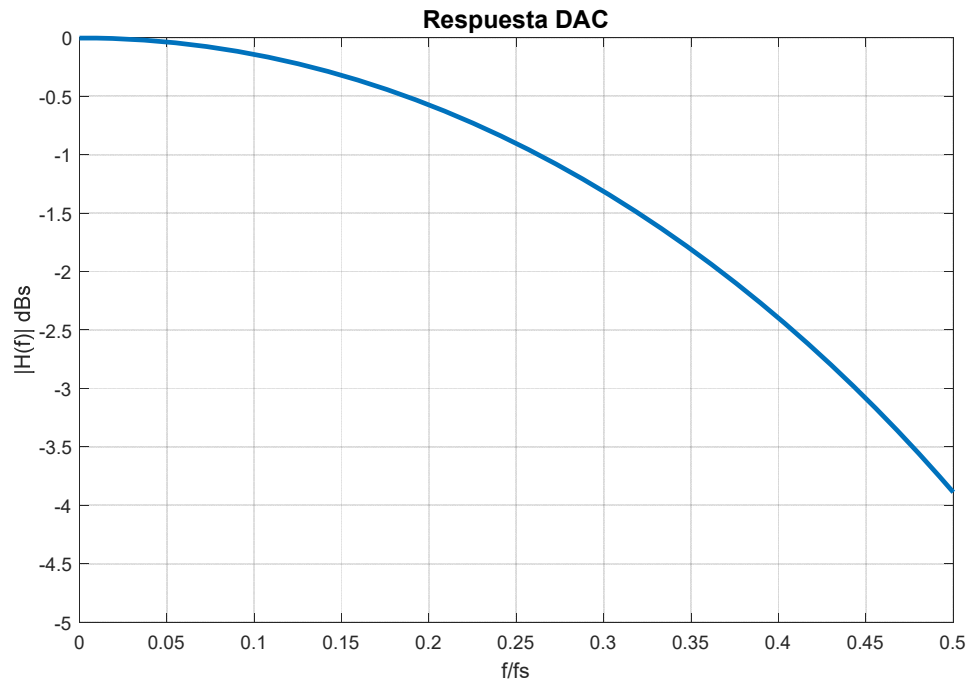
El ancho de banda de la señal de entrada será de 15kHz.



Respuesta en frecuencia del DAC



¿Por qué necesitamos un filtro compensador del DAC?



Filtro de 3 coeficientes para compensar la respuesta del DAC

Filtro FIR Paralelo Compensador del DAC

Especificaciones

Número de etapas: $N=3$

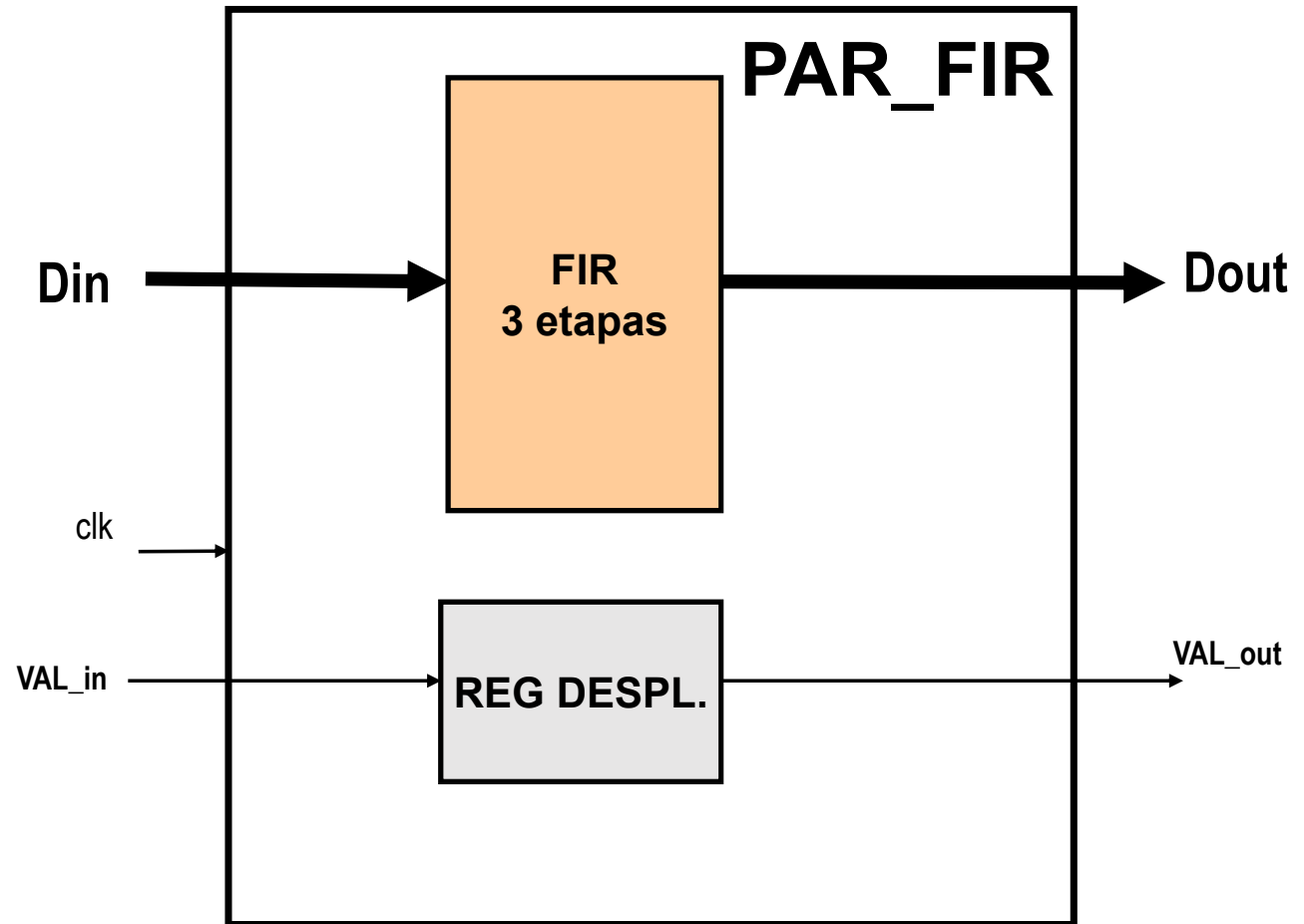
Coeficientes $h_{\text{comp_dac}}$ simétricos

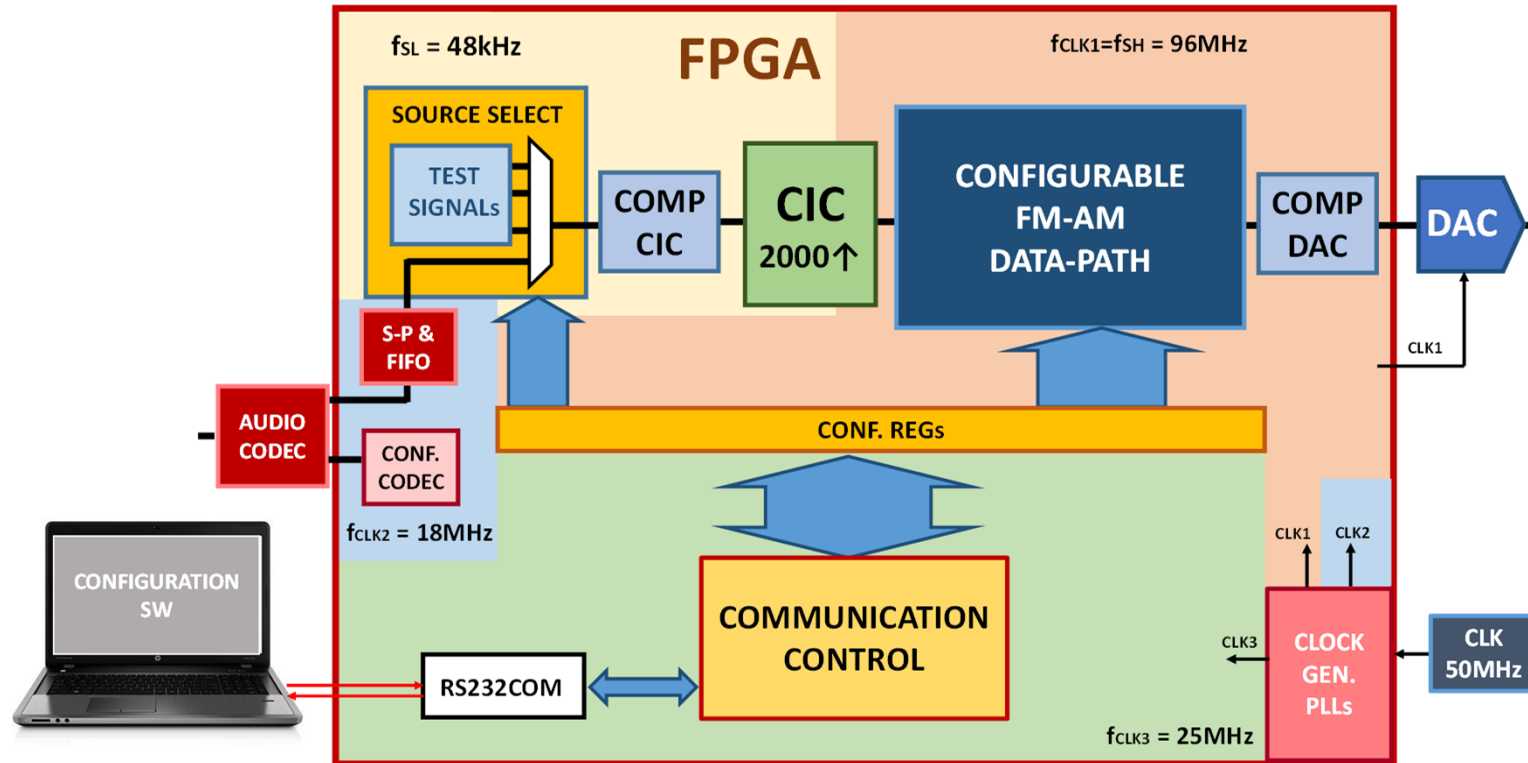
Tamaño de la entrada: $W_{\text{in}} = 16$ bits

Tamaño de la salida $W_{\text{out}} = 16$ bits

FPGA Cyclone IV EP4CE115F29C7

El ancho de banda de la señal de entrada será de 15kHz.



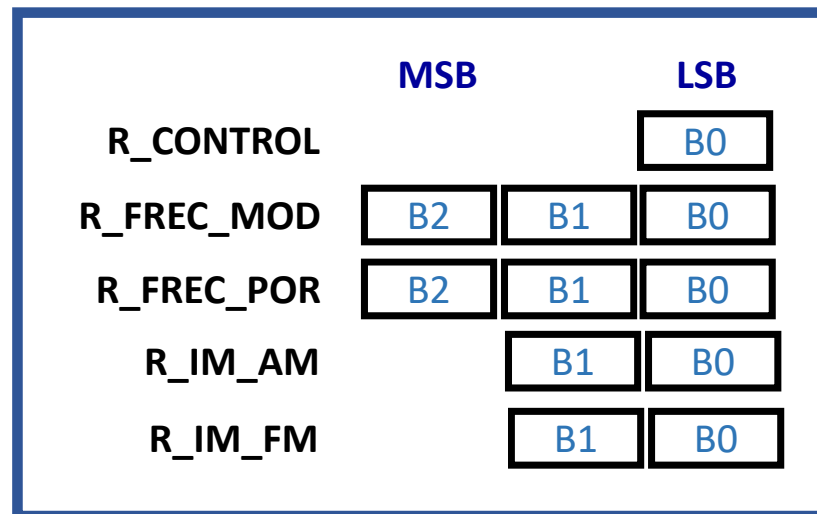


E1: Sintetizador de frecuencias (DDS)
E2: Ruta de datos AM/FM configurable
E3: Filtro interpolador CIC
E4: Filtros compensadores CIC y DAC

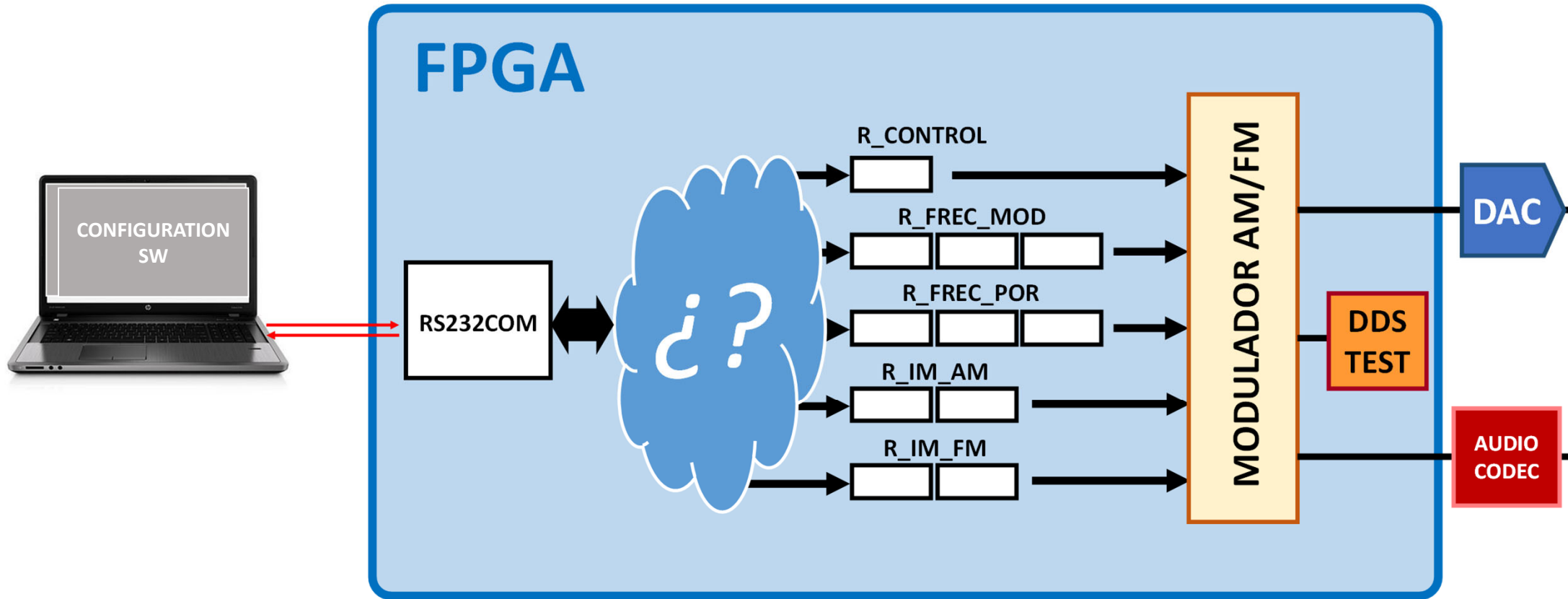
E5: Comunicación con PC, control
E6: Completar sistema

Registros configurables

REGISTRO	TAMAÑO	FUNCIÓN
R_CONTROL	1 byte	Registro de control
R_FREQ_MOD	3 bytes	Paso del DDS para generar la frecuencia de las señales de test
R_FREQ_POR	3 bytes	Paso del DDS para generar la frecuencia portadora
R_IM_AM	2 bytes	Índice de modulación de AM
R_IM_FM	2 bytes	Índice de modulación de FM



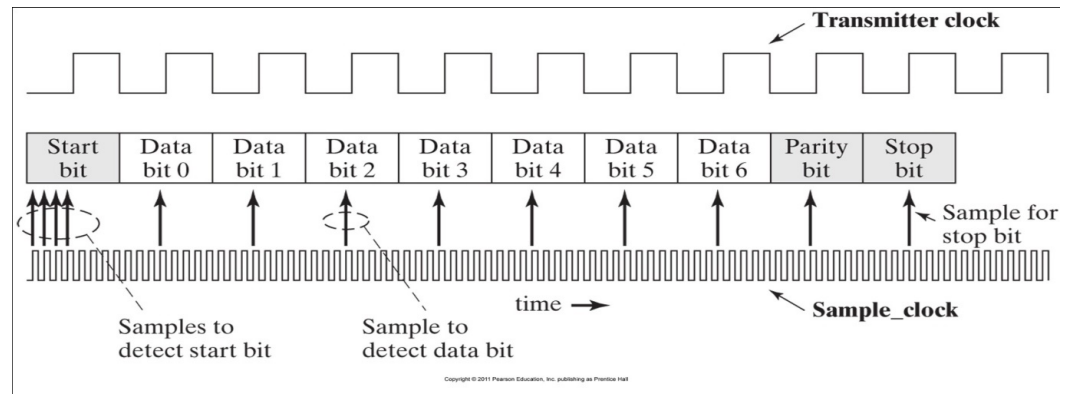
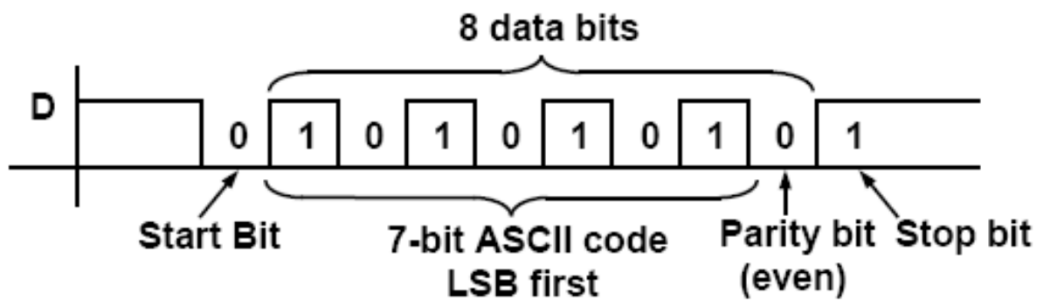
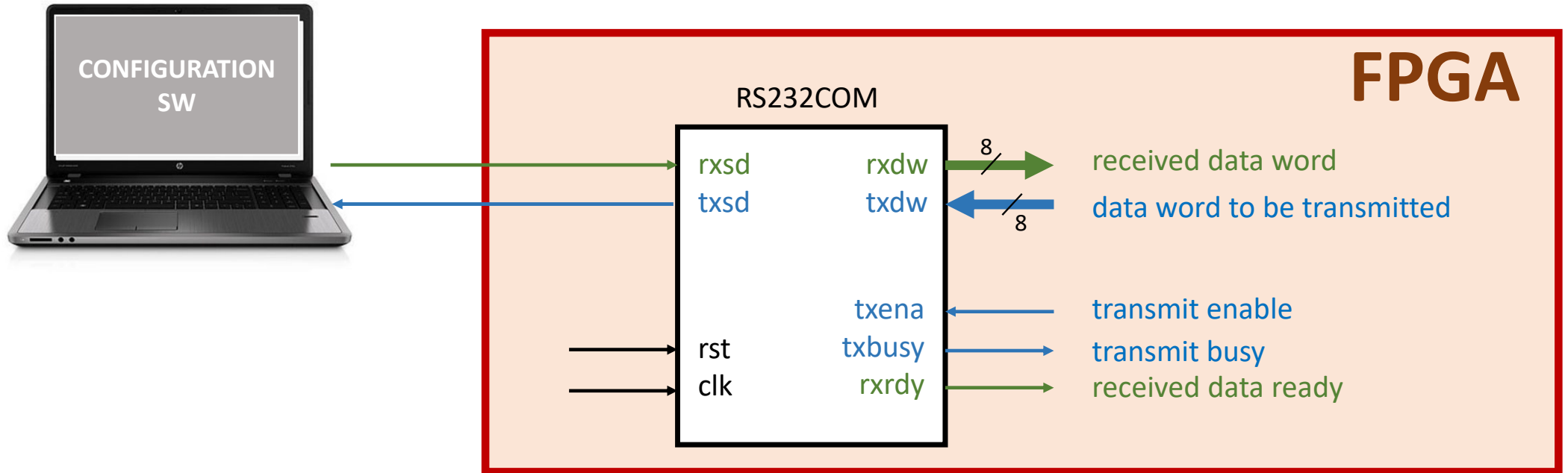
Control de la comunicación



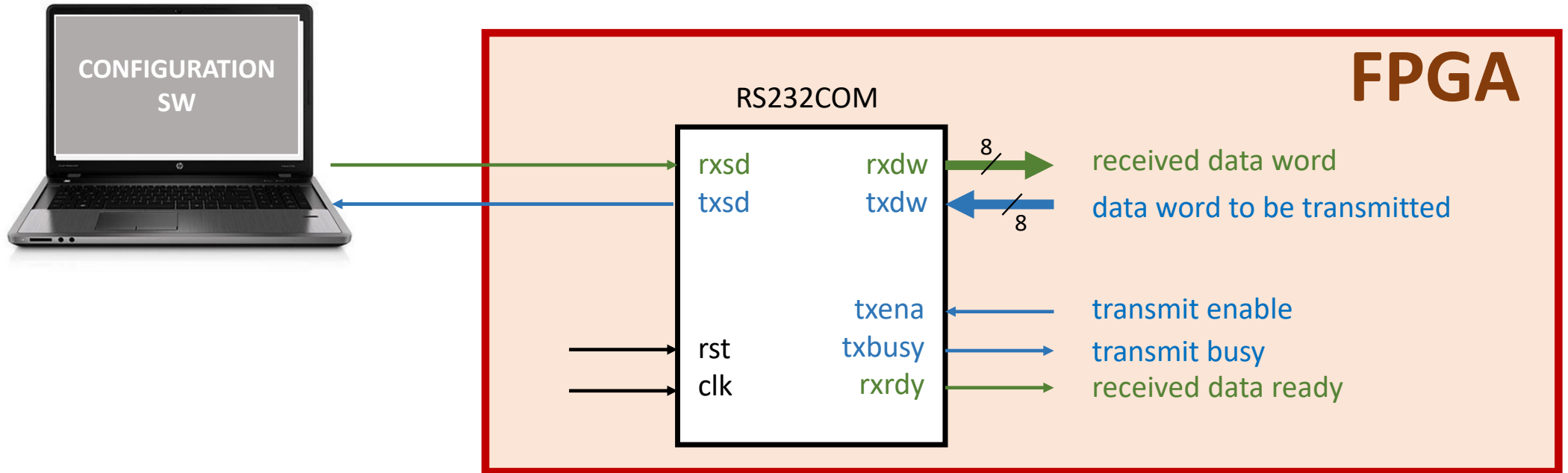
Operaciones:

- ☐ Escritura de los registros de configuración desde el PC
- ☐ Lectura de los registros para comprobar que están bien escritos

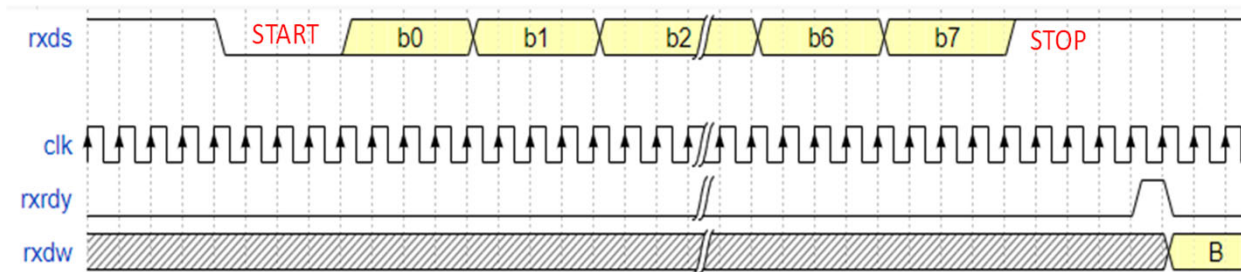
Puerto serie RS-232



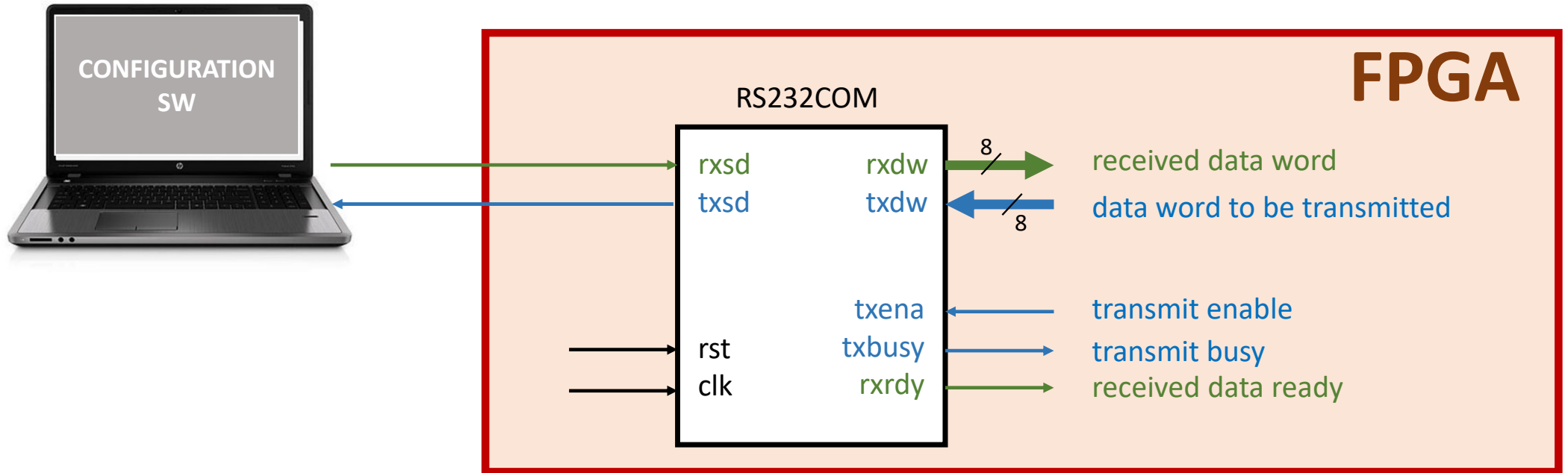
Puerto serie RS-232



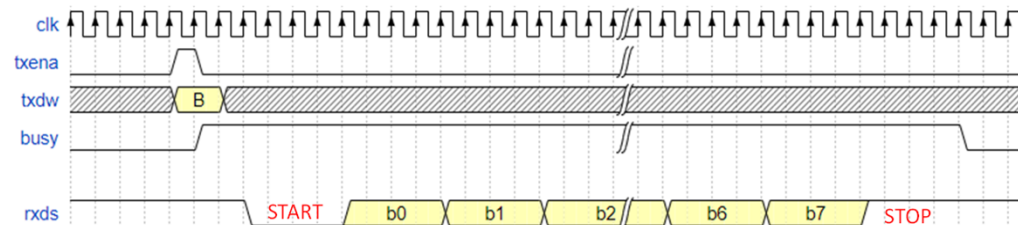
Ejemplo recepción de dato serie: el PC envía el byte B=[b7 b6 b5 b4 b3 b2 b1 b0] al dispositivo FPGA



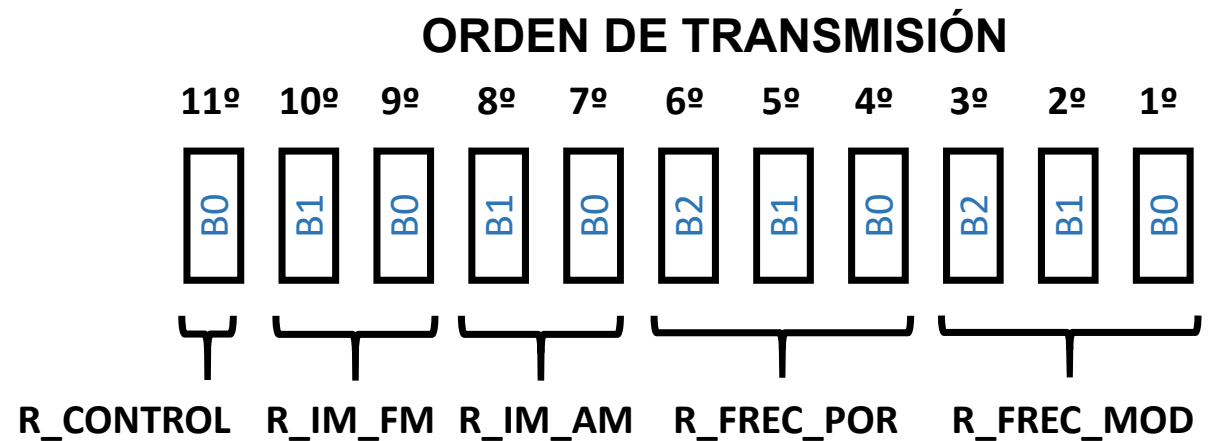
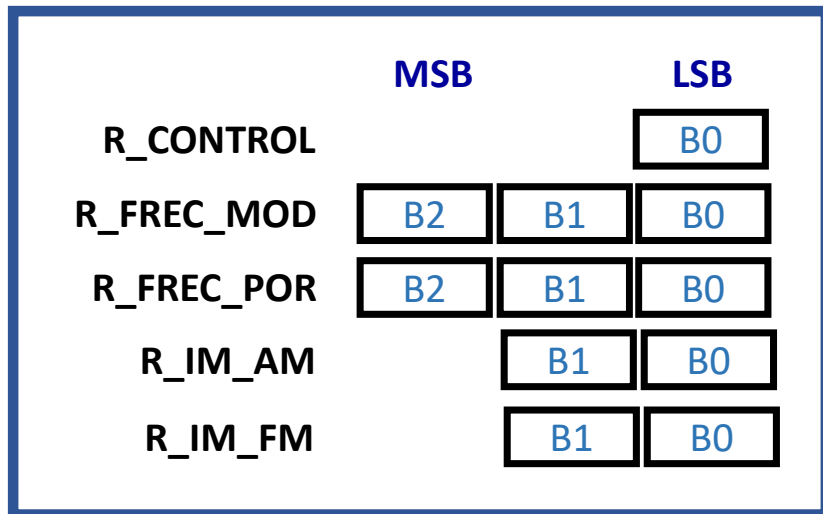
Puerto serie RS-232

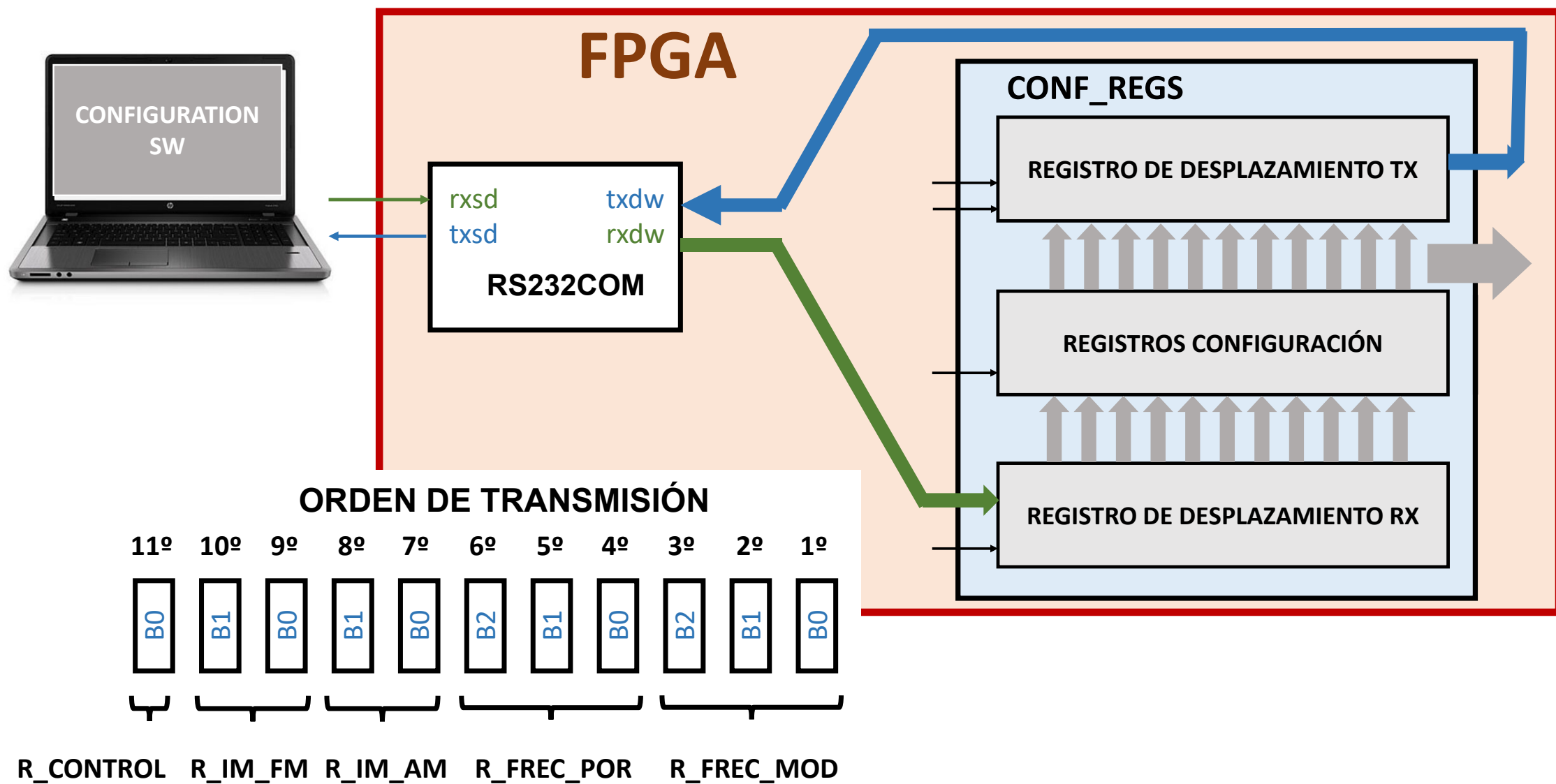


Ejemplo envío de dato serie: El dispositivo FPGA envía el byte $B=[b7\ b6\ b5\ b4\ b3\ b2\ b1\ b0]$ al PC. Mientras la señal busy está activa (a 1), no se puede enviar otro dato.



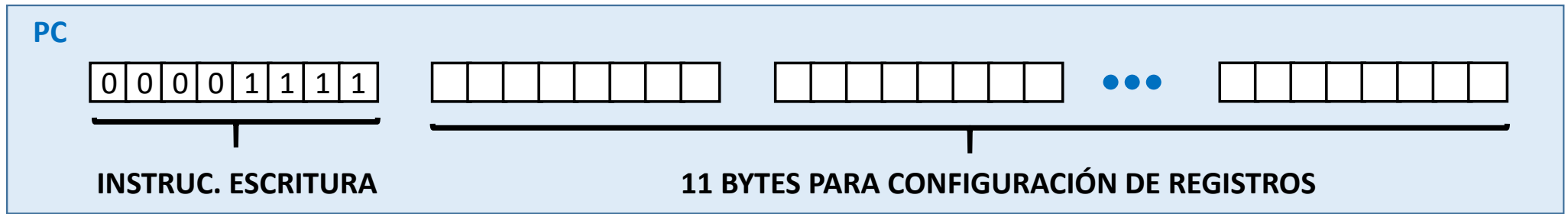
Transmisión de datos PC→FPGA y FPGA→PC



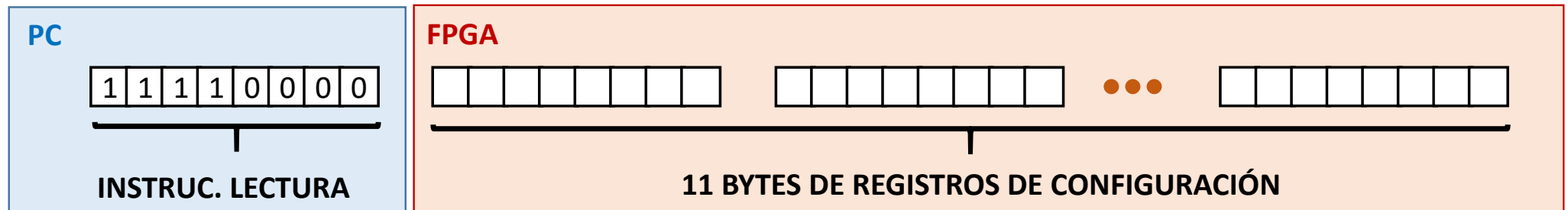


Protocolo de comunicación

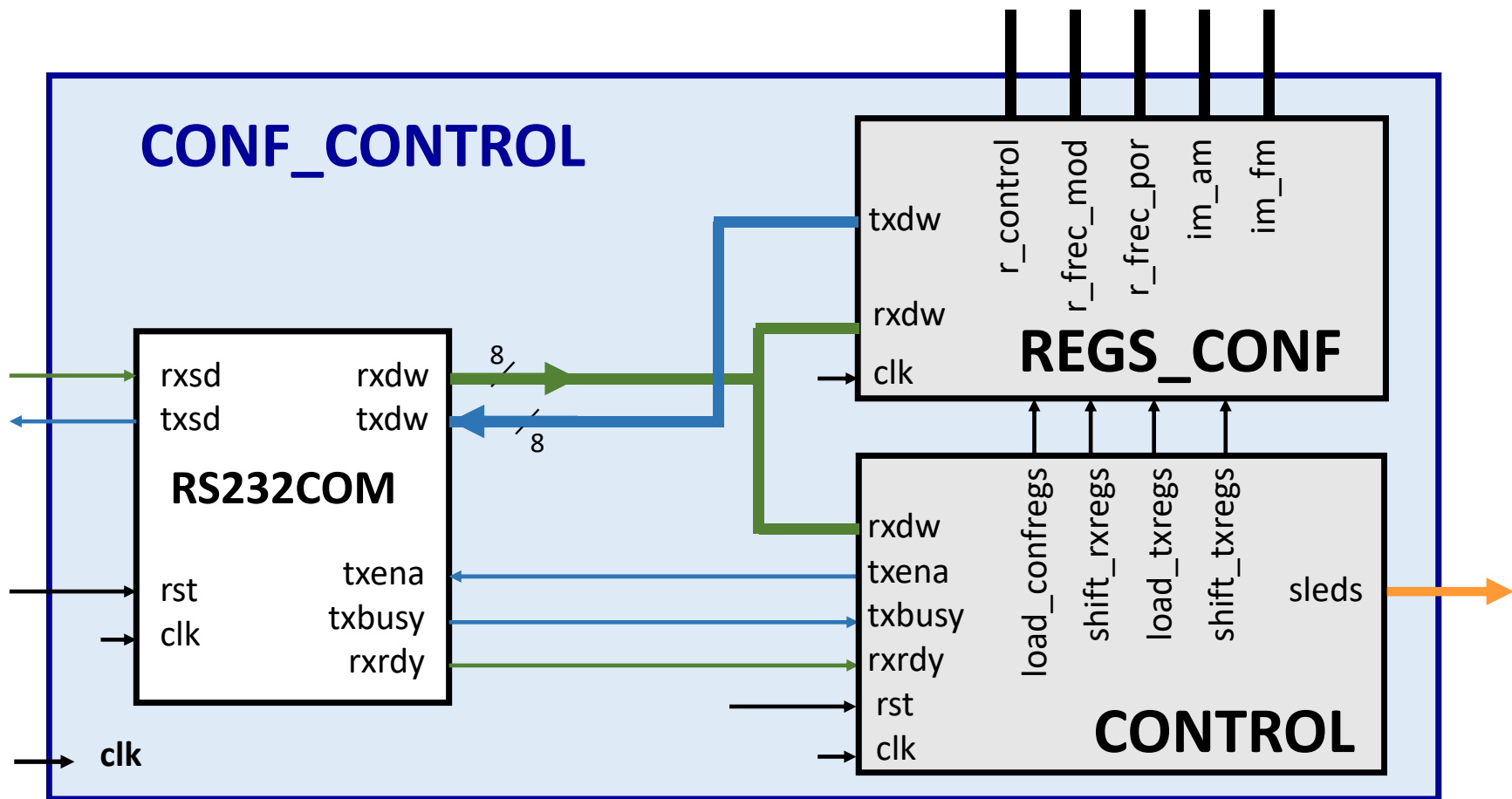
- ESCRITURA



- LECTURA



Control de la comunicación



Circuito de control

Estrategia: 3 FSMs

- Main FSM

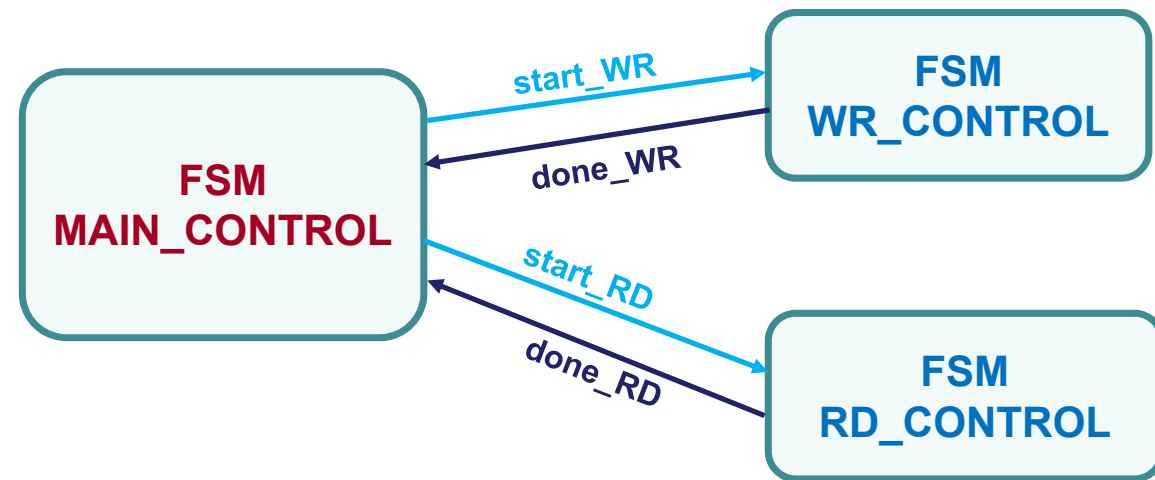
- Decodifica la instrucción y decide si activa la FSM de escritura o lectura
- Detecta los códigos de instrucción no válidos y genera un aviso de error

- WR CONTROL

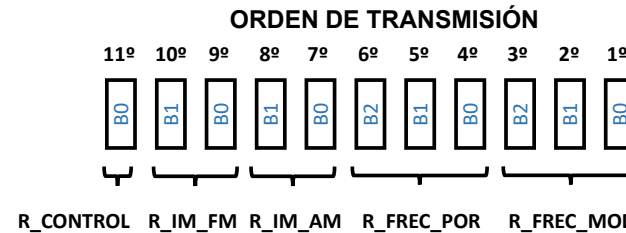
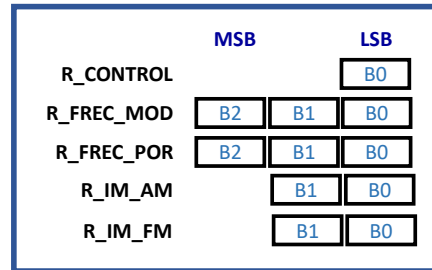
- Gestiona el proceso de escritura

- RD CONTROL

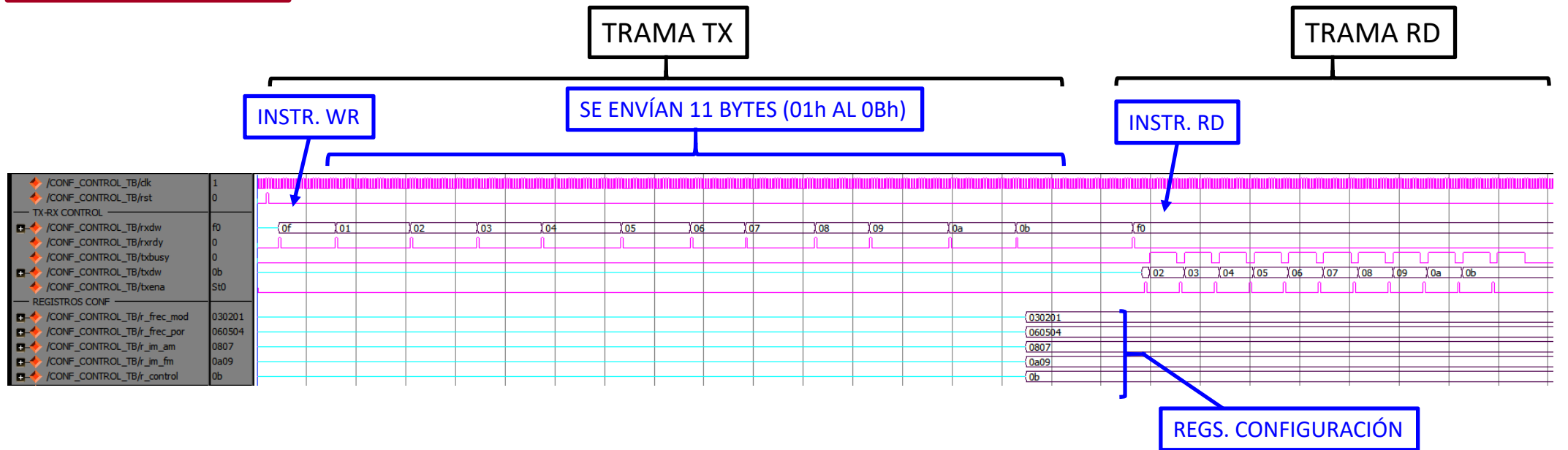
- Gestiona el proceso de lectura



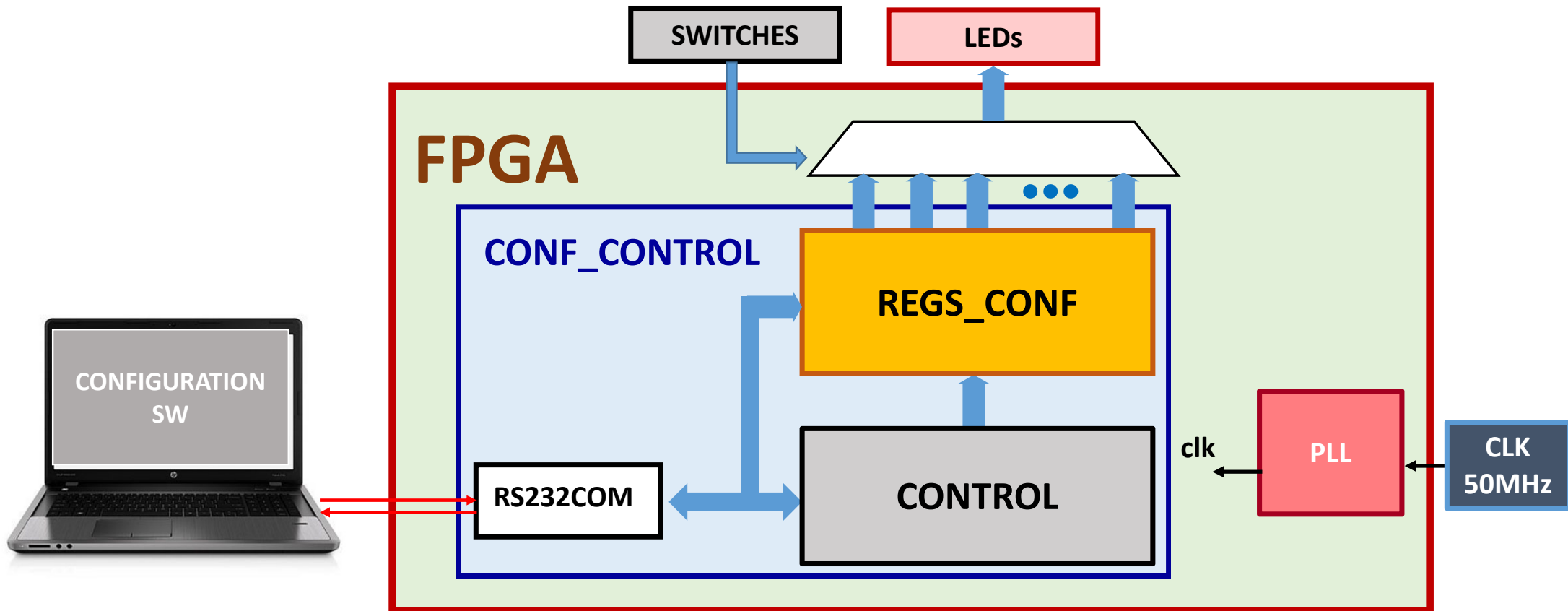
Verificación de la configuración de registros

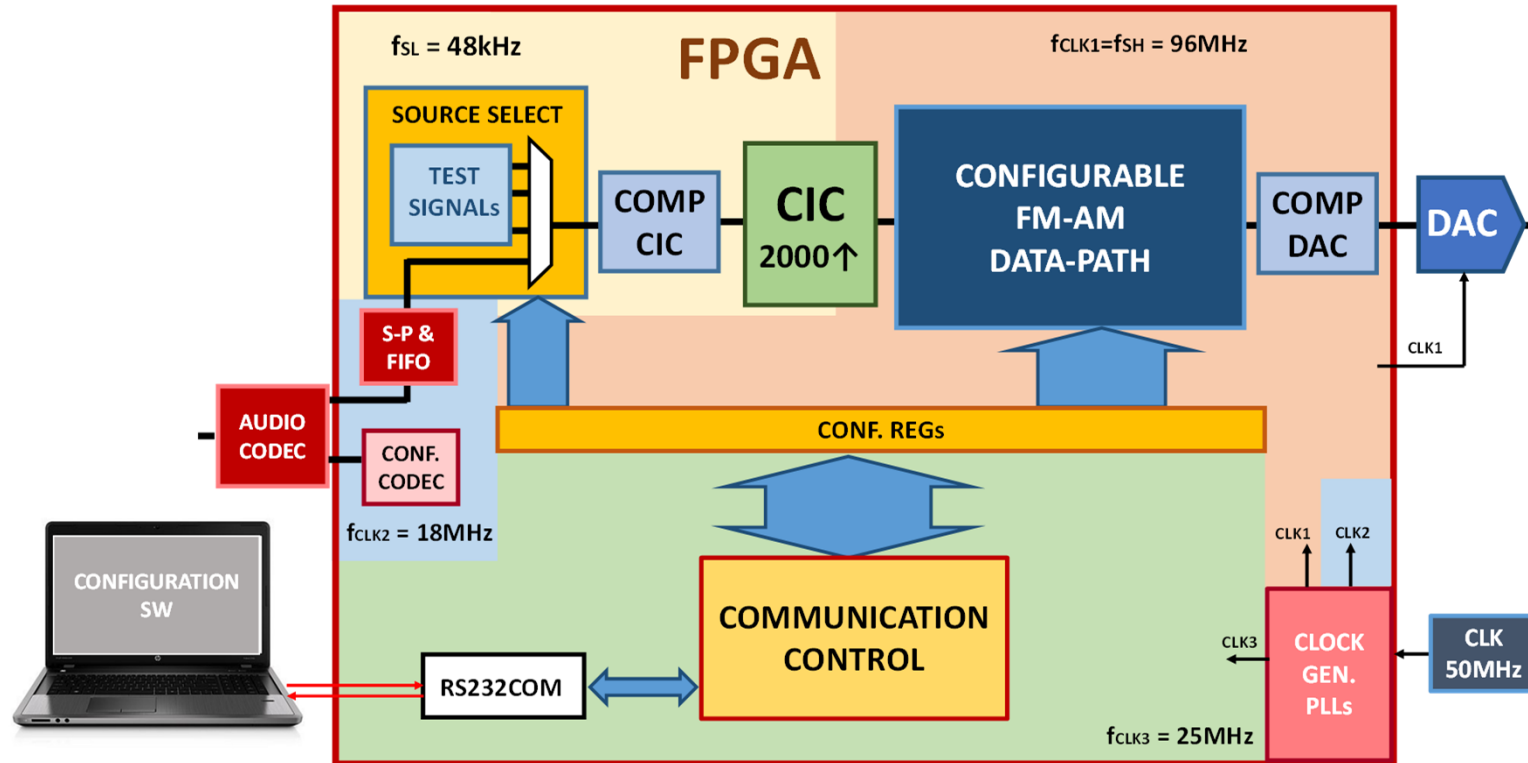


CONF_CONTROL_TB



Verificación de la configuración de registros





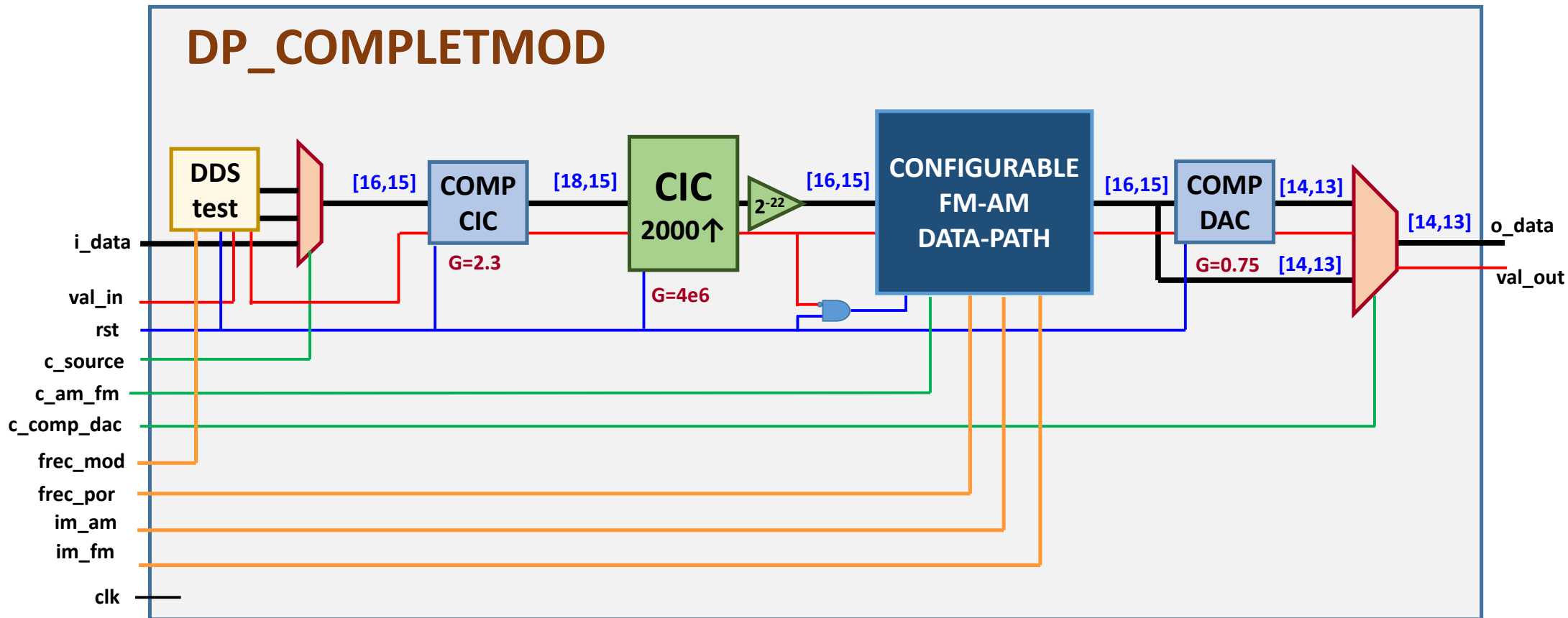
E1: Sintetizador de frecuencias (DDS)
E2: Ruta de datos AM/FM configurable
E3: Filtro interpolador CIC
E4: Filtros compensadores CIC y DAC

E5: Comunicación con PC, control
E6: Completar sistema

Especificaciones del modulador FM-AM

- Modulador configurable via puerto RS232
 - Control de ON-OFF
 - Selección del modo de operación FM-AM
 - Frecuencias portadoras configurables hasta 45 MHz
 - Índices de modulación FM-AM arbitrarios
 - Modula señales con ancho de banda de audio ($f_s=48$ kHz)
 - Fuentes de señal moduladora seleccionable:
 - Señales de test sinusoidal, cuadrada y triangular
 - Señal externa de un codec de audio
 - Compensación de la respuesta en frecuencia del DAC

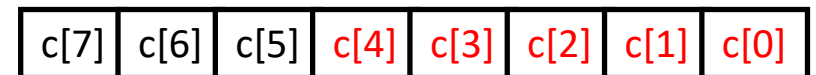
Ruta de datos completa



Registros configurables

REGISTER	SIZE	FUNCTION	NUM. FORMAT
R_CONTROL	1 byte	Control register	--
R_FREQ_MOD	3 bytes	DDS frequency configuration for test signals	U[24,24]
R_FREQ_POR	3 bytes	DDS frequency configuration for carrier frequency	U[24,24]
R_IM_AM	2 bytes	AM modulation index	U[16,15]
R_IM_FM	2 bytes	FM modulation index	U[16,16]

Control register R_CONTROL



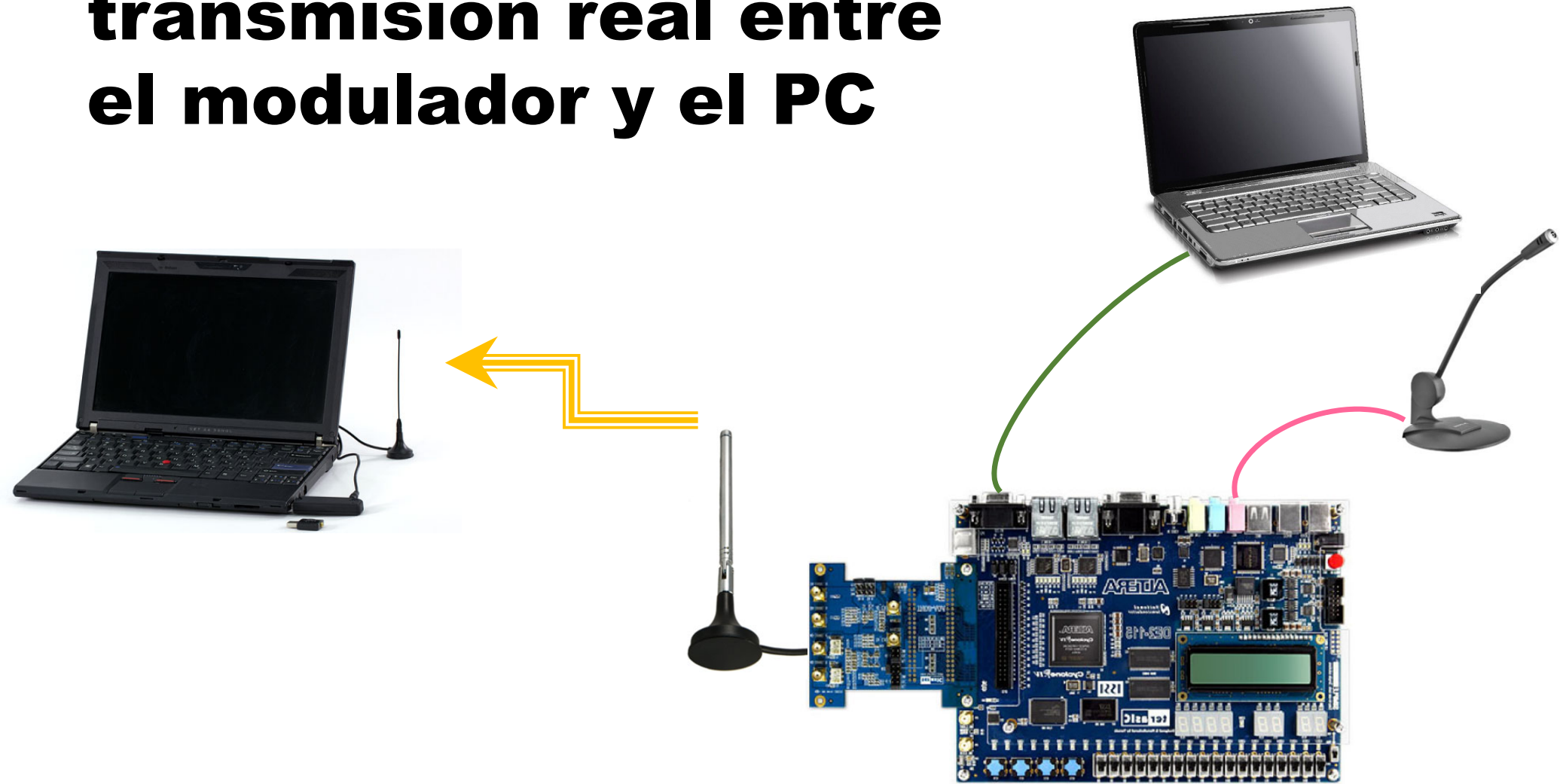
C[0]: 1 → ON, 0 → OFF → **rst**

C[1]: 1 → FM MODE, 0 → AM MODE → **c_fm_am**

C[3:2]: SOURCE CONTROL → **selection**
 00 → DDS SENO **mux**
 01 → DDS RAMPA **input of**
 10 → DDS CUADRADA **source:**
 11 → AUDIO CODEC **c_source**

C[4]: COMPENSADOR DAC
 1 → ON, 0 → OFF → **c_comp_dac**

Verificación con una transmisión real entre el modulador y el PC



DE2-115 con conversores AD-DA de alta velocidad

DAC

14 bits

125 Msps

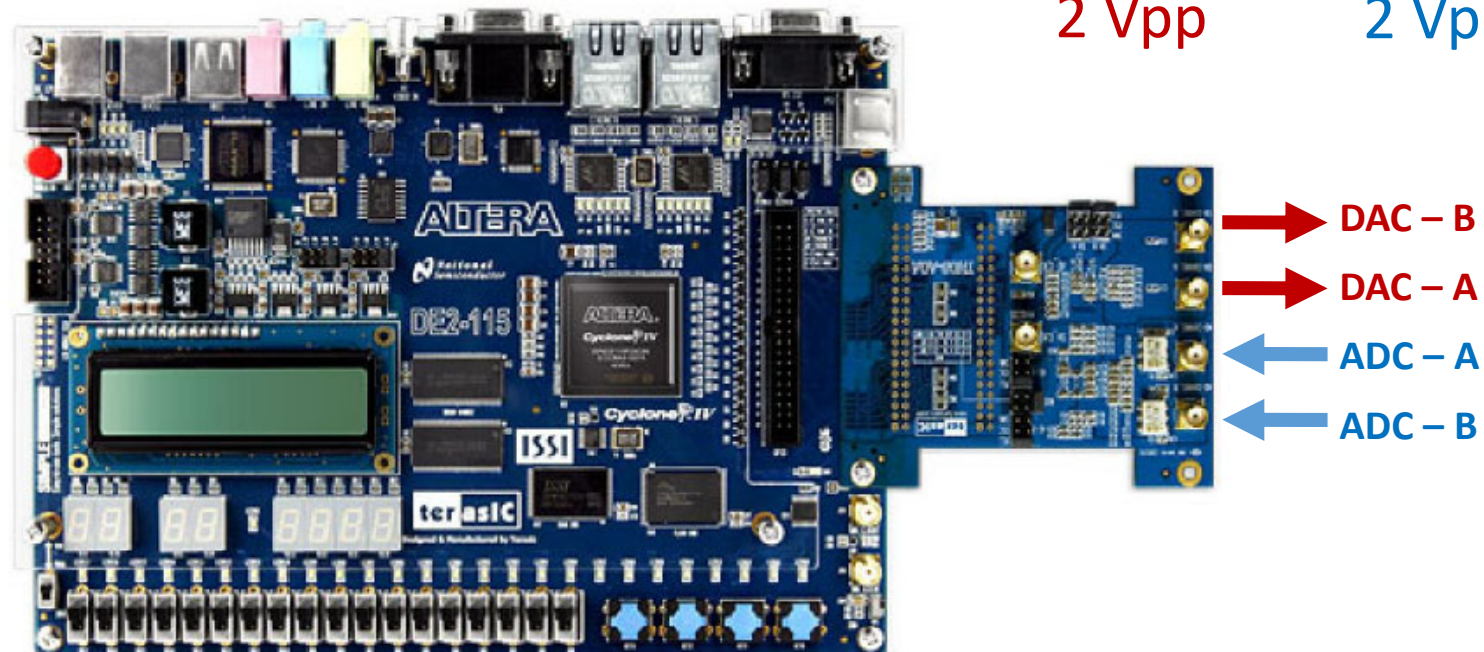
2 Vpp

ADC

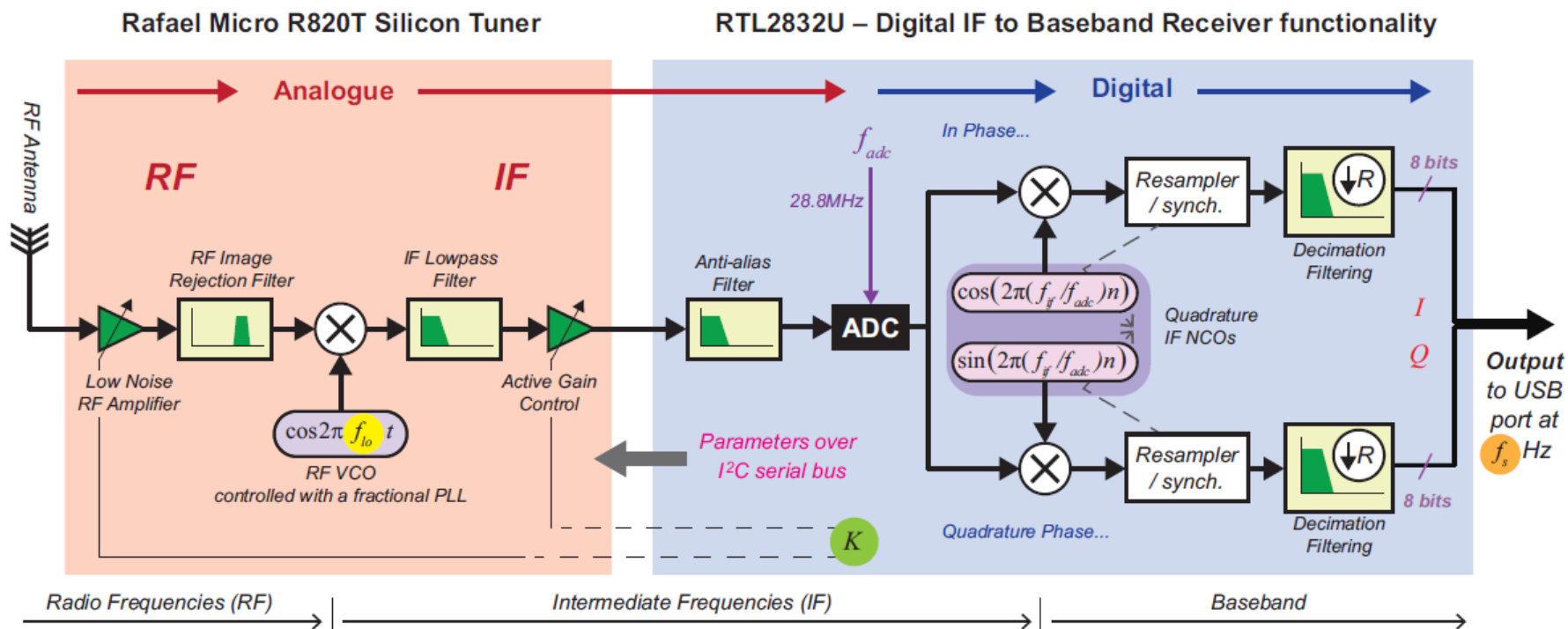
14 bits

65 Msps

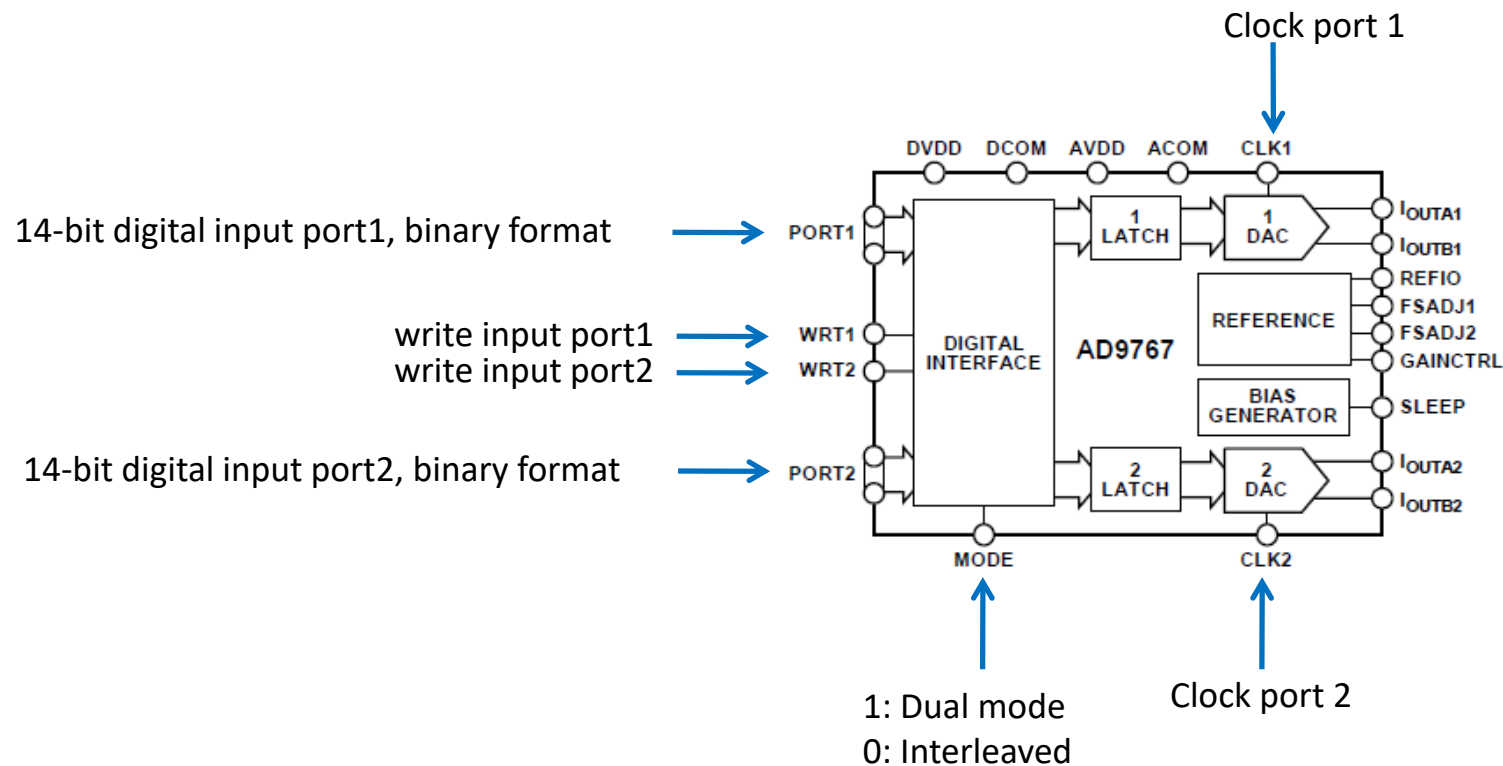
2 Vpp



RTL-SDR para recibir y demodular la señales con Matlab en el PC



Digital-to-analog converter



Digital-to-analog converter

Dual mode

Two independent DACs

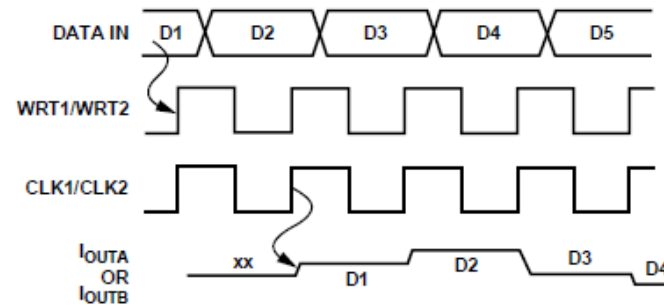


Figure 26. Dual Mode Timing

Interleaved mode

Interleaved data → Port 1

WRT1 → IQWRT

CLK1 → IQCLK

WRT2 → IQSEL

CLK2 → IQRESET

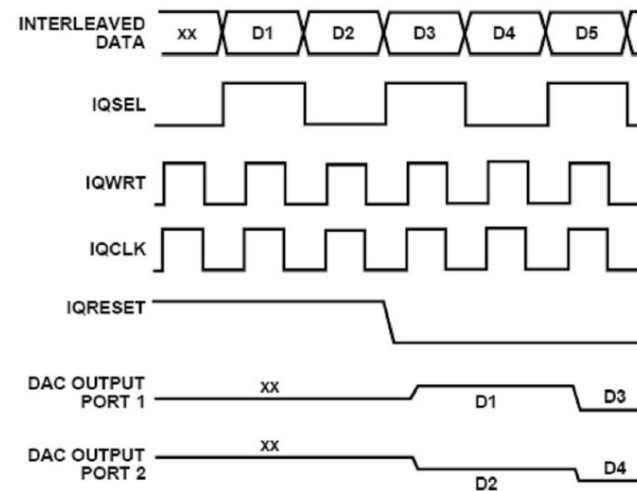


Figure 3-1 Interleaved Mode Timing

