Síntesis digital directa: DDS

Procesado Digital de la Señal en FPGA

2020/2021

Síntesis Digital Directa

- Introducción
- Método basado en tablas
- Efecto del truncamiento en la amplitud
- Efecto del truncamiento en la fase
- Reducción de espurios
- Simetría de cuarto de onda

Introducción: Síntesis Digital Directa

Síntesis Digital Directa *(Direct Digital Synthesis*, DDS) es el proceso de generar directamente en el dominio digital las portadoras u otras señales de referencia requeridas en comunicaciones

Para la translación de frecuencias se necesita generar:

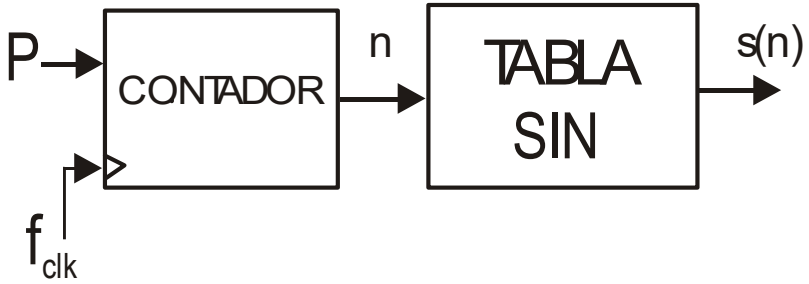
$$e^{-jwnT} = \cos(wnT) - j\sin(wnT)$$

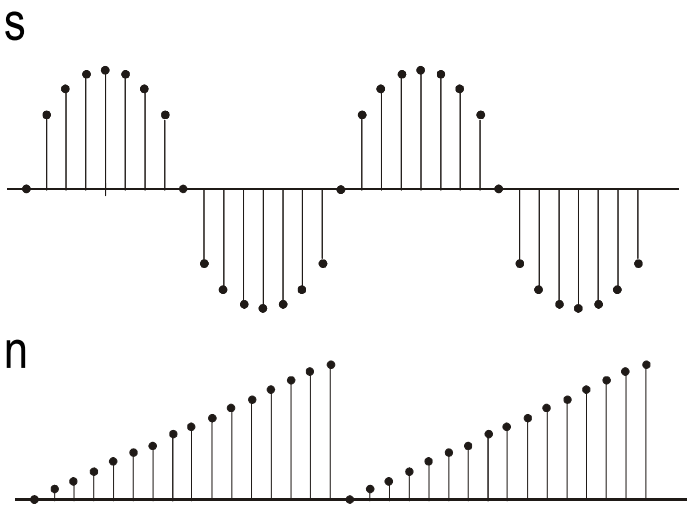
Conformación de pulsos:

En QAM: pulso de la raiz del coseno alzado (RRC)
En GMSK: pulso Gausiano

Síntesis Digital Directa basada en tablas

- Las muestras de un periodo de la sinusoide se almacenan en una tabla
- Un contador genera una rampa y selecciona las posiciones de la tabla, obteniendo a la salida de ésta el valor correspondiente de la señal sinusoidal
- La frecuencia de reloj del circuito es fija

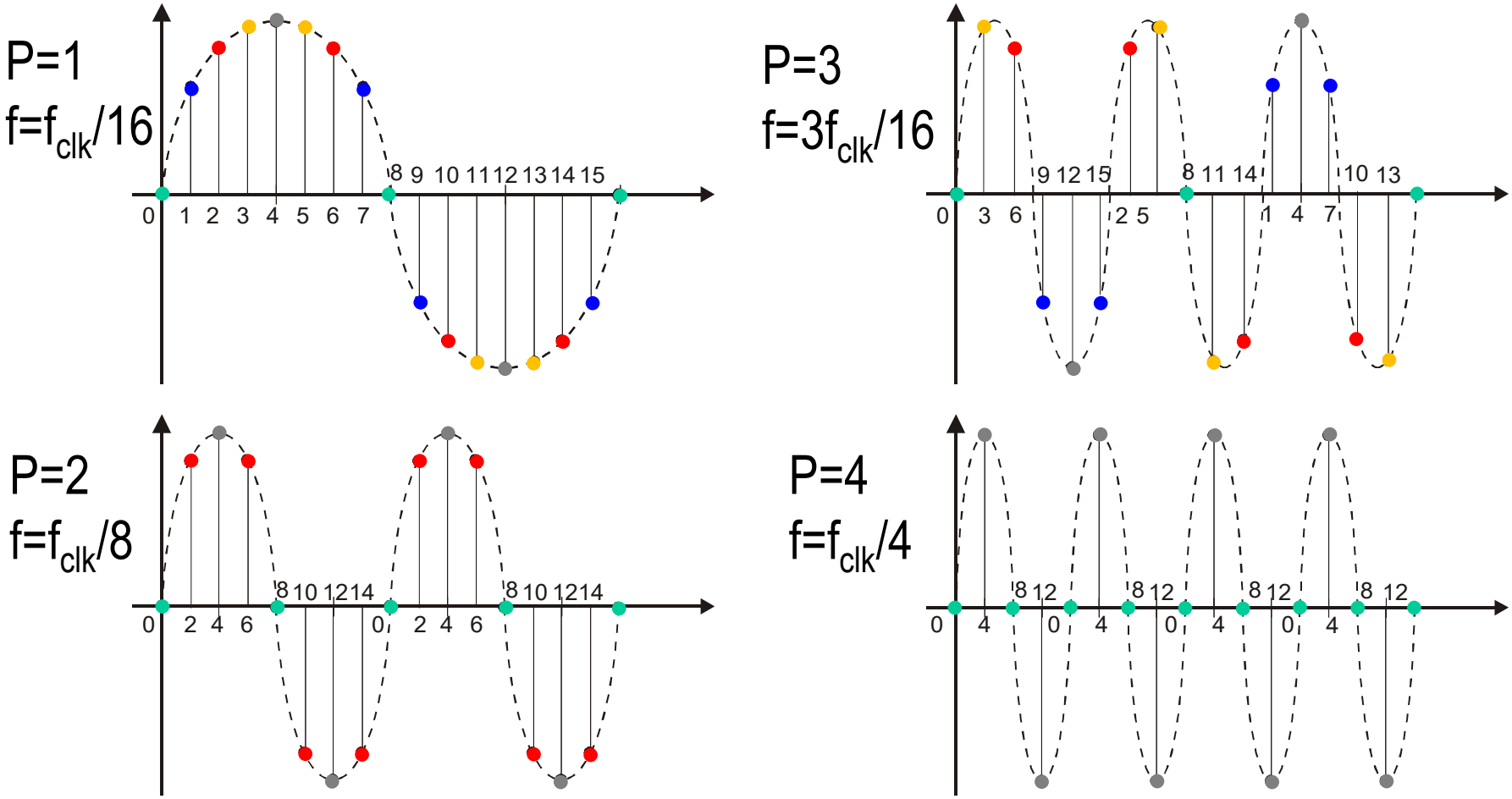




- Para variar la frecuencia de la señal generada, manteniendo fija la frecuencia del reloj, se han de seleccionar un menor número de muestras del periodo. Esto se consigue incrementando el contador en pasos mayores que la unidad

Síntesis Digital Directa basada en tablas

Ejemplo: acumulador de fase de M=4 bits



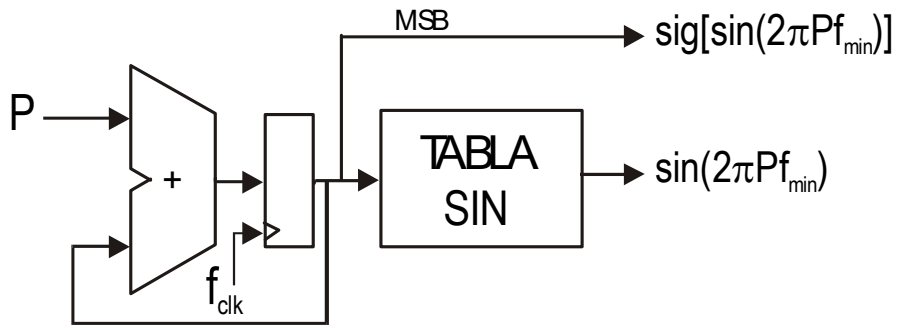
Síntesis Digital Directa basada en tablas

- Frecuencia de la señal sinusoidal generada:

$$f = \frac{P \cdot f_{clk}}{2^M}$$

  - Valor máximo: $P=2^{M-1} \Rightarrow f_{max}=f_{clk}/2$
  - Valor mínimo (resolución): $P=1 \Rightarrow \Delta f = f_{min}=f_{clk}/2^M$

- El contador se realiza con un acumulador



$$s(n) = s(n-1) + P$$

Acumulador de M bits $\Rightarrow$ contador módulo 2^M

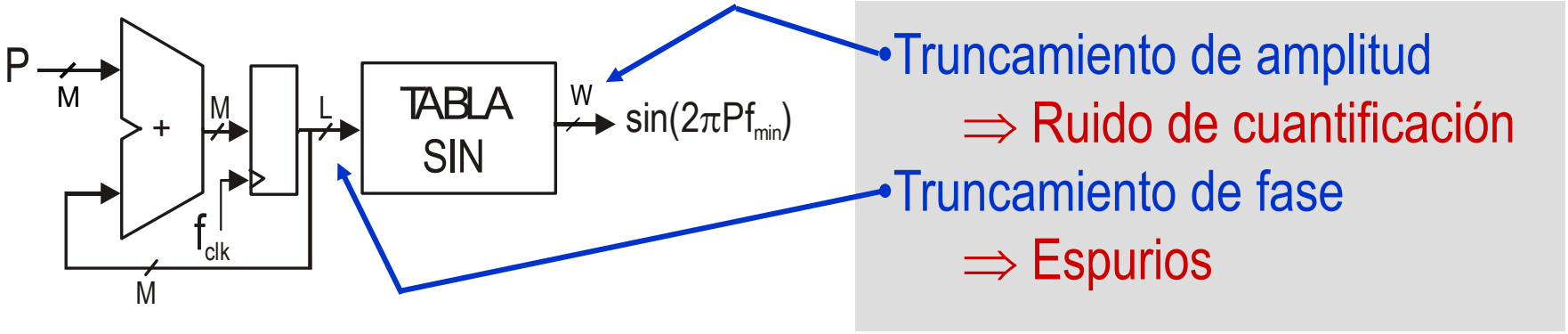
A este circuito se le denomina "**acumulador de fase**"

Síntesis Digital Directa basada en tablas

- ¿Dimensiones de la tabla?
  Muestras almacenadas en la tabla: W bits
  Acumulador: M bits
  Tabla: $2^M \cdot W$ bits

Ejemplo: fclk=50MHz y W=12 bits; para alcanzar Δf =0.05Hz se requiere un acumulador de fase de 30 bits $\Rightarrow$ **ROM 2^{30}x12 bits = 12 Gb**

Solución: sólo los L bits más significativos del acumulador direccionan la tabla $\Rightarrow$ Se alcanza la precisión de frecuencia deseada y se usan tablas de tamaño manejable

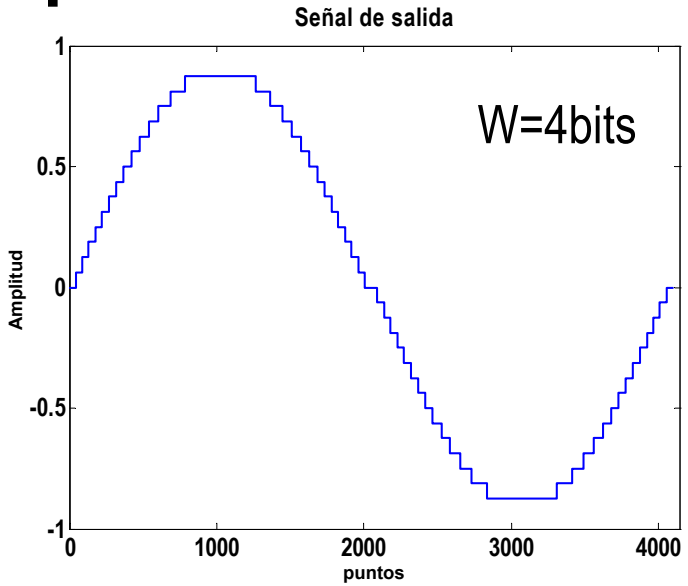


Efecto del truncamiento de amplitud

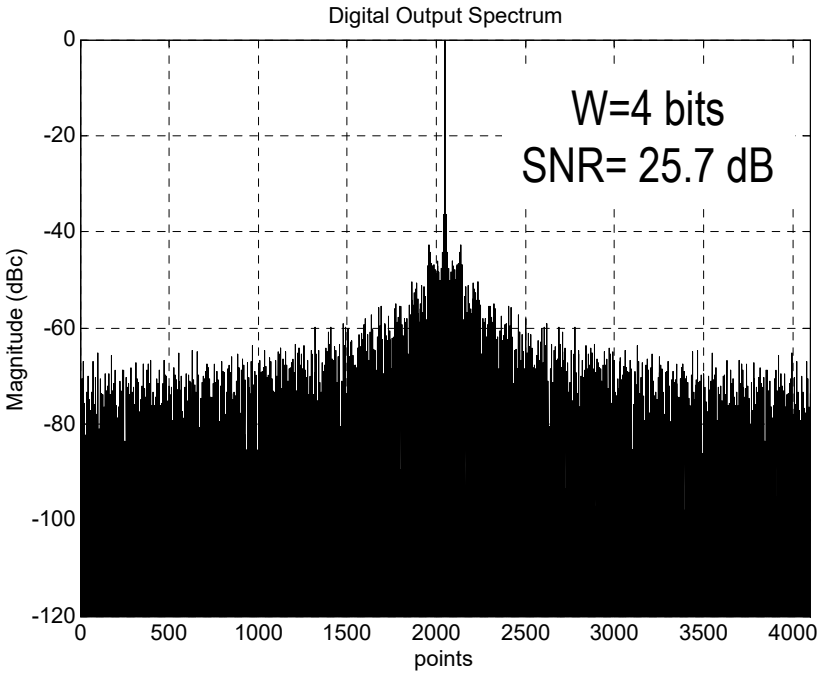
El número de bits (W) almacenados por muestra determinan el error de cuantificación

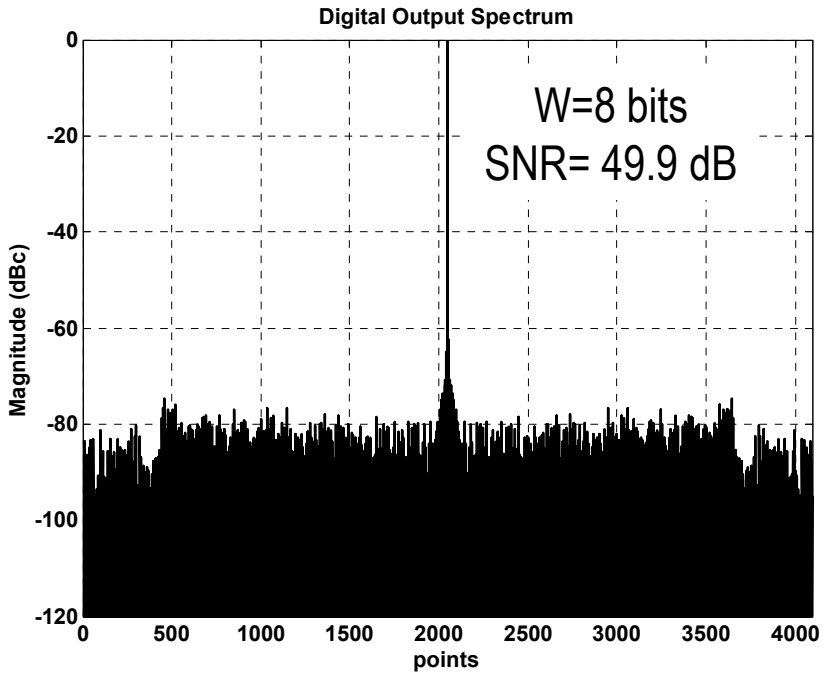
Este error se manifiesta como un ruido sumado a la señal con

$$SNR_Q \approx 6.02W+1.76 \text{ dB}$$



Ejemplos: M=L=12 bits





Efecto del truncamiento de fase

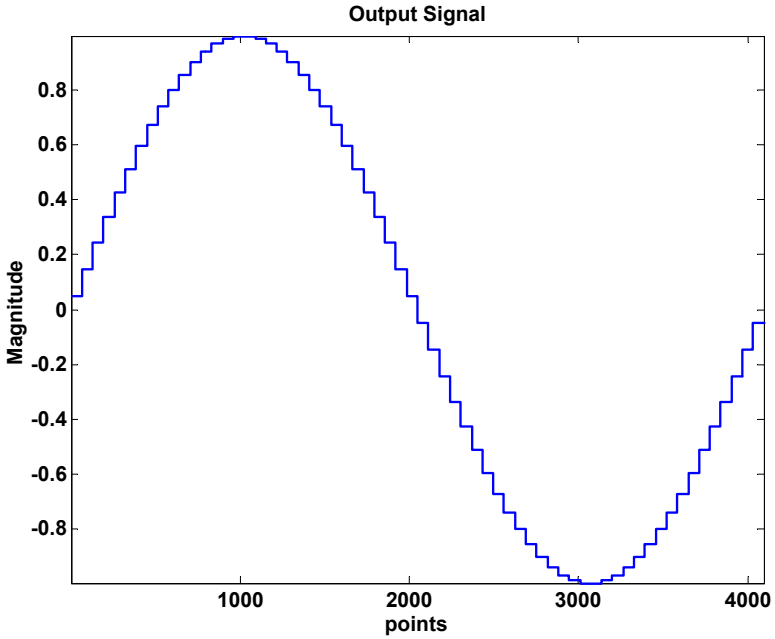
Si los pasos de fase en el acumulador son menores que los de selección en la tabla, se produce un error por truncamiento de fase (durante algunos ciclos de reloj la amplitud de la señal de salida no cambia de valor)

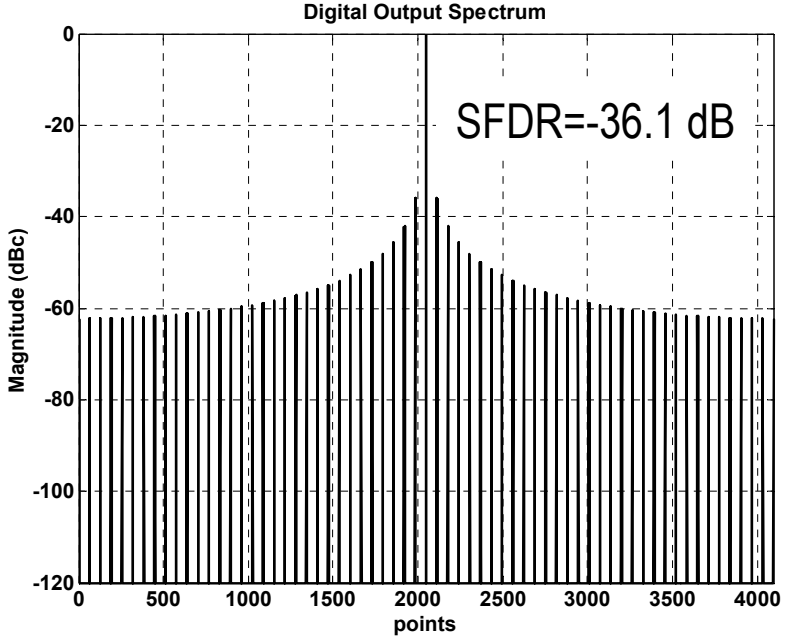
El error es periódico con periodo T_{ACC} .
En el peor caso produce un espurio con

SFDR ≈ 6.02L–3.92 dB

$$T_{ACC} = \frac{2^M}{MCD(2^M,P)}$$

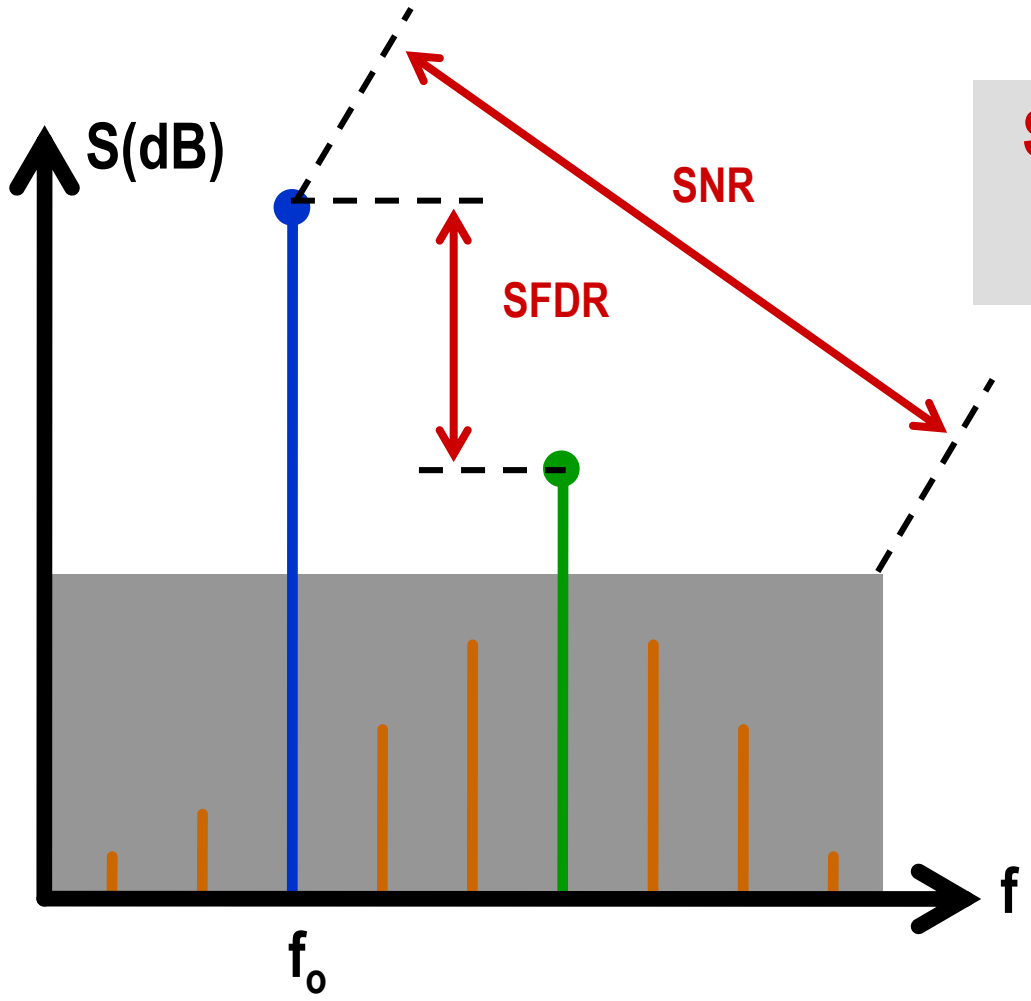
Ejemplo: W=32; M=12 bits; L= 6 bits;





Criterio de diseño

Interesa que SFDR y SNR_Q de cuantificación sean similares



SFDR ≈ 6.02L - 3.92 dB

SNR_Q ≈ 6.02W + 1.76 dB

L = W + 1

SFDR > SNR

Reducción de espurios

- **Método del número impar**

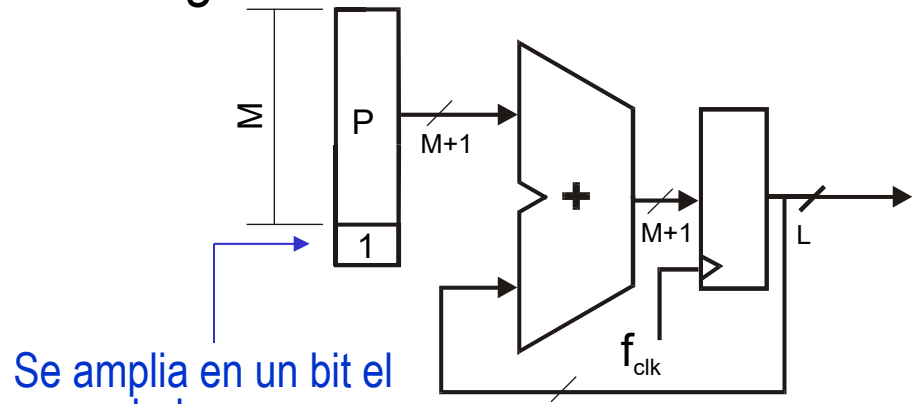
Se elige P impar para que MCD(2^M,P)=1

$\Rightarrow T_{ACC}=2^M$

$\Rightarrow$ Distribuye los espurios por todo el espectro

$$T_{ACC}=\frac{2^M}{MCD(2^M,P)}$$

Si MCD(2^M,P)>1 $\Rightarrow T_{ACC}<2^M$: líneas espectrales más separada que pueden producir aliasing



Se amplia en un bit el acumulador para que no afecte a la resolución de frecuencia

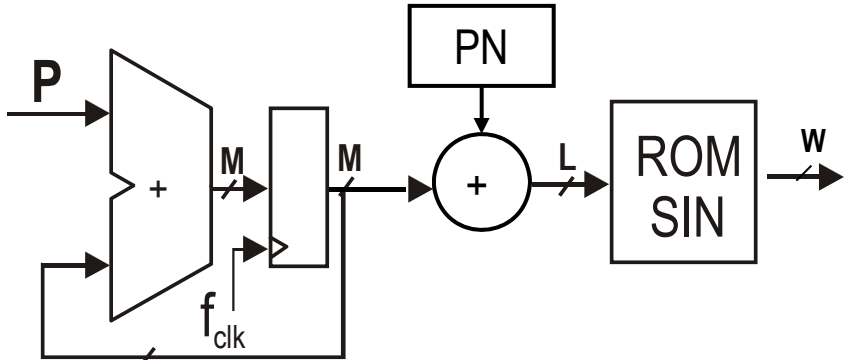
¡Este método mejora el SFDR en ~ 4 dB!

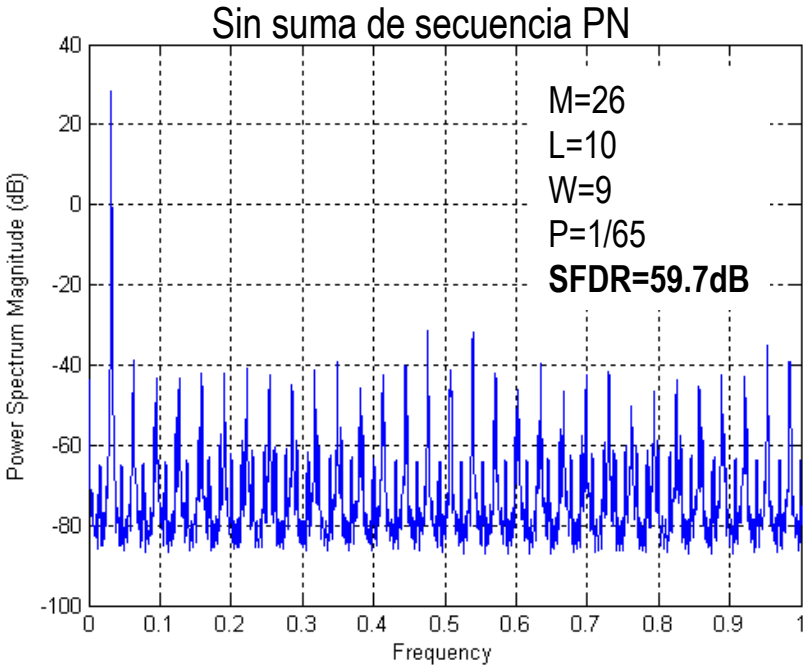
Reducción de espurios

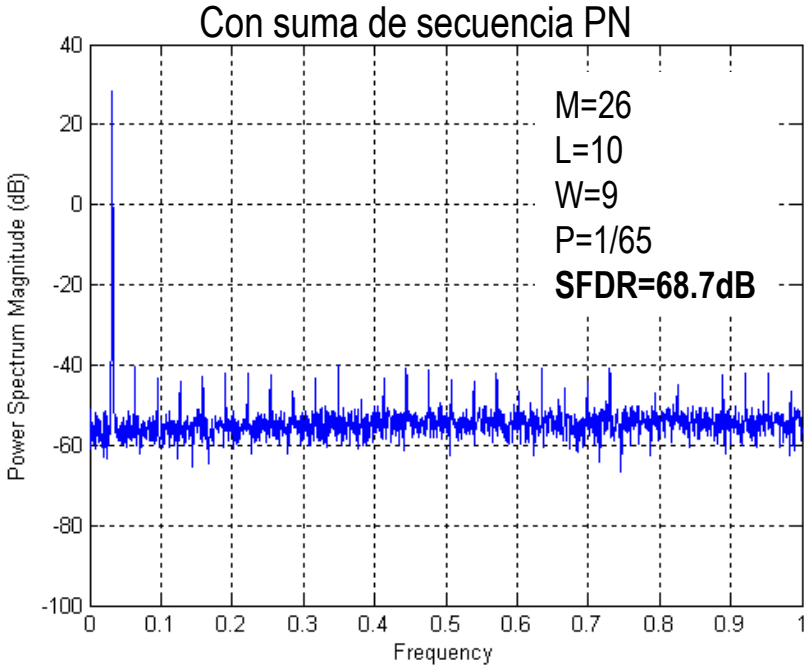
- **Phase-dithering**

La periodicidad provocada por el truncamiento de fase puede romperse si se le añade cierto ruido

⇒Si se suma a la fase una secuencia PN con un periodo mayor que el de la señal generada

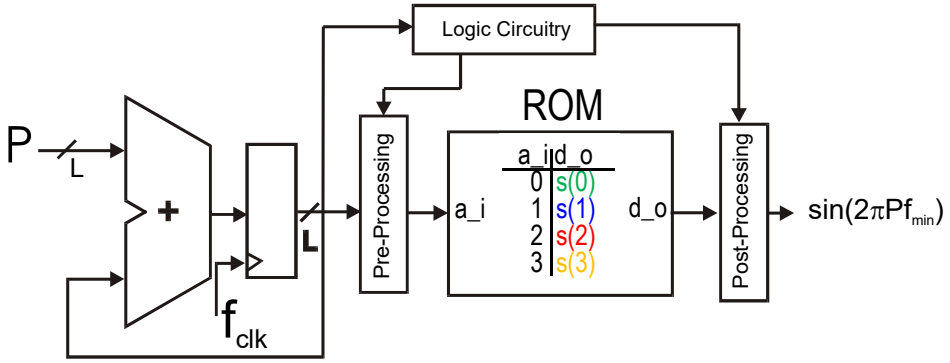






Simetría de cuarto de onda

Se almacena sólo un cuarto de onda, el resto se obtiene por simetría vertical (SV) u horizontal (SH)



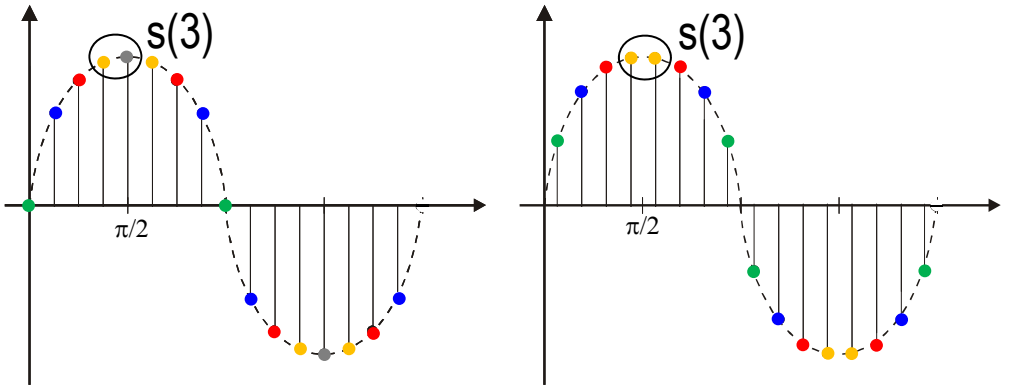
	fase	d_3	d_2	d_1	d_0	$s(d_1,d_0)$
I	0	0	0	0	0	s(0)
	$\pi/8$	0	0	0	1	s(1)
	$\pi/4$	0	0	1	0	s(2)
	$3\pi/8$	0	0	1	1	s(3)
II	$\pi/2$	0	1	0	0	s(3)
	$5\pi/8$	0	1	0	1	s(2)
	$3\pi/4$	0	1	1	0	s(1)
	$7\pi/8$	0	1	1	1	s(0)
III	π	1	0	0	0	-s(0)
	$9\pi/8$	1	0	0	1	-s(1)
	$5\pi/4$	1	0	1	0	-s(2)
	$11\pi/8$	1	0	1	1	-s(3)
IV	$3\pi/2$	1	1	0	0	-s(3)
	$13\pi/8$	1	1	0	1	-s(2)
	$7\pi/4$	1	1	1	0	-s(1)
	$15\pi/8$	1	1	1	1	-s(0)

La memoria se direcciona con **L-2 bits**
Los dos bits más significativos se utilizan para controlar la simetría:

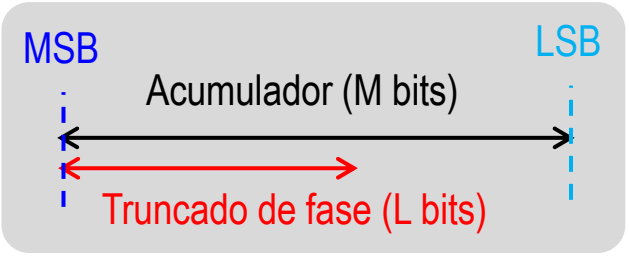
SV: $d_3 \Rightarrow$ complementa a dos la salida de la tabla

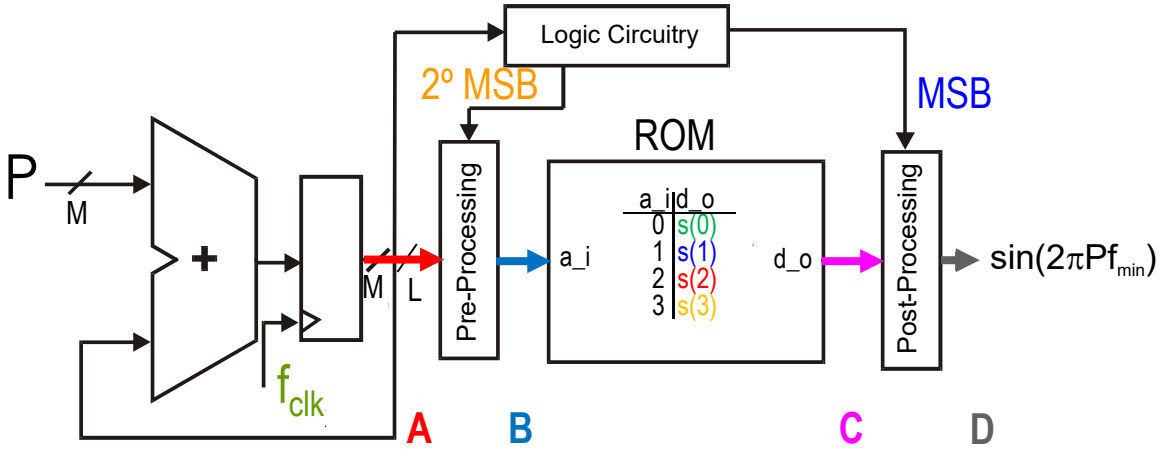
SH: $d_2 \Rightarrow$ complementa a uno las líneas de direcciones

Hay que muestrear en medio del intervalo de muestreo para mantener la simetría

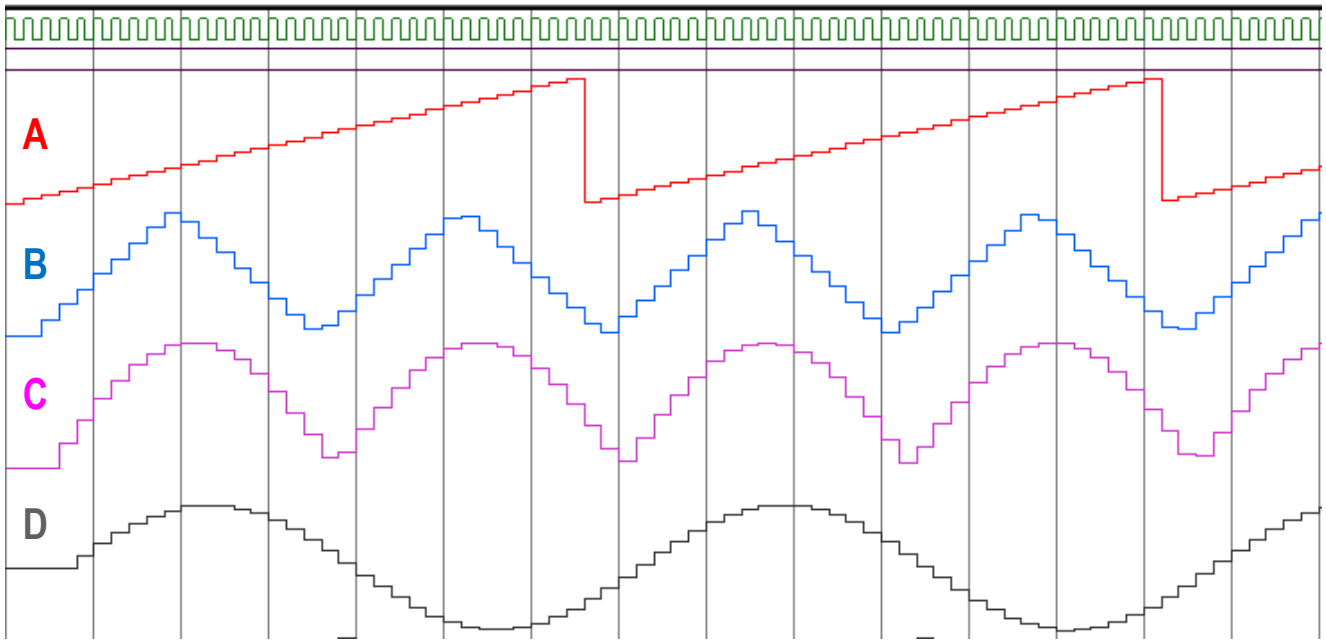


Simetría de cuarto de onda





	fase	d_3	d_2	d_1	d_0	$s(d_1,d_0)$
I	0	0	0	0	0	s(0)
	π/8	0	0	0	1	s(1)
	π/4	0	0	1	0	s(2)
	3π/8	0	0	1	1	s(3)
II	π/2	0	1	0	0	s(3)
	5π/8	0	1	0	1	s(2)
	3π/4	0	1	1	0	s(1)
	7π/8	0	1	1	1	s(0)
III	π	1	0	0	0	-s(0)
	9π/8	1	0	0	1	-s(1)
	5π/4	1	0	1	0	-s(2)
	11π/8	1	0	1	1	-s(3)
IV	3π/2	1	1	0	0	-s(3)
	13π/8	1	1	0	1	-s(2)
	7π/4	1	1	1	0	-s(1)
	15π/8	1	1	1	1	-s(0)



Simetría de cuarto de onda

Ejemplo: Generación de señales I/Q con *Block Select RAM*

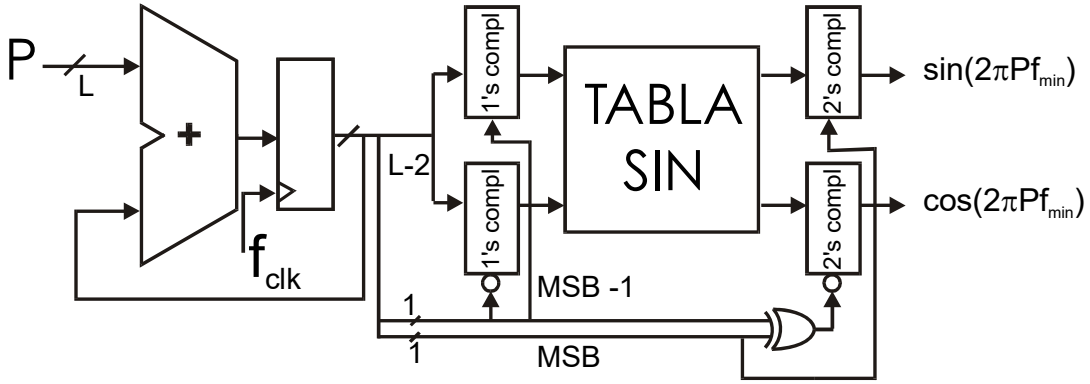
Se almacenan en la memoria el primer cuarto de onda de la señal sinusoidal.
La memoria de doble puerto se utiliza como dos memorias de puerto simple, una para generar la señal I y otra para la Q.

	d_3 d_2 d_1 d_0	I=sin	Q=-cos
I	0 0 0 0	s(0)	-s(3)
	0 0 0 1	s(1)	-s(2)
	0 0 1 0	s(2)	-s(1)
	0 0 1 1	s(3)	-s(0)
II	0 1 0 0	s(3)	s(0)
	0 1 0 1	s(2)	s(1)
	0 1 1 0	s(1)	s(2)
	0 1 1 1	s(0)	s(3)
III	1 0 0 0	-s(0)	s(3)
	1 0 0 1	-s(1)	s(2)
	1 0 1 0	-s(2)	s(1)
	1 0 1 1	-s(3)	s(0)
IV	1 1 0 0	-s(3)	-s(0)
	1 1 0 1	-s(2)	-s(1)
	1 1 1 0	-s(1)	-s(2)
	1 1 1 1	-s(0)	-s(3)

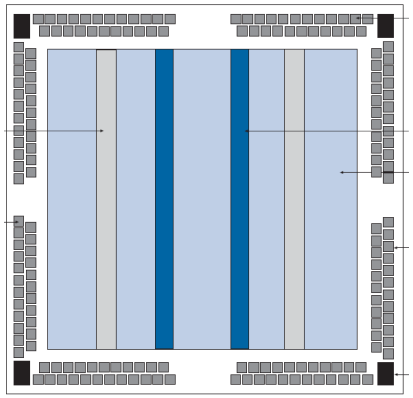
La obtención del coseno a partir de la tabla del seno se consigue realizando las siguientes funciones lógicas con los dos bits más significativos:

SV: $\mathbf{d_3}$ ***xnor*** $\mathbf{d_2} \Rightarrow$ 2'C la salida de la tabla

SH: ***not*** $\mathbf{d_2} \Rightarrow$ 1'C las líneas de direcciones



Memorias M9K en Cyclone IV



Comportamiento:
- Lectura/escritura síncrona

Modos de funcionamiento:
- Puerto simple
- Puerto doble sencillo (lee y escribe en distintas direcciones)
- Puerto doble
- Registro de desplazamiento
- ROM
- FIFO

Puerto simple

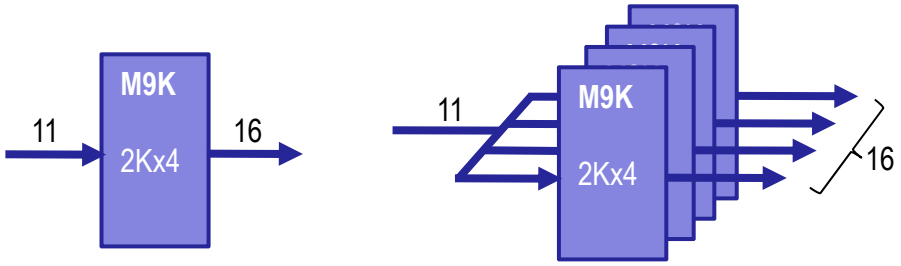
Se puede utilizar para emular una ROM de 2 puertos inicializándola con los valores de la ROM e inhibiendo el wr_en

Configuraciones modo ROM:
- 8Kx1 bits
- 4Kx2 bits
- 2Kx4 bits
- 1Kx(8+1) bits
- 512x(16+2) bits
- 256x(32+4) bits

Para implementar una memoria de cierta capacidad el sintetizador combina bloques M9K con la configuración más adecuada

Configuraciones modo puerto doble:
- 8Kx1 bits
- 4Kx2 bits
- 2Kx4 bits
- 1Kx(8+1) bits
- 512x(16+2) bits

Ej. RAM 2Kx16 bits



Arrays in Verilog

- **Vectors**

  reg [7:0] R; // 8-bit register variable

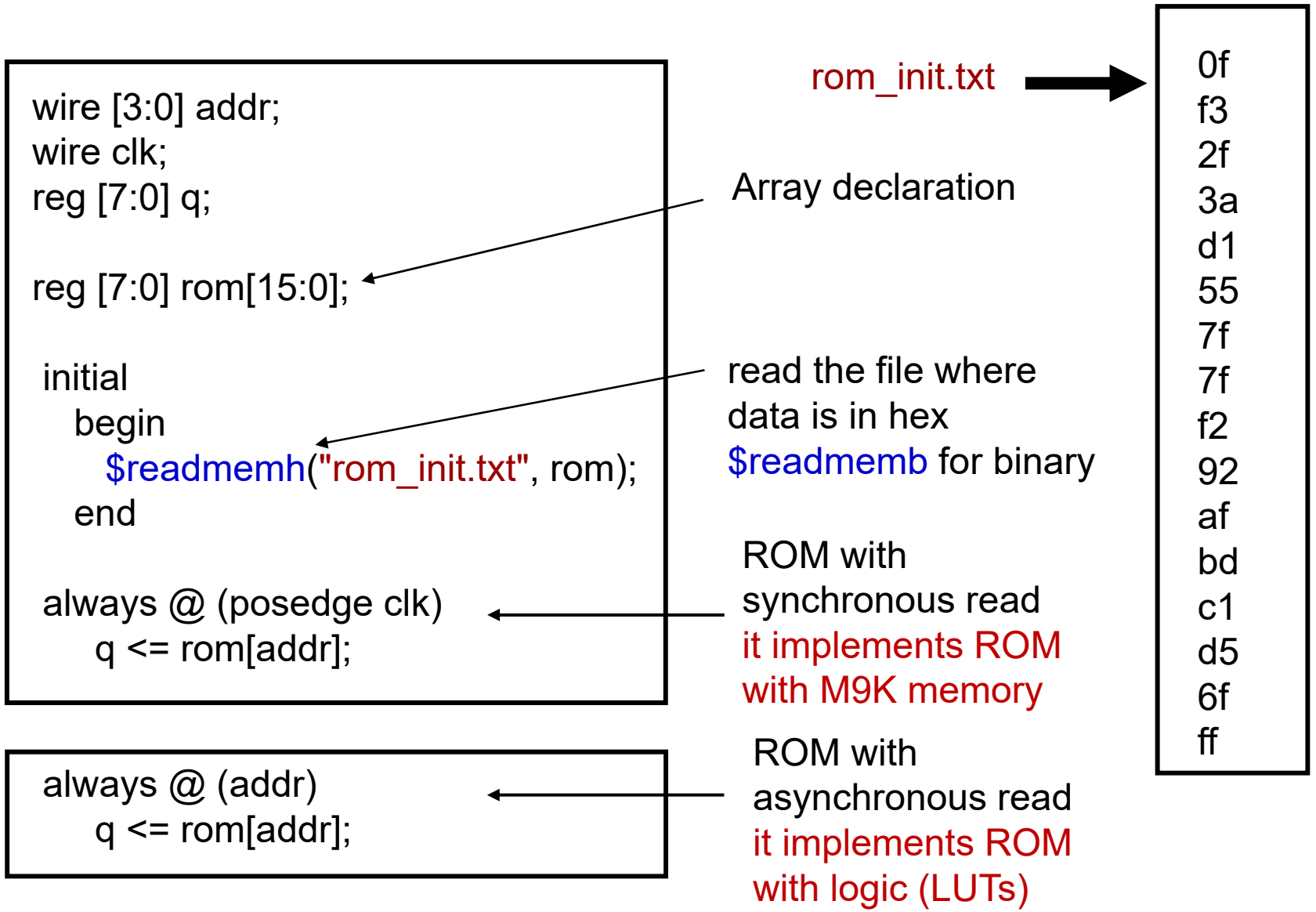
- **Arrays of vectors (Memory)**

  reg [7:0] M[9:0]; // Array of ten 8-bit registers

  M[0] is the 8-bit vector with index 0

  M[3][7] is the bit 7 of the vector M[3]

ROMs con Verilog



Dual-port ROM with Verilog

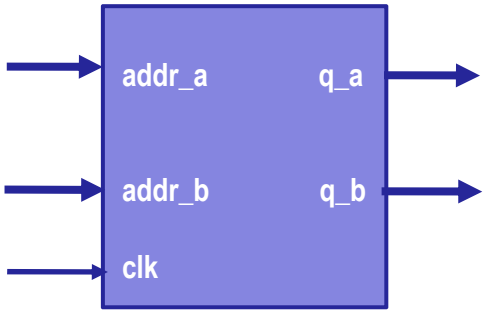
```
module dual_port_rom
   #(parameter DATA_WIDTH=14, parameter ADDR_WIDTH=13)
   (input [(ADDR_WIDTH-1):0] addr_a, addr_b,
    input clk,
    output reg [(DATA_WIDTH-1):0] q_a, q_b);

    reg [DATA_WIDTH-1:0] rom[2**ADDR_WIDTH-1:0];

    initial
            $readmemh("rom_dds.txt", rom);

    always @ (posedge clk)
       begin
            q_a <= rom[addr_a];
            q_b <= rom[addr_b];
       end

endmodule
```



Bibliografía

- L. Cordesses, “Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 1)” IEEE Signal Processing Magazine, pp. 110-117, Sep. 2004

- L. Cordesses, “Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 2)” IEEE Signal Processing Magazine, pp. 50-54, July 2004

- Memory blocks in Cyclone IV devices. Disponible en Poliformat\Documentos\Cyclone IV.pdf