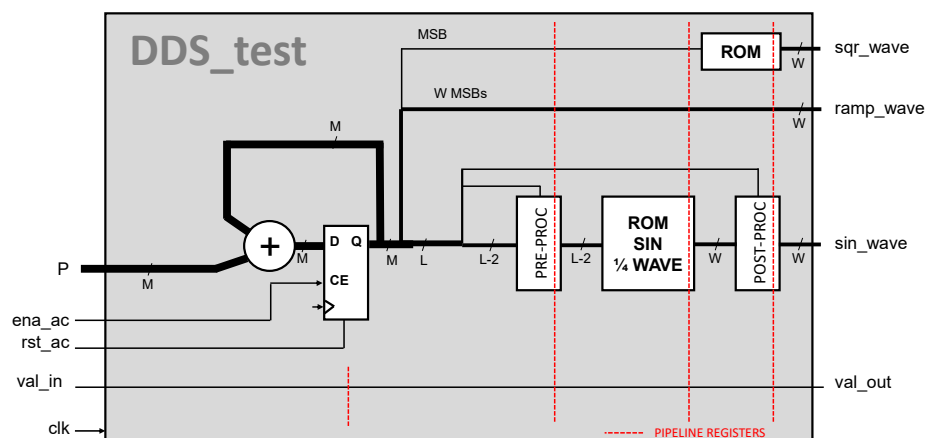


Sintetizador Digital de Frecuencias: DDS

El **objetivo** de esta práctica es el modelar con el lenguaje Verilog un sintetizador de frecuencias (DDS) parametrizable, que genere 3 formas de onda: sinusoidal, rampa y cuadrada. El modelo del DDS deberá ser sintetizable y podrá ser implementado en un dispositivo FPGA funcionando a una frecuencia de reloj mayor de 125 MHz.

A continuación se presenta el **esquema de implementación del DDS**.



Las **especificaciones** del DDS son:

- Acumulador parametrizable de M bits
- Truncado de fase parametrizable a L bits para direccionar la etapa de generación de la forma de onda sinusoidal
- Salidas de las diferentes formas de onda parametrizadas con W bits
- El acumulador dispone de una señal de “clock enable” (ena_ac) para indicar en qué ciclos está activo y una señal de reset síncrono (rst_ac), ambas activas a nivel alto.
- Señal de entrada val_in (binaria) para indicar el ciclo en el que se introduce un valor válido en la entrada P
- Señal de salida val_out (binaria) indicando que por las salidas _wave están saliendo datos válidos. Esta señal debe ser la entrada val_in retrasada los ciclos de latencia del módulo
- El DDS deberá alcanzar una frecuencia de funcionamiento mínima de 125 MHz al implementarse en el dispositivo FPGA Cyclone IV EP4CE115F29C7, cuando se configura con los parámetros M=27, L=15 y W = 16 bits

Ficheros necesarios para realizar las prácticas (disponibles en PoliformaT \Recursos\Prácticas\E1.zip):

- DDS_test.v: Fichero con el interfaz Verilog del módulo DDS_test. Contiene el modelo Verilog de la memoria ROM del DDS.
- rom_dds_Lx_Wy.txt: Ficheros de texto que contienen los valores para almacenar en una ROM un cuarto del periodo de una onda sinusoidal. Contienen 2^{x-2} muestras de “y” bits.
- Wrap_DDS_test.v: Fichero “wrap” del módulo DDS_test para la medida de la frecuencia máxima de funcionamiento
- DDS_test.sdc: Fichero de restricciones temporales de diseño.
- TB_DDS_test.v: Banco de pruebas del módulo DDS_test
- TB_DDS_test.do: Configuración de las formas de onda del banco de pruebas del módulo TB_DDS_test en el visor “waves”
- DDS_test_m.m: Script de Matlab para configurar el modelo de Simulink DDS_test
- DDS_test.mdl: Modelo de Simulink del DDS

Tareas a realizar

- 1) Estudie las transparencias de clase para entender el funcionamiento básico del DDS y complete el script de Matlab DDS_test_m.m necesario para configurar el modelo DDS_test.mdl, añadiendo la ecuación que genera el paso P_e a partir de la frecuencia de oscilación f_o y los parámetros del DDS (M , L y W), y teniendo en cuenta que $P_e = P/2^M$ es una versión escalada del paso, que está representando con un formato $[M,M]$ sin signo. Asuma que la frecuencia de reloj es de 100 MHz. Compruebe el funcionamiento del DDS generando diferentes frecuencias.
- 2) Utilizando el modelo de Simulink DDS_test, compruebe en qué operadores se han incluido los formatos de precisión finita e indique los rangos numéricos que tendrán las señales en dichos puntos.
- 3) Estudie las transparencias de clase para entender el funcionamiento básico del DDS implementado con una tabla que almacena un cuarto de un periodo. Utilice el interfaz del módulo DDS_test (del fichero DDS_test.v) para modelar el DDS siguiendo el esquema de implementación presentado anteriormente. Deduzca, utilizando el modelo de Simulink, cómo se tiene que implementar las formas de onda cuadrada y rampa. Tenga en cuenta que el módulo está parametrizado y que siempre se cumple que $M > W$ y $M > L$. Se recomienda, para facilitar la depuración del modelo, utilizar los parámetros $M=16$, $L=6$ y $W=16$ (fichero de memoria rom_dds_L6_W16.txt).
- 4) Verifique el modelo para los parámetros $M=27$, $L=15$ y $W=14$, y compruebe su correcto funcionamiento para generar formas de onda de diferentes frecuencias. El banco de pruebas no debe dar como resultado ninguna muestra errónea al comparar las formas de onda generadas con las del fichero “out_waves.txt”.
- 5) Implemente el DDS_test en el dispositivo Cyclone IV EP4CE115F29C7 configurado con $M=27$, $L=15$ y $W=14$. Utilice para ello el fichero Wrap_DDS_test.v e incluya en el proyecto el fichero de restricciones temporales DDS_test.sdc. Indique el número de recursos hardware requiere su implementación (LEs, Mults, M9Ks) restándole los registros que utiliza el wrap y la frecuencia máxima de funcionamiento en dicho dispositivo.
- 6) Redacte la memoria de prácticas. Previamente lea el documento “Información sobre las prácticas” (disponible en PoliformaT \Practicas), donde encontrará la información necesaria para su realización.