

Tema 1: Estructuras de Interconexión del Computador

Bibliografía:

Stallings, capítulo 3, puntos 3.3 - 3.5

Patterson, capítulo 8, punto 8.4

Dormido, Capítulo 1, puntos 1.3 - 1.6

Índice del tema

1. Interconexión de unidades funcionales.
2. Concepto y Tipos de Buses
3. Estructura de un bus.
4. Arquitectura de bus único.
5. Jerarquía de buses.
6. Elemento de diseño.

Organización de computadores. Tema 1: Estructuras de interconexión.

1. Interconexión de unidades funcionales

- Un computador está constituido por un conjunto de unidades funcionales que se comunican entre sí, de tres tipos fundamentales:
 - Procesador
 - Memoria
 - Dispositivos de E/S
- Deben existir líneas o caminos de interconexión entre éstos módulos.
- El conjunto de líneas que interconectan los diversos módulos se denomina estructura de interconexión.
- El diseño de dicha estructura dependerá de los intercambios que deban producirse entre los módulos.

Curso 2009 - 10 Jose Luis Bosque 3

Organización de computadores. Tema 1: Estructuras de interconexión.

1. Interconexión de unidades funcionales

- Memoria:
 - Un módulo de memoria está constituido por N palabras.
 - Las operaciones que se pueden realizar son de lectura y escritura.
 - El tipo de operación se indica mediante las señales de control:
 - Read (lectura)
 - Write (escritura).
 - La posición de memoria se especifica mediante su dirección.

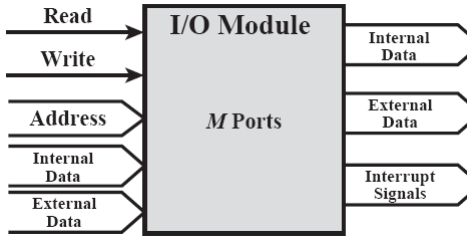
Curso 2009 - 10 Jose Luis Bosque 4

Organización de computadores. Tema 1: Estructuras de interconexión.

1. Interconexión de unidades funcionales

Módulos de E/S:

- Hay dos tipos de operaciones: leer y escribir.
- Un módulo de E/S puede controlar más de un dispositivo externo.
- Cada interfaz con un dispositivo externo se denomina puerto y se le asigna una dirección.
- Un módulo de E/S puede enviar señales de interrupción a la CPU.



The diagram shows an I/O Module with 'M Ports'. On the left, there are four input arrows: 'Read', 'Write', 'Address', and a combined 'Internal Data' and 'External Data' arrow. On the right, there are three output arrows: 'Internal Data', 'External Data', and 'Interrupt Signals'.

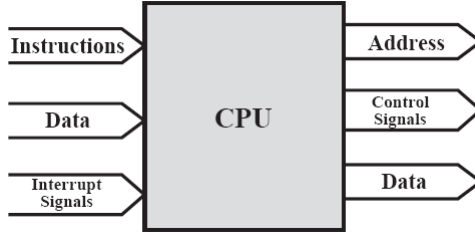
Curso 2009 - 10 Jose Luis Bosque 5

Organización de computadores. Tema 1: Estructuras de interconexión.

1. Interconexión de unidades funcionales

Procesador:

- El procesador lee instrucciones y datos.
- Escribe datos una vez los ha procesado
- Genera una serie de señales para controlar el funcionamiento del sistema.
- También puede recibir señales de interrupción.



The diagram shows a CPU with three input arrows on the left: 'Instructions', 'Data', and 'Interrupt Signals'. On the right, there are three output arrows: 'Address', 'Control Signals', and 'Data'.

Curso 2009 - 10 Jose Luis Bosque 6

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

1. Interconexión de unidades funcionales

- Para realizar todo este trasiego de información, las estructuras de interconexión deben dar cobertura a los siguientes tipos de transferencias:
 - Memoria a procesador: el procesador lee una instrucción o un dato desde la memoria.
 - Procesador a memoria: el procesador escribe un dato en la memoria.
 - E/S a procesador: el procesador lee datos de un dispositivo periférico a través de un módulo de E/S.
 - Procesador a E/S: el procesador envía datos a un periférico.
 - Memoria a E/S y viceversa: en estos dos casos un módulo de E/S puede intercambiar datos directamente con la memoria sin que tenga que intervenir el procesador, utilizando el acceso directo a memoria.

Curso 2009 - 10 Jose Luis Bosque 7

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

2. Concepto y tipos de buses.

- Un bus es un camino de comunicación e intercambio de información entre dos o más dispositivos.
- Una característica clave es que se trata de un medio compartido.
 - Al bus se conectan varios dispositivos y cualquier señal transmitida por uno de ellos está disponible para el resto.
 - El problema está en que si dos dispositivos transmiten al mismo tiempo, las señales pueden solaparse y distorsionarse.
 - Consiguientemente, sólo un dispositivo puede transmitir con éxito en un momento dado.

Curso 2009 - 10 Jose Luis Bosque 8

Organización de computadores. Tema 1: Estructuras de interconexión.

2. Concepto y tipos de buses.

- Un bus está constituido por varias líneas que transmiten señales binarias representadas por 1 o 0.
- Se pueden utilizar varias líneas del bus para transmitir dígitos binarios simultáneamente.
 - Por ejemplo, un dato de 8 bits puede transmitirse mediante 8 líneas del bus.
- Los computadores poseen diferentes tipos de buses que proporcionan comunicación entre componentes.
- El bus que conecta los componentes principales de computador (procesador, memoria y E/S) se denomina bus de sistema.

Curso 2009 - 10 Jose Luis Bosque 9

Organización de computadores. Tema 1: Estructuras de interconexión.

2. Concepto y tipos de buses.

- Las estructuras de interconexión más comunes dentro de un computador están basadas en el uso de uno o más buses de sistema.
- Ventajas:
 - Versatilidad: sencillez de añadir e intercambiar periféricos.
 - Bajo coste: supone un camino de datos común.
- Problemas:
 - Crea un cuello de botella en la comunicación => limita el rendimiento de memoria y E/S.
 - Posibilidad de colisiones

Curso 2009 - 10 Jose Luis Bosque 10

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

2. Concepto y tipos de buses.

- Problemas de diseño:
 - La velocidad máxima del bus viene limitada por factores físicos:
 - Longitud del bus.
 - N° de dispositivos conectados.
 - Hay que llegar a un compromiso entre número de transferencias y ancho del bus.
 - Deben soportar dispositivos muy heterogéneos en latencias y anchos de banda.

Curso 2009 - 10 Jose Luis Bosque 11

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

- El bus del sistema está constituido por un conjunto de líneas que oscila entre 50 y 100.
- A cada línea se le asigna un significado o función.
- Las líneas se pueden clasificar en tres grupos:
 - Bus de control: comunica señales de control para indicar el estado o tipo de información.
 - Bus de datos: comunican información, datos, órdenes complejas.
 - Bus de direcciones: sólo transmiten direcciones.
 - Además pueden existir líneas de alimentación para suministrar energía a los módulos conectados al bus.

Curso 2009 - 10 Jose Luis Bosque 12

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

Estructura del Bus de Sistema

Curso 2009 - 10 Jose Luis Bosque 13

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

- El Bus de datos proporciona un camino para transmitir datos entre los módulos del sistema.
 - El número de líneas que forman el bus se denomina anchura del bus y en la actualidad, un bus de datos puede tener entre 32 y cientos de líneas.
 - El número de líneas determina cuantos bits pueden transferirse al mismo tiempo.
 - La anchura del bus es un factor clave a la hora de determinar las prestaciones del sistema.
 - Por ejemplo, si el bus de datos tiene una anchura de 8 bits y las instrucciones son de 32 bits, se necesitan 4 ciclos de bus para transferir una instrucción.

Curso 2009 - 10 Jose Luis Bosque 14

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

- El Bus de dirección se utiliza para designar la fuente o el destino del dato situado en el bus de datos.
 - Por ejemplo, si el procesador necesita leer una palabra de memoria, coloca la dirección de dicha palabra en el bus de direcciones.
 - La anchura del bus de direcciones determina la capacidad máxima de la memoria del sistema.
 - Además, estas líneas direccionan también los puertos de E/S:
 - Los bits de orden más alto se utilizan para distinguir el módulo de memoria o E/S.
 - Los de orden más bajo se usan para indicar la dirección dentro del módulo.

Curso 2009 - 10 Jose Luis Bosque 15

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

- El Bus de control son un conjunto heterogéneo de señales que sirven para controlar el acceso y el uso de las líneas de datos y de direcciones.
 - Las señales de control transmiten tanto órdenes como información de temporización entre los módulos del sistema.
 - Las señales de temporización indican la validez de los datos y las direcciones.
 - Las señales de órdenes especifican las operaciones a realizar.

Curso 2009 - 10 Jose Luis Bosque 16

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

3. Estructura de un bus.

- Algunas líneas de control típicas son:
 - Escritura en memoria (Memory write)
 - Lectura en memoria (Memory read)
 - Escritura en E/S (I/O write)
 - Lectura de E/S (I/O read):
 - Transferencia reconocida (Transfer ACK).
 - Solicitud de bus (Bus request).
 - Concesión del bus (Bus grant).
 - Solicitud de interrupción (Interrupt request).
 - Interrupción reconocida (Interrupt ACK).
 - Reloj (Clock).
 - Inicio (Reset).

Curso 2009 - 10 Jose Luis Bosque 17

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

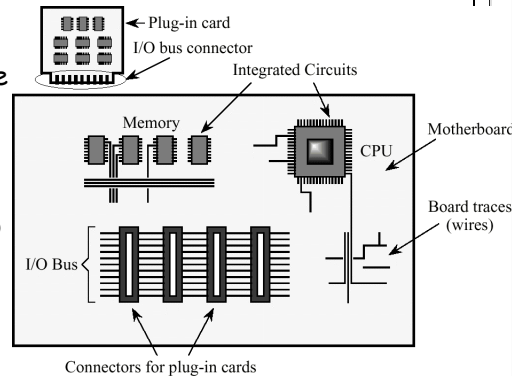
3. Estructura de un bus.

- Los buses tienen fundamentalmente dos modos de operar:
 - Operación de Lectura: la CPU quiere leer un dato de memoria.
 1. Obtener el uso del bus
 2. Transferir la solicitud al otro módulo mediante las líneas de control y dirección adecuadas
 3. Esperar a que el otro módulo responda con el dato solicitado.
 - Operación de Escritura: la CPU quiere escribir un dato en memoria
 1. Obtener el bus
 2. Transferir el dato a través del bus.

Curso 2009 - 10 Jose Luis Bosque 18

3. Estructura de un bus.

- El bus de sistema es un conjunto de conductores grabadas en la placa base.
- El bus consta de una serie de puntos de interconexión denominados slots.
- El bus que conecta el procesador y la memoria cache se integra en el mismo microprocesador.
- El bus que conecta el procesador con la memoria principal se incluye en una tarjeta.



4. Arquitectura de Bus Único

- Originalmente los computadores disponían de un único bus de sistema al cual se conectan, procesador, memoria y todos los periféricos.
- Maestro del bus: dispositivo que controla el acceso al bus y decide a quien se concede el acceso en cada instante de tiempo.
- Existe un único maestro del bus que es el procesador:
 - Controla todas las solicitudes de acceso al bus.
 - El resto son esclavos que solamente pueden responder a peticiones del maestro.

Organización de computadores. Tema 1: Estructuras de interconexión.

4. Arquitectura de Bus Único

• **Modo de funcionamiento:**

- El procesador solicita una transacción a la memoria o a un periférico.
- Éste gestiona la operación y después de un intervalo de tiempo responde realizando la operación.

Curso 2009 - 10 Jose Luis Bosque 21

Organización de computadores. Tema 1: Estructuras de interconexión.

4. Arquitectura de Bus Único

• **Ventajas de la arquitectura de bus único:**

- Arquitectura sencilla de implementar y muy económica.
- No necesita adaptadores entre diferentes buses.
- No requiere mecanismo de arbitraje.

• **Problemas de la arquitectura de bus único:**

- El procesador debe intervenir en todas las transacciones, aunque no sea necesario.
- Se produce un cuello de botella por el control centralizado.
- Se desaprovechan recursos de cómputo pues la CPU hace un trabajo que no le corresponde.
- Los dispositivos tienen que trabajar a la misma velocidad que viene delimitada por la velocidad de transacción del bus.

Curso 2009 - 10 Jose Luis Bosque 22

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

- Si se conectan un gran número de dispositivos al bus sus prestaciones disminuyen, por varios motivos:
 - Cuantos más dispositivos estén conectados en el bus mayor es el retardo de propagación que determina el tiempo de acceso al bus.
 - El bus puede convertirse en un cuello de botella a medida que las peticiones de transferencia acumuladas se aproximan a la capacidad del bus.
 - Los módulos que se conectan a un bus tienen unas necesidades muy distintas en cuanto a latencia y ancho de banda de comunicación.

Curso 2009 - 10 Jose Luis Bosque 23

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

- Actualmente se utilizan varios buses específicos organizados de forma jerárquica.
 - Un bus local que conecta el procesador con una memoria cache y al que pueden conectarse también uno o más dispositivos locales.
 - El controlador de la memoria cache conecta la cache tanto con el bus local como con el bus de sistema, haciendo de puente entre estos dos buses.
 - Al bus de sistema se conectan todos los módulos de memoria principal.
 - Las transferencias entre E/S y memoria no interfieren con la actividad del procesador.

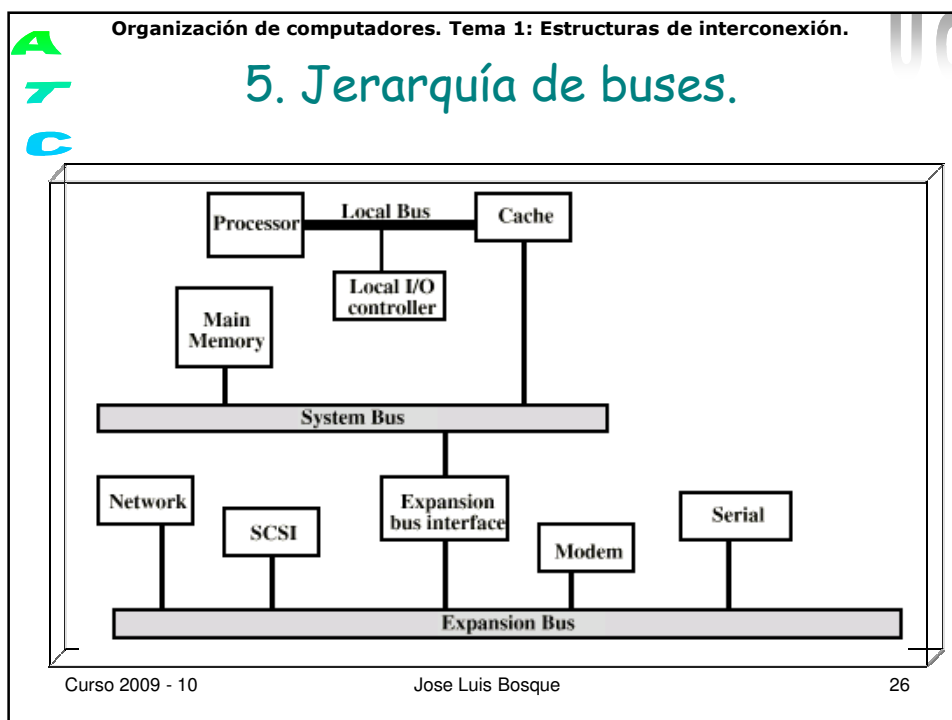
Curso 2009 - 10 Jose Luis Bosque 24

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

- Es posible conectar los controladores de E/S directamente al bus del sistema.
- Pero una solución más eficiente consiste en utilizar uno o más buses de expansión.
- La interfaz del bus de expansión regula las transferencias de datos entre el bus del sistema y los controladores conectados al bus de expansión.
- Esta disposición permite:
 - Conectar al sistema una amplia variedad de dispositivos de E/S
 - Aislar el tráfico de información entre la memoria y el procesador del tráfico correspondiente a la E/S.

Curso 2009 - 10 Jose Luis Bosque 25



ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

- Esta arquitectura muestra su debilidad a medida que los dispositivos de E/S aumentan sus prestaciones.
- La solución ha sido añadir un bus de alta velocidad con un adaptador al bus del sistema.
 - Un bus local, que conecta el procesador a un controlador de cache integrado junto con el adaptador, que permite la conexión al bus de alta velocidad, que a su vez está conectado con el bus de sistema que soporta la memoria principal.
 - Este bus permite la conexión de periféricos que necesitan una tasa de transferencia alta.
 - Los dispositivos con menos prestaciones se conectan al bus de expansión, que utiliza un interfaz para adaptar el tráfico entre el bus de expansión y el de alta velocidad.

Curso 2009 - 10 Jose Luis Bosque 27

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

- La ventaja de esta organización es que el bus de alta velocidad acerca al procesador los dispositivos que exigen altas tasas de transferencia de datos y al mismo tiempo es independiente del procesador.
- Así se puede tolerar la diferente velocidad entre el procesador y el bus de altas prestaciones así como las variaciones en la definición de las líneas de los buses.
- Los cambios en la arquitectura del procesador no afectan al bus de altas prestaciones y viceversa.

Curso 2009 - 10 Jose Luis Bosque 28

Organización de computadores. Tema 1: Estructuras de interconexión.

5. Jerarquía de buses.

```

graph TD
    Processor[Processor] --- LocalBus[Local Bus]
    LocalBus --- CacheBridge[Cache /Bridge]
    CacheBridge --- MainMemory[Main Memory]
    CacheBridge --- SystemBus[System Bus]
    SystemBus --- HighSpeedBus[High-Speed Bus]
    HighSpeedBus --- ExpansionBus[Expansion Bus]
    HighSpeedBus --- SCSI[SCSI]
    HighSpeedBus --- P1394[P1394]
    HighSpeedBus --- Graphic[Graphic]
    HighSpeedBus --- Video[Video]
    HighSpeedBus --- LAN[LAN]
    ExpansionBus --- FAX[FAX]
    ExpansionBus --- ExpansionInterface[Expansion bus interface]
    ExpansionBus --- Modem[Modem]
    ExpansionBus --- Serial[Serial]
  
```

Curso 2009 - 10 Jose Luis Bosque 29

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Aunque existe una gran diversidad en el diseño de buses, hay unos pocos parámetros o elementos de diseño que sirven para distinguir y clasificar buses.
 - Tipo de bus
 - Temporización
 - Arbitraje del bus
 - Ancho del bus
 - Transferencia de Datos
 - Prestaciones

Curso 2009 - 10 Jose Luis Bosque 30

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Tipos de Buses:
 - Las líneas de buses se pueden dividir en dos tipos:
 - Dedicadas: está permanentemente asignada a una función o un subconjunto físico de componentes del computador.
 - Multiplexadas: las mismas líneas pueden transportar diferentes tipos de información.
 - Ejemplo: líneas de direcciones y datos.
 - Ventajas de la multiplexación es que utiliza menos líneas por lo que ahorra espacio y costes.
 - El problema es que es más lento y además necesita una circuitería más compleja en cada módulo.

Curso 2009 - 10 Jose Luis Bosque 31

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Método de arbitraje:
 - En todos los sistemas más de un módulo puede necesitar el control del bus en un mismo instante de tiempo.
 - Puesto que en un instante de tiempo dado solamente una unidad puede transmitir a través del bus, se requiere algún método de arbitraje.
 - En un sentido amplio los diferentes métodos se pueden clasificar en:
 - Centralizados
 - Distribuidos.

Curso 2009 - 10 Jose Luis Bosque 32

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Método de Arbitraje:
 - Es necesario reservar el bus para evitar accesos simultáneos.
 - Maestro del bus: controla el acceso al bus y decide a quien se le concede en cada ciclo.
 - Esquema de maestro único: el procesador.
 - Controla todas las peticiones.
 - Es muy sencillo.
 - Debe intervenir en todas las transacciones => cuello de botella y desaprovechamiento de recursos.
 - Esquema de varios maestros con arbitraje.

Curso 2009 - 10 Jose Luis Bosque 33

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Método de Arbitraje :
 - Decide cual será el siguiente maestro que puede acceder al bus.
 - Protocolo:
 - Solicitud del bus al maestro (BusReq)
 - Concesión del bus (BusGrant/BusAck)
 - Utilización del bus (BusBusy)
 - Liberación del bus (BusBusy=0)
 - Imparcialidad:
 - Se deben respetar las prioridades.
 - Todos los dispositivos deben tener acceso al bus en algún momento.

Curso 2009 - 10 Jose Luis Bosque 34

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

1. Arbitraje en serie:
 - Un sólo controlador del bus determina que dispositivo tiene acceso.
 - El bus posee una línea de solicitud del bus que puede activarse por uno o varios dispositivos a la vez:
 - El árbitro no sabe el número de dispositivos que han solicitado el acceso al bus.
 - Sólo se distingue si existen o no solicitudes de acceso al bus.
 - Cuando el árbitro detecta una solicitud, si el bus está libre, concede su uso a través de la señal de autorización.
 - Esta línea esta conectada en serie a todos los dispositivos.

Curso 2009 - 10 Jose Luis Bosque 35

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

1. Arbitraje en serie:
 - Prioridad en función de la posición: el dispositivo más cercano tiene la prioridad más alta.
 - Acceso al bus:
 - Comprobar si la señal de concesión esta activa.
 - En caso afirmativo bloquearla.
 - Acceder al bus.
 - En caso contrario, la señal de autorización se propaga al siguiente módulo, que opera de forma análoga.
 - No garantiza la imparcialidad.

Curso 2009 - 10 Jose Luis Bosque 36

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

Curso 2009 - 10 Jose Luis Bosque 37

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

2. Arbitraje distribuido rotativo:

- Cada módulo contiene la lógica de control necesaria para poder acceder al bus y todos ellos actúan de forma cooperativa para compartir el recurso.
- Cuando ningún módulo solicita el bus, la línea de arbitraje se propaga a través de todos los módulos.
- Acceso al bus:
 - Maestro activa línea de solicitud
 - Cuando la entrada de prioridad se activa el árbitro comprueba si línea de ocupación inactiva
 - En caso afirmativo bloquear la salida de la línea de petición y conceder al uso al maestro.
 - Si línea de solicitud inactiva => árbitro activa línea de prioridad.
- Prioridad más baja la tiene el master que libera el bus.

Curso 2009 - 10 Jose Luis Bosque 38

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

The diagram illustrates a bus system architecture. At the top, a horizontal line represents the 'Bus lines'. Below this, there are three master devices labeled 'Master1', 'Master2', and 'MasterN'. Each master is connected to a corresponding arbiter device labeled 'Arbiter1', 'Arbiter2', and 'ArbiterN'. The connection between a master and its arbiter is bidirectional, with arrows labeled 'R1', 'G1' for Master1; 'R2', 'G2' for Master2; and 'R3', 'G3' for MasterN. Below the arbiters, there is a horizontal line labeled 'Bus busy'. Each arbiter is connected to this 'Bus busy' line with a bidirectional arrow. Additionally, the arbiters are connected in a chain: 'Arbiter1' to 'Arbiter2' via a line labeled 'P1', 'Arbiter2' to 'ArbiterN' via a line labeled 'P2', and 'ArbiterN' to 'Arbiter1' via a line labeled 'PN'. A legend at the bottom indicates: 'R: Request', 'G: Grant', and 'P: Priority'.

Curso 2009 - 10 Jose Luis Bosque 39

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Temporización:
 - Hace referencia a la forma en la que se coordinan los eventos del bus.
 - Los buses pueden usar temporización:
 - Síncrona
 - Asíncrona.

Curso 2009 - 10 Jose Luis Bosque 40

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- **Buses síncronos:**
 - El bus incluye una línea de reloj que marca su frecuencia de funcionamiento y la ocurrencia de un evento.
 - Un intervalo completo 1-0 se denomina ciclo de reloj o ciclo de bus y define el intervalo de tiempo unidad.
 - Todos los eventos comienzan al principio del ciclo de reloj.
 - Implementación sencilla, permite gran velocidad de conmutación y poca circuitería de conexión.
 - Problemas:
 - Todos los dispositivos conectados al bus deben trabajar a la misma velocidad.
 - Problemas con el sesgo del reloj hacen que sean buses cortos y no muy rápidos.

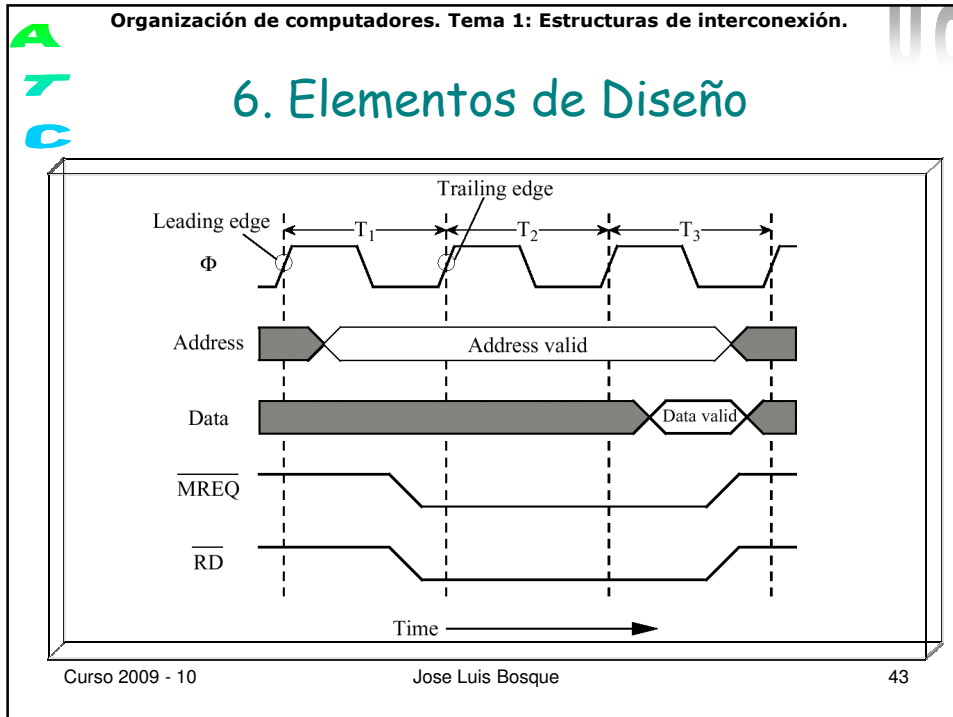
Curso 2009 - 10 Jose Luis Bosque 41

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- **Buses Síncronos:**
 - En el primer ciclo la CPU activa las señales de comienzo y de lectura.
 - Asimismo sitúa la dirección de memoria en las líneas del bus de direcciones.
 - En el caso de una lectura:
 - El procesador activa la señal correspondiente al comienzo del segundo ciclo.
 - El módulo de memoria reconoce la dirección y tras un retardo de un ciclo para realizar la operación, sitúa en el bus de datos el dato solicitado.
 - El procesador lee el dato de dichas líneas y desactiva la señal de lectura.

Curso 2009 - 10 Jose Luis Bosque 42



Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- **Buses Asíncronos:**
 - No dispone de señal de reloj.
 - La presencia de un evento en el bus es consecuencia y depende de que se produzca un evento previo.
 - Permite una gran cantidad de dispositivos con diferentes necesidades y prestaciones.
 - Protocolo de acuerdo (handshaking): basado en una serie de señales con un significado específico.

Curso 2009 - 10 Jose Luis Bosque 44

A
T
C

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

UC

• **Buses Asíncronos:**

- El procesador sitúa las señales de dirección y lectura en el bus.
- Después de un intervalo para que las señales se estabilicen, activa la orden de lectura, indicando la presencia de señales de dirección y control válidas (MSYN).
- El módulo de memoria correspondiente decodifica la dirección y responde proporcionando el dato en la línea de datos.
- Una vez estabilizadas las líneas de datos, el módulo de memoria activa la señal de reconocimiento para indicar al procesador que el dato está disponible (SSYN).
- Cuando el maestro ve la señal SSYN sabe que el dato está disponible y lo almacena en un registro interno y desactiva MSYN.
- A su vez cuando el esclavo ve que se desactiva MSYN sabe que se ha terminado la transferencia por lo que desactiva ESYN, así como las líneas de datos, lectura y dirección.

Curso 2009 - 10

Jose Luis Bosque

45

A
T
C

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

UC

The diagram illustrates the timing of an asynchronous bus transfer. It shows five signals over time: MSYN (Master System Valid), SSYN (Slave System Valid), Read (Read command), Address Lines, and Data Lines. The sequence of events is as follows: 1. Address Lines become valid. 2. Read signal becomes active. 3. MSYN becomes active. 4. Data Lines become valid. 5. SSYN becomes active. 6. MSYN becomes inactive. 7. SSYN becomes inactive. 8. Address Lines become invalid. 9. Read signal becomes inactive. 10. Data Lines become invalid.

Curso 2009 - 10

Jose Luis Bosque

46

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- La temporización síncrona es más sencilla de implementar y comprobar.
- Sin embargo, es menos flexible que la asíncrona.
- Debido a que todos los dispositivos en un bus síncrono deben utilizar la misma frecuencia de reloj, el sistema no puede aprovechar las mejoras en las prestaciones de los dispositivos.
- Con la temporización asíncrona, pueden compartir el bus una mezcla de dispositivos lentos y rápidos utilizando tanto las tecnologías más antiguas como las más recientes.

Curso 2009 - 10 Jose Luis Bosque 47

ATC

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Anchura del bus:
 - Cuanto más ancho sea el bus de datos mejora las prestaciones del sistema en el sentido de que puede transmitir más bits simultáneamente, incluso puede transmitir múltiples palabras a la vez.
 - Por otro lado, cuanto mayor es el bus de direcciones mayor es el número de dispositivos que puede direccionar.

Curso 2009 - 10 Jose Luis Bosque 48

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Tipos de Transferencias de datos:
 - Operaciones básicas:
 - Lectura de un dato de memoria.
 - Escritura de un dato en memoria.
 - Lectura-modificación-escritura:
 - Es una lectura seguida de una escritura en la misma dirección de memoria.
 - La dirección se proporciona una sola vez al comienzo de la operación.
 - La operación completa es indivisible de cara a evitar cualquier acceso al dato por otros posibles maestros del bus.

Curso 2009 - 10 Jose Luis Bosque 49

Organización de computadores. Tema 1: Estructuras de interconexión.

6. Elementos de Diseño

- Tipos de Transferencias de datos:
 - Lectura-después-de-escritura:
 - Operación indivisible que consiste en una escritura seguida inmediatamente de una lectura en la misma dirección.
 - La operación de lectura se puede realizar con el propósito de comprobar el resultado.
 - Transferencias de bloques de datos.
 - Un ciclo de dirección viene seguido por N ciclos de datos.
 - El primer dato se transfiere a o desde la dirección especificada; mientras que el resto se pone de las direcciones contiguas hasta finalizar el tamaño del bloque.

Curso 2009 - 10 Jose Luis Bosque 50

6. Elementos de Diseño

- Prestaciones:
 - Palabra (ancho del bus): número de bits que puede transferir un bus en un solo acceso.
 - Ciclo de bus (latencia): tiempo necesario para transferir una palabra.
 - Ancho de banda: cantidad de información (bytes) transmitida por unidad de tiempo
 - Operaciones de bus: tiempo necesario para realizar una transferencia elemental entre dos dispositivos.
 - Etapas: petición del bus, arbitraje, direccionamiento, transferencia, detección de error, notificación.