[[1]](#footnote-1)

Implementación de un Filtro de orden 10 en VHDL

Daniela Charris, y José Manjarrés

# Diseño del Sistema

El sistema es un filtro pasa bajas que consiste en blablablá, tiene tales partes, y se ve en los displays

Fig 1. Diagrama de bloques del filtro.

## Generador de datos

Los datos de entrada blablablá, taps array. Los coeficientes son nmananana taps\_array.

CÓDIGO DE GENERADOR (¿)

Fig 2. Diagrama de bloques del generador de datos.

## Máquina de Estados

La máquina de estados es la encargada de coordinar todo. Tiene tantos estados que sirven pa tales cosas.

Fig 3. Diagrama de estados.

## MAC

El bloque de multiplicación, suma y acumulación (MAC) consiste en blablablá y hace tales y tales.

Fig 4. MAC

## Banco de Registros

El banco de registros fue tronco de estrés.

CÓDIGO DE BANCO DE REGISTROS

## Divisor de Reloj

Dado que el reloj de la FPGA es de 50MHz, y existe un requisito de mostrar los datos de salida en los displays, se tiene que dividir el reloj.

CÓDIGO DE DIVISOR DE RELOJ

Fig 5. Divisor de Reloj

## Conversión de BCD a Siete Segmentos

Puros MUX

Fig 6. BCD

# Implementación en FPGA

No sé si sea buena idea hablar mucho aquí. Se puede mostrar la simulación y luego la foto u.u

1. [↑](#footnote-ref-1)