



Universidad de Costa Rica

Escuela de Ingeniería Eléctrica

IE0521 ESTRUCTURAS DE COMPUTADORAS DIGITALES II
I Semestre 2020

Profesor@: Lorian Sanabria Sancho.

Correo electrónico: lorian.sanabria@ucr.ac.cr \lsanabriasancho@gmail.com

Horario del curso: J. 7:00-10:50 am. Aula: 304-IE.

Horas de consulta: L. 7:00-8:30 pm J. 11:00-11:30 am. Se requiere cita previa.

Requisito: IE-0321 Estructuras de Computadoras Digitales I.

Descripción del curso

Estructuras de computadoras II completa las asignaturas anteriores (IE-0321 y IE-0523) presentando la relación y compromisos que existen entre el nivel de lenguaje máquina y su implementación. Esto permite introducir un modelo básico de evaluación del rendimiento y aplicarlo a programas reales. Se estudian los componentes y recursos presentes en cualquier sistema computador, como la jerarquía de memoria y de modelos de ejecución en paralelo, cuyo conocimiento es imprescindible en cualquier ámbito de la Ingeniería en Computación. De esta forma se mejoran las habilidades para diseñar y programar aplicaciones eficientes. Además se refuerza la capacidad de diseño lógico a casos más complejos.

Objetivo general

Profundizar en temas avanzados de Arquitectura de Computadores con el fin de familiarizarse con las técnicas más modernas de la disciplina.

Objetivos específicos

Al finalizar el curso, el estudiante estará en capacidad de:

- Analizar sistemas digitales complejos, que involucren varios módulos independientes y de diferentes jerarquías.
- Diseñar sistemas digitales complejos, incluyendo computadoras y sistemas de control avanzados.
- Emplear las técnicas más modernas de optimización de sistemas digitales.

Contenidos

El curso se divide en cuatro módulos principales:

1. Módulo 1: Organización del procesador
 - Ejecución fuera de orden.
 - Renombre de registros y memoria.
 - Técnicas de compilación básicas.
 - Planificación dinámica de instrucciones.
 - Técnicas de predicción de saltos.
 - Ejecución especulativa.
 - Lanzamiento múltiple con planificación estática.
 - Lanzamiento múltiple con planificación dinámica.
 - Límites del paralelismo a nivel de instrucción.
 - Multithreading: concepto y tipos.
2. Módulo 2: Jerarquía de memorias
 - Repaso Jerarquías de memoria.
 - Temas avanzados de memoria cache.
 - Temas avanzados de memoria DRAM.
3. Módulo 3: Multiprocesadores
 - Conceptos básicos de multiprocesamiento.
 - La red de interconexión.
 - Arquitecturas de memoria compartida centralizada
 - Consistencia de memoria.
 - Coherencia de cache.
 - Arquitectura de memoria compartida distribuida.
 - Protocolos de coherencia Snooping
 - Protocolos de coherencia de directorios.
 - Primitivas de sincronización.
 - Concepto de consistencia de memoria: modelos.
 - Introducción a la programación paralela.
4. Módulo 4: Sistemas de almacenamiento
 - Almacenamiento en disco.
 - “Arrays” de discos (RAID).
 - Fiabilidad.
 - Medidas de rendimiento.

Metodología

Los temas teóricos se cubrirán mediante lecciones magistrales. El docente propiciará espacios y actividades didácticas para desarrollar una metodología híbrida que apoye el aprendizaje basado en proyectos, así como las habilidades de investigación del estudiante.

Quices y exámenes cortos	45 %
Tareas y proyectos	55 %
Total	100 %

Evaluación

- Quices: Se realizará un quiz cada clase, estos podrían incluir cualquier tema previamente estudiado en clase, así como temas de lecturas asignadas.
- Exámenes cortos: Se realizaran un total de tres exámenes cortos, uno por cada módulo principal del curso.
- Tareas y proyectos : Se asignarán proyectos programados, así como tareas cortas, con el fin de reforzar y poner en práctica lo aprendido en clase. En el caso de los proyectos programados cualquier actualización o refrescamiento del lenguaje de programación será responsabilidad del estudiante.

Cronograma

El cronograma de la Tabla 1 es un referencia. Fechas de entregas de proyecto o tareas se comunicaran con anticipación.

Tabla 1: Cronograma del Curso

Semana	Tema	Entregas/Actividades
8 - 14 Marzo	Módulo 1	
15 - 21 Marzo	Módulo 1	Quiz
22 - 28 Marzo	Módulo 1	Quiz
29 - 04 Abril	Módulo 1	Quiz
05 - 11 Abril	Semana Santa	
12 - 18 Abril	Módulo 2	Examen
19 - 25 Abril	Semana U	
26 - 02 Mayo	Módulo 2	Quiz
03 - 9 Mayo	Módulo 2	Quiz
10 - 16 Mayo	Módulo 2	Quiz
17 - 23 Mayo	Módulo 3	Examen
24 - 30 Mayo	Módulo 3	Quiz
31 - 06 Junio	Módulo 3	Quiz
07 - 13 Junio	Módulo 3	Quiz
14 - 20 Junio	Módulo 3	Quiz
21 - 27 Junio	Módulo 3	Quiz
28 - 04 Julio	Módulo 4	Quiz
05 - 11 Julio	-	Examen
12 - 18 Julio	Ampliación	

Otras consideraciones

1. Como medio de comunicación oficial, para tareas, proyectos, fechas y avisos en general se utilizará la plataforma de mediación virtual (<https://mediacionvirtual.ucr.ac.cr/>). Por lo tanto, todos los estudiantes deberán inscribirse al curso virtual durante la primera semana de clases.

2. En caso de que se detecte algún tipo de copia/plagio, entre dos o más estudiantes del curso o de terceros, en las tareas y/o proyectos, se realizará correspondiente denuncia ante la dirección de la Escuela.
3. Cualquier reclamo de tareas, quices o exámenes deberá realizarse en los siguientes tres días hábiles luego de la entrega oficial de cualquier evaluación. No se aceptarán reclamos de exámenes, exámenes cortos o tareas realizadas con lápiz, ni con corrector de ningún tipo.
4. Las ausencias a los exámenes y quices deberán ser justificadas debidamente (certificado médico) en un lapso de máximo 3 días hábiles.
5. En el caso de las tareas programadas si éstas no compilan recibirán como nota máxima un 40 %, si compilan pero no realizan correctamente su función recibirá como nota máxima un 50 %.
6. Cualquier documento entregado para calificación mediante el sitio virtual, debe estar en formato pdf e incluir el carné del estudiante.

Referencias

- [1] Baer, Jean Loup: *Microprocessor architecture: from simple pipelines to chip multiprocessors*. Cambridge University Press, 2009.
- [2] Bryant, Randal E, O'Hallaron David Richard y O'Hallaron David Richard: *Computer systems: a programmer's perspective*, volumen 2. Prentice Hall Upper Saddle River, 2003.
- [3] Culler, David E, Jaswinder Pal Singh y Anoop Gupta: *Parallel computer architecture: a hardware/software approach*. Gulf Professional Publishing, 1999.
- [4] Hennessy, John L. y David A. Patterson: *Computer Architecture, Fourth Edition: A Quantitative Approach*. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 2006, ISBN 0123704901.
- [5] Hennessy, John L. y David A. Patterson: *Computer Architecture, Fifth Edition: A Quantitative Approach*. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 5th edición, 2011, ISBN 012383872X, 9780123838728.
- [6] Jacob, Bruce, Spencer Ng y David Wang: *Memory systems: cache, DRAM, disk*. Morgan Kaufmann, 2010.
- [7] Kitchenham, Barbara: *Procedures for performing systematic reviews*. Keele, UK, Keele University, 33(2004):1-26, 2004.
- [8] Shen, John Paul y Mikko H Lipasti: *Modern processor design: fundamentals of superscalar processors*. Waveland Press, 2013.
- [9] Sorin, Daniel J, Mark D Hill y David A Wood: *A Primer on Memory Consistency and Cache Coherence (Synthesis Lectures on Computer Architecture)*. Computer, 1005:30690, 2011.