

# Apuntes de Arquitectura de Sistemas

Daniel Monjas Miguélez

March 7, 2022

## Contents

<b>1</b>	<b>Tema 1: Soporte Hardware</b>	<b>3</b>
1.1	Motivación . . . . .	3
1.2	Clasificación . . . . .	5
1.2.1	Clasificación "práctica" de arquitecturas paralelas . . . .	5
1.2.2	Clasificación Arquitectura de Computadores . . . . .	7
1.2.3	Componentes . . . . .	11

# 1 Tema 1: Soporte Hardware

## 1.1 Motivación

matriz

```
int matriz[10000][10000];
```

inicialización a cero: **bien**

```
for (unsigned i = 0; i < 10000; ++i)
    for (unsigned j = 0; j < 10000; ++j)
        matriz[i][j] = 0;
```

inicialización a cero: **mal**

```
for (unsigned i = 0; i < 10000; ++i)
    for (unsigned j = 0; j < 10000; ++j)
        matriz[j][i] = 0;
```

Para una matriz de tamaño  $10000 \times 10000$ :

	matriz[i][j]		matriz[j][i]	
Mac OS X 1.25GHz PPC G4 512MB RAM	user	0.45	user	17.413
	system	1.15	system	2.037
	real	1.84	real	20.097
Linux 2 x 3GHz P4 Xeon 4 GB RAM	user	0.42	user	12.25
	system	0.73	system	0.733
	real	1.2	real	12.99
Sun OS 2 x 1GHz UltraSparc 8 GB RAM	user	1.645	user	45.495
	system	0.89	system	0.885
	real	2.87	real	47.725
Windows XP 2 x 3GHz P4 Xeon 4 GB RAM	user	0.843	user	9.937
	system	0.25	system	0.250
	real	1.125	real	10.344
Linux (casa) 2GHz AMD Athlon64 1 GB RAM	user	0.224	user	13.317
	system	0.524	system	0.660
	real	0.799	real	14.554

La causa de este fenómeno es la forma en que C gestiona la memoria, pues C/C++ almacenan las matrices por filas. Ejemplo: `int m[4][4]`

m[0][0]	m[0][1]	m[0][2]	m[0][3]
m[1][0]	m[1][1]	m[1][2]	m[1][3]
m[2][0]	m[2][1]	m[2][2]	m[2][3]
m[3][0]	m[3][1]	m[3][2]	m[3][3]

### Memoria Virtual

Es una utilidad que permite a los programas direccionar la memoria desde un punto de vista lógico, sin importar la cantidad de memoria principal física disponible. Se concibió como método para tener múltiples trabajos de usuario residiendo en memoria principal de forma concurrente, de forma que no exista un intervalo de tiempo de espera entre la ejecución de procesos sucesivos, es decir, mientras un proceso se escribe en almacenamiento secundario y se lee el sucesor. Se introdujeron los sistemas de paginación, que permiten que los procesos se compriman en un número determinado de bloques de tamaño fijo, denominados páginas. Un programa referencia a una palabra por medio de una

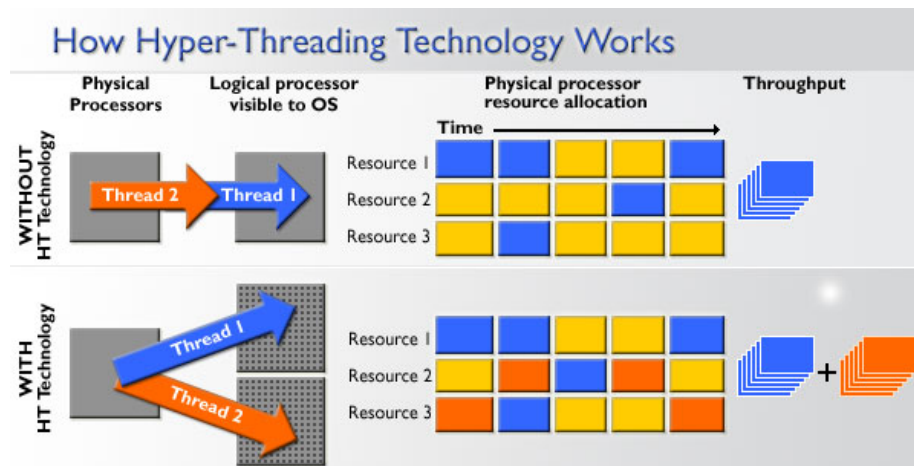
dirección virtual, que consiste en un número de página y un desplazamiento dentro de la página.

Todas las páginas de un proceso se mantienen en disco. Cuando un proceso está en ejecución, algunas de sus páginas se encuentran en memoria principal, y si se referencia a una página que no está en memoria principal el hardware de gestión de memoria lo detecta y permite que la página que falta se cargue (carga bajo demanda).

## 1.2 Clasificación

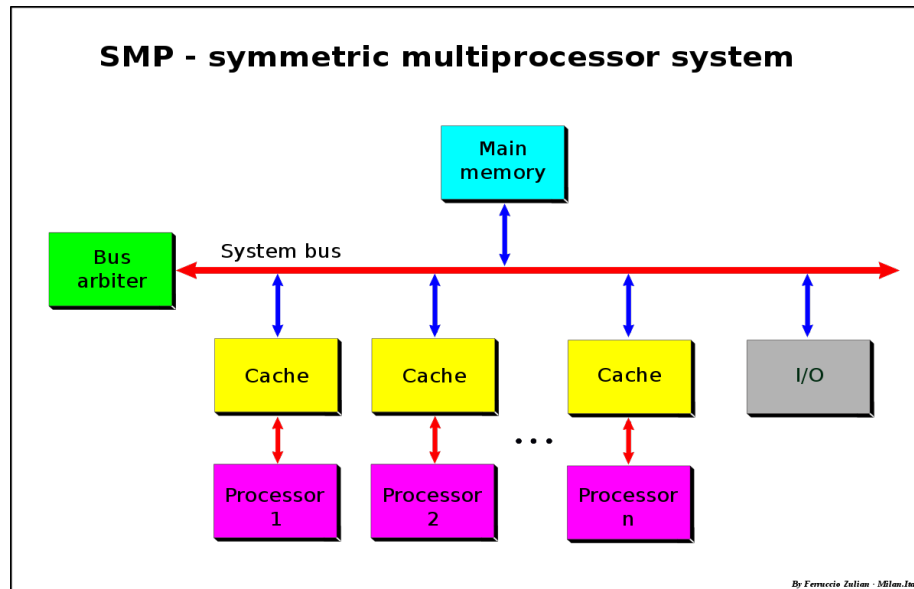
### 1.2.1 Clasificación "práctica" de arquitecturas paralelas

- Multiprocesadores de memoria compartida:
  - SMT(Simultaneous Multithreading/Hyperthreading): permite a una única CPU ejecutar varios flujos de control. Esto requiere tener múltiples copias de algunos componentes hardware de la CPU, como contadores de programa y registros de archivo, mientras otras partes siguen siendo únicas como las unidades que realizan aritmética con punto flotante. Cuando un procesador tiene Hyper-Threading puede tener de 2 a 64 hebras (puede tener más, veanse procesadores de servidor), dependiendo del número de núcleos físicos del mismo.

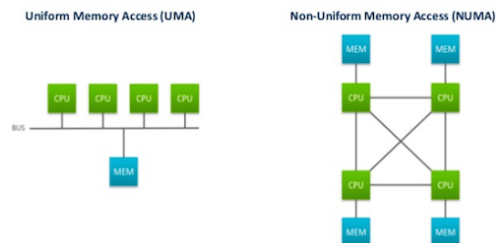


- SMP(Symmetric Multi-Processing): el núcleo puede ejecutar en cualquier procesador, y normalmente cada procesador realiza su propia planificación del conjunto disponible de procesos e hilos. El núcleo puede construirse como múltiples procesos o múltiples hilos, permitiéndose la ejecución de partes del núcleo en paralelo. El enfoque SMP complica el sistema operativo, ya que debe asegurar que dos procesadores no seleccionan un mismo proceso y que no se pierde ningún proceso

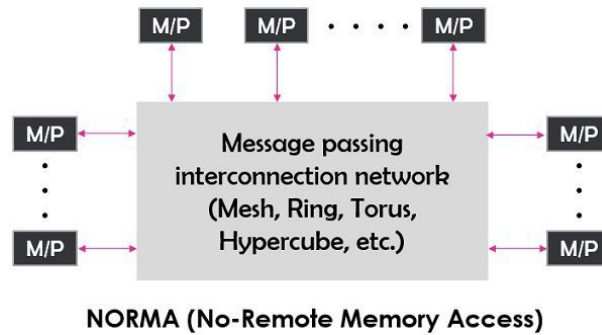
de la cola. Se deben emplear técnicas para resolver y sincronizar el uso de los recursos. Suelen tener entre 2 y 256 procesadores.



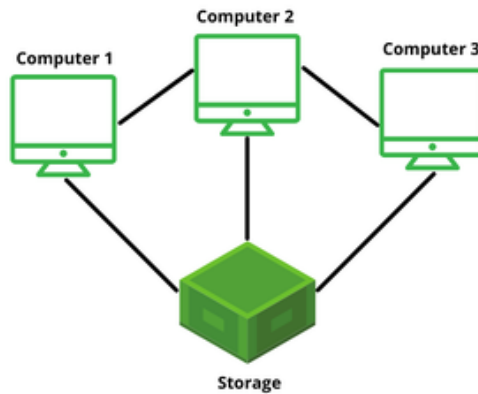
- UMA/ccNUMA (Uniform Memory Access/Cache Coherent UMA): Se define como la situación en la cual el acceso a cualquier RAM desde CPU toma siempre la misma cantidad de tiempo. Suele tener entre 2 y 4096 procesadores.
- Multiprocesadores masivamente paralelos:
  - NUMA/ccNUMA (Non Uniform Memory Access/ Cache Coherent NUMA): A diferencia de UMA, algunas partes de la memoria pueden tomar más tiempo de acceso que otras, creando una penalización en el rendimiento. Esta penalización se puede minimizar por medio de la administración de recursos.



- Paso de mensajes/NoRMA (No Remote Memory Access): en las arquitecturas NoRMA, el espacio de direcciones global no es único y la memoria no es globalmente accesible desde todos los procesadores. El acceso a módulos de memoria remotos es solo posible indirectamente a través del paso de mensajes por medio de la red de interconexión a otros procesadores, lo que en respuesta recibirá los datos buscados en un mensaje de respuesta.



- Cluster → +10M procesadores. Al igual que los sistemas multiprocesadores, los sistemas clústeres juntan múltiples CPUs para conseguir un trabajo computacional. La diferencia respecto a los sistemas multiprocesadores es que los clústeres se componen de dos o más sistemas individuales unidos juntos, a los que se denominan nodos.
  - GPU<sub>s</sub>



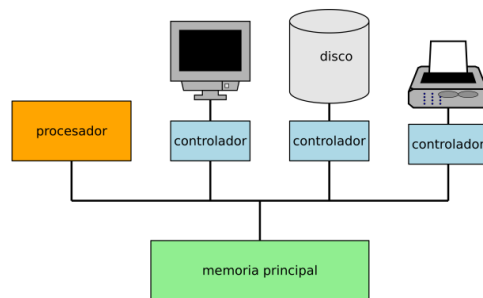
### 1.2.2 Clasificación Arquitectura de Computadores

- Sistemas monoprocesador

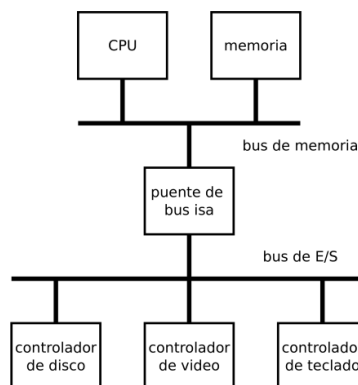
- Bus único
- Buses separados/especializados
- Sistemas multiprocesador
  - Multiproceso simétrico (SMP)
  - Multihebra simultánea (SMT)
  - Multinúcleo (SMP)
- Sistemas distribuidos

**Sistema monoprocesador:** Es el modelo más simple, pues conecta todo en un bus común.

- Ventaja → precio.
- Inconveniente → infrautilización de componentes por la diferencia de velocidad.

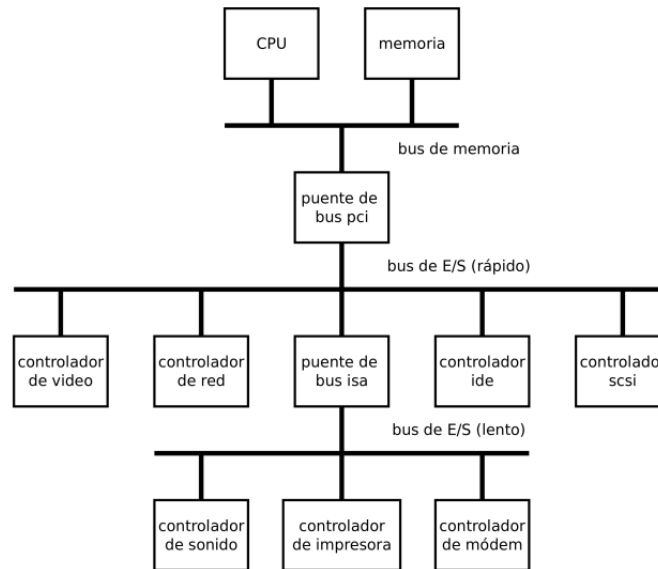


Una posible solución para la diferencia de velocidad es aislar los componentes por velocidad y conectarlos por medio de un puente



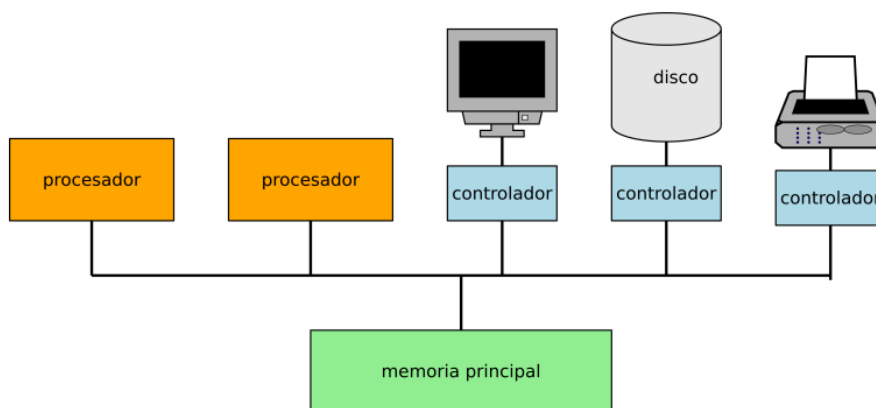


Otra posible solución incluso mejor es separar el bus de E/S en dos buses en función de los dispositivos E/S más rápidos y más lentos, y conectar ambos buses por medio de un puente isa.

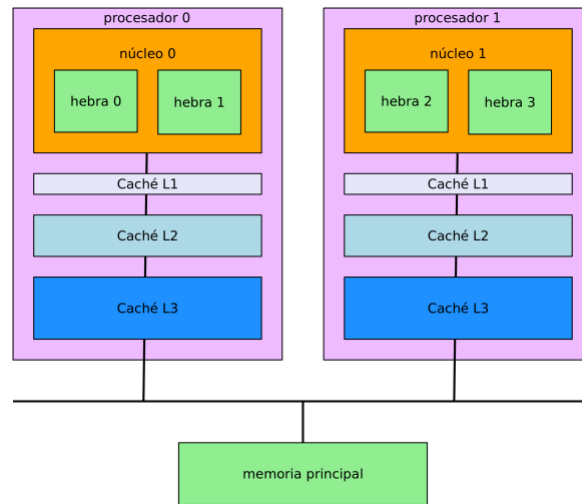


**Sistema multiprocesador: multiproceso simétrico.** Lo más simple es conectar todos los elementos a un bus común.

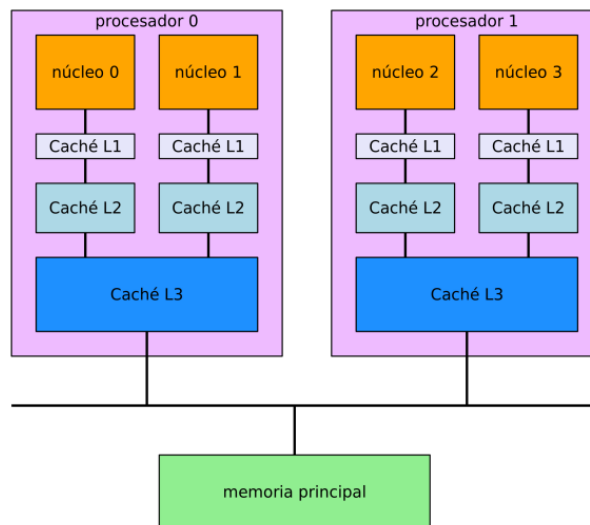
- Ventaja → precio.
- Inconveniente → se agrava la infrautilización de componentes.



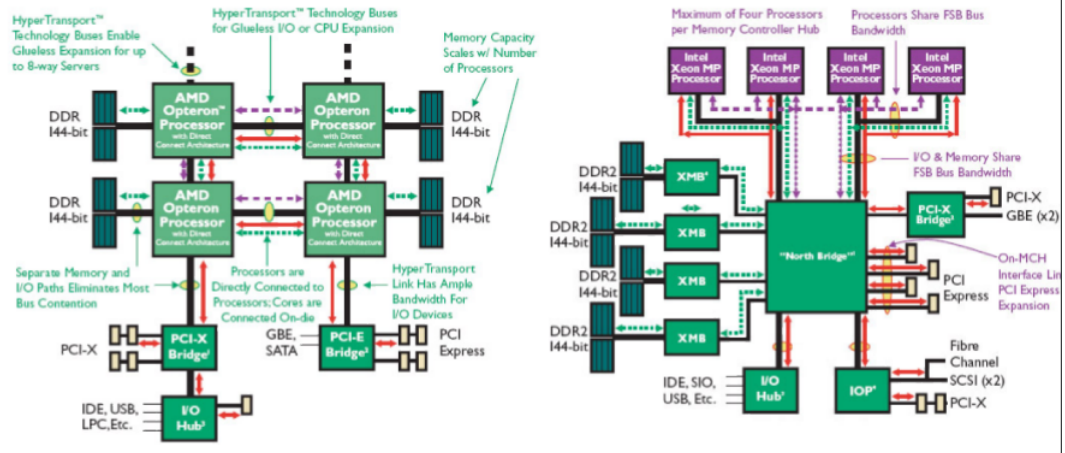
### Sistemas multiprocesador: multihebra simultánea



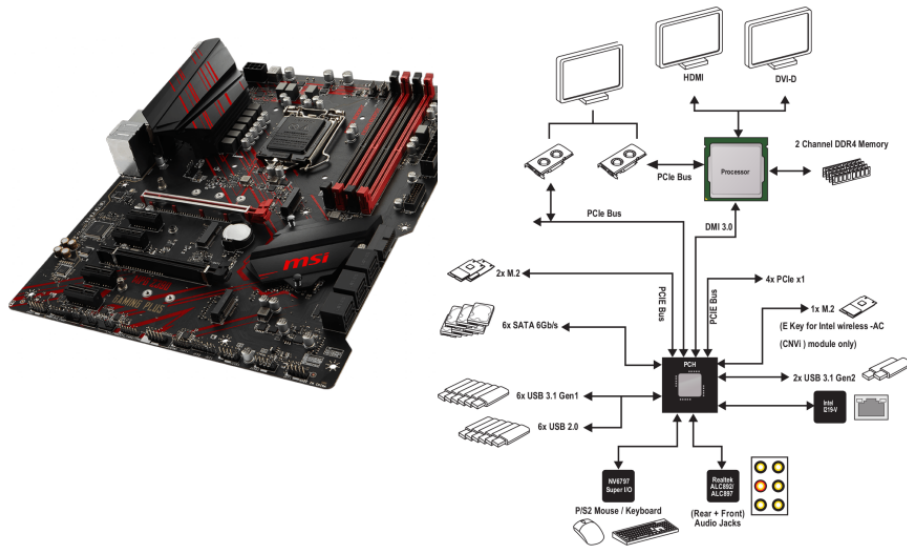
### Sistemas multiprocesador: multiproceso simétrico



## Sistemas multiprocesador actuales



## Arquitecturas de un sistema actual

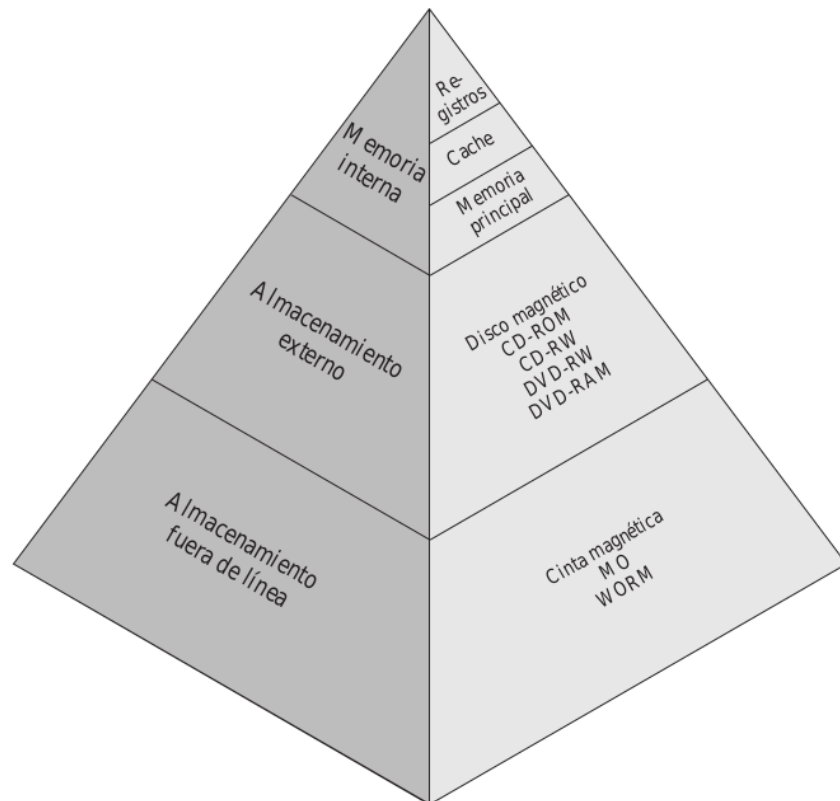


### 1.2.3 Componentes

#### Componentes básicos

- Procesadores
- Jerarquía de memoria.

Surge el problema de que cuanto menor es el tiempo de acceso mayor es el coste por bit, y que cuanto mayor es la capacidad menor la velocidad de acceso. Para lidiar con este dilema surge la jerarquía de memoria. En la jerarquía de memoria según se desciende disminuye el coste por bit, aumenta la capacidad, aumenta el tiempo de acceso y se reduce la frecuencia de acceso a ese nivel de la jerarquía por parte del procesador.



**Figura 1.14.** La **jerarquía de memoria**.

- Buses de interconexión: AGP, Hypertransport, IDE, IEEE 1394, ISA, M.2, PCI, PCIe, SATA, SCSI, USB, ...
- Entrada/Salida: controladores, canales de DMA, procesadores de E/S,...
- Periféricos: altavoz, disco, impresora, micrófono, monitor, ratón, teclado, ...

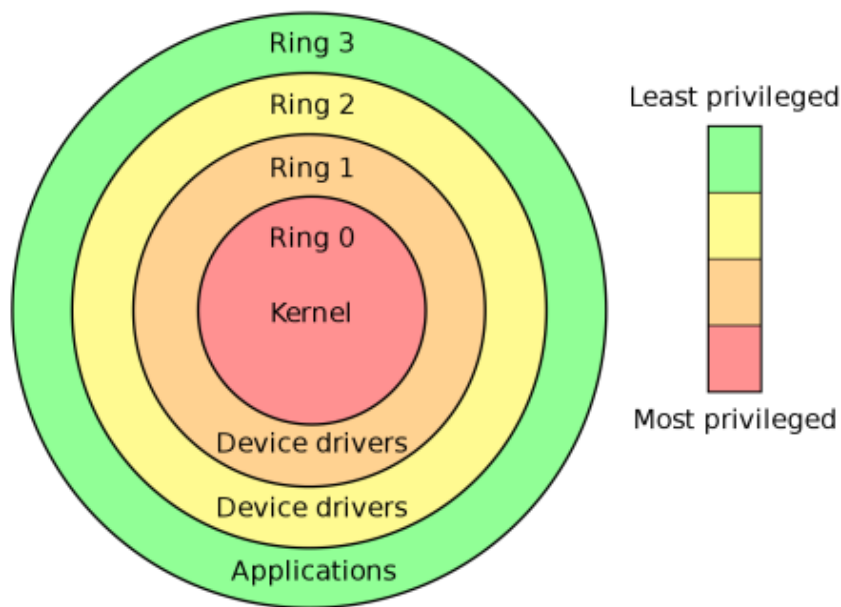
#### **Interfaz del procesador**

- Conjunto de instrucciones

- transferencia:  
`in, mov, out,...`
- modificación:  
`add, and, div, mul, or, sub,...`
- control:  
`cli, sti,...`

#### Chuleta instrucciones 8086

- Registros generales y especiales
- Al menos dos modos de ejecución con diferentes privilegios:
  - privilegiado: acceso completo
  - no privilegiado: acceso limitado  $\Rightarrow$  excepción



#### Registros del procesador: familia x86-64

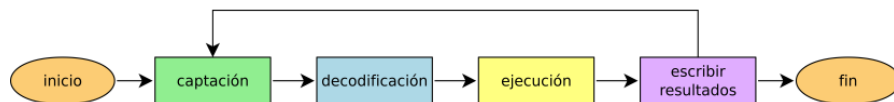
En el modo núcleo (modo privilegiado, modo kernel, ...) se pueden ejecutar instrucciones privilegiadas y se puede acceder a áreas de memoria protegidas. Sólo mente el núcleo o kernel del sistema operativo puede ejecutar instrucciones en modo privilegiado. Algunos ejemplos de instrucciones privilegiadas son:

- Acceso a los dispositivos de E/S: consultar el estado de los dispositivos de E/S, llevar a cabo DMA (Direct Memory Access), atrapar interrupciones.
- Manipular la unidad de gestión de memoria (MMU): manipular las tablas de segmento y páginas, cargar y vaciar el búfer de traducción anticipada (TLB)
- Configurar varios modos de funcionamiento: nivel de prioridad de interrupciones, alterar el vector de interrupción.
- Utilizar la instrucción *halt* para activar el modo de ahorro de energía. Esta instrucción detiene abruptamente la CPU hasta que la siguiente interrupción externa ha sido tratada. También es común que se ejecute cuando no hay trabajo inmediato que ejecutar, de forma que se pone al procesador en un estado ocioso.

El procesador comprueba el nivel de privilegio en la ejecución de cada instrucción. Los posibles cambios de privilegio son:

- Usuario  $\Rightarrow$  Núcleo: ganar privilegios
  - Al arrancar.
  - Llamada al sistema.
  - Interrupción hardware.
  - Excepción.
- Núcleo  $\Rightarrow$  Usuario: perder privilegios
  - El sistema operativo prepara el entorno necesario para que la aplicación comience su ejecución.
  - El sistema operativo termina alguna de sus actividades y devuelve el control a la aplicación.

**Ciclo de instrucción:** se denomina ciclo de instrucción al procesamiento requerido por una única instrucción. El ciclo de instrucción básico es:



- El procesador capta una instrucción desde memoria.
- La instrucción debe ser decodificada para averiguar su tipo.
- Conocido el tipo puede ser necesario la captación de nuevos operandos.
- Se ejecuta la instrucción.

- Se almacenan los resultados de la ejecución.
- El proceso se repite instrucción a instrucción hasta que el programa termina.

### Tendencias en el diseño de procesadores

- CISC (Complex Instruction Set Computing)  $\Rightarrow$  RISC (Reduced Instruction Set Computing)  $\Rightarrow$  VLIW (Very Long Instruction Word).

**CISC:** Es un tipo de diseño de microprocesador. Este contiene un conjunto de instrucciones muy grande que van desde instrucciones muy simples a instrucciones muy especializadas. Se introducen instrucciones que en un diseño RISC se requieren de varias instrucciones, reduciendo así el número de instrucciones de los programas, pero al ser instrucciones más complejas acaban requiriendo más ciclos de reloj para su ejecución.

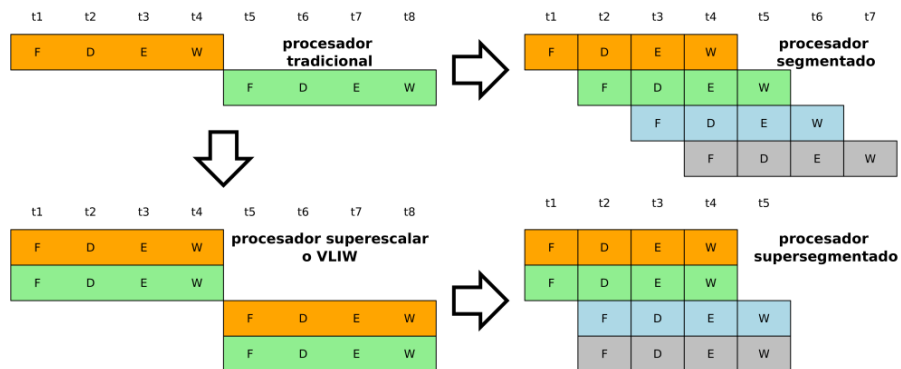
**RISC:** Como su nombre dice se trata de un diseño de microprocesador. Este diseño contiene instrucciones muy simples y con la combinación de ellas se puede obtener cualquier programa. Si bien su ejecución es rápida, pues son instrucciones muy simples, su tamaño en memoria puede llegar a ser muy grande, pues la ejecución de un programa simple puede requerir de muchas instrucciones RISC.

**VLIW:** se trata de un procesador segmentado que puede terminar más de una operación por ciclo en el que el compilador es el principal responsable de agrupar operaciones que pueden procesarse en paralelo para definir instrucciones que, de esta forma, se codifican a través de las denominadas palabras de instrucción larga (LIW) o muy larga (VLIW)

- Ejecución concurrente sobre procesadores: intento de explotación del paralelismo entre instrucciones (ILP). ILP es una medida de cuántas operaciones pueden ejecutarse simultáneamente sin afectar al resultado.

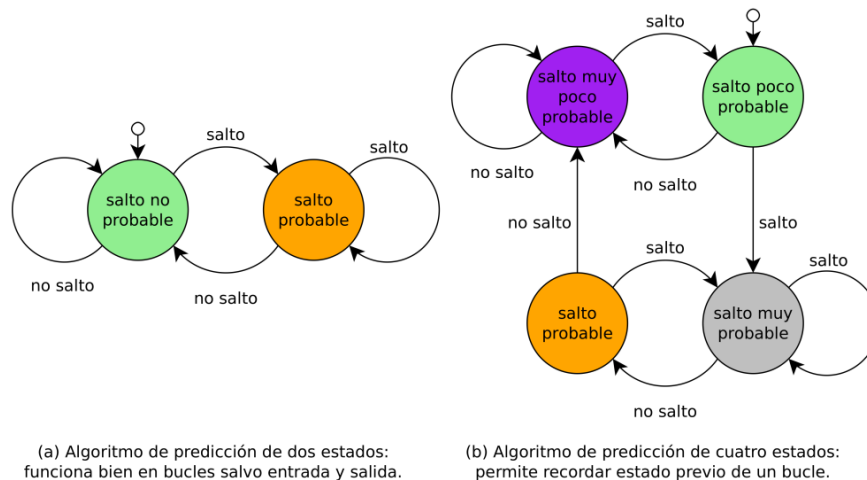
### Técnicas de explotación de ILP

- **Segmentación de cauce:** la ejecución de múltiples instrucciones puede solaparse total o parcialmente.
- **Ejecución superescalar:** múltiples unidades de ejecución se utilizan para ejecutar múltiples instrucciones en paralelo. Un procesador superescalar es un procesador segmentado que puede finalizar más de una instrucción por ciclo y que posee recursos hardware para extraer el paralelismo entre instrucciones. Para aprovechar al máximo el procesamiento de instrucciones en paralelo que proporcionan las distintas etapas, el procesador incluye una serie de elementos como ventanas de instrucciones o estaciones de buffers, buffers de renombramiento, buffers de reordenamiento, etc.



- **Computación con instrucciones explícitamente paralelas (EPIC):** uso del compilador en lugar de complejos circuitos para identificar y explotar el ILP. La intención era permitir un escalado simple del rendimiento sin disparar las frecuencias del reloj. Tiene su base en VLIW.
- **Ejecución fuera de orden:** ejecución de instrucciones en cualquier orden que no viole las dependencias entre instrucciones. El orden de ejecución depende de la disponibilidad de los datos de entrada y las unidades de ejecución, no del orden original del programa.
- **Renombrado de registros:** técnica para evitar la innecesaria serialización de instrucciones por la reutilización de registros. Puede ser aplicado por el propio compilador al asignar los registros de la arquitectura, pero también puede implementarse en hardware. Esto es lo usual en procesadores superescalares, donde se incluyen estructuras de buffers con una serie de campos específicos (por ejemplo, buffers de renombramiento).
- **Ejecución especulativa:** permitir la ejecución de instrucciones completas, o partes, antes de conocer con seguridad si su ejecución debe tener lugar. De esta forma se previene el retraso que habría, de tener que hacer el procesamiento después de saber que es necesario. Si resulta que el procesamiento no era necesario, los cambios realizados se revierten y los resultados se ignoran.
- **Predicción de salto:** se utiliza para evitar quedar parado antes de que se resuelvan las dependencias de control. Se utiliza en conjunción con la ejecución especulativa. Se basa en determinar la alternativa más probable, y continuar el procesamiento, tras la instrucción de salto, con la secuencia de instrucciones que corresponde a dicha opción más probable. Cuando la condición de salto se evalúa, se comprueba si la predicción que se había hecho era correcta o no. Si no lo era habrá que retomar el procesamiento a partir de la primera instrucción de la alternativa que no se tomó, es decir, de la menos probable.





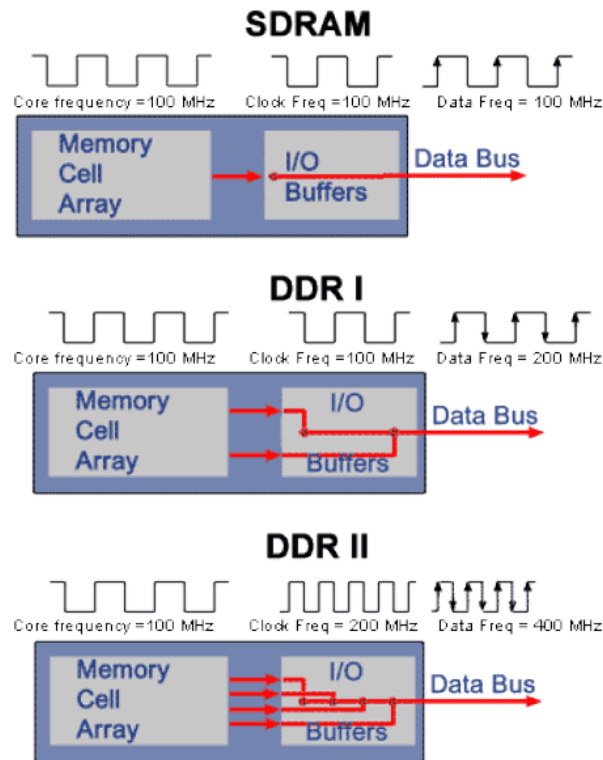
- **Multihebra simultánea (SMT):** técnica que permite la ejecución de múltiples hebras de ejecución para aprovechar mejor las unidades funcionales de los procesadores superescalares.

**Jerarquía de memoria:** Se requiere de jerarquía de memoria entre otras cosas por la gran diferencia de velocidad entre procesador y memoria. La jerarquía de memoria puede aliviar este problema gracias a **los principios de localidad** y a la **regla 90/10**:

- Localidad **espacial**: la información a la que se accede suelen estar próxima a la que ha sido accedida con anterioridad.
- Localidad **temporal**: la información a la que se accede una vez suele volver a ser utilizada.
- Regla 90/10: el 10% del código realiza el 90% del trabajo.

#### Tipos de memoria RAM:

- **SRAM (Static random-access memory):** Es un tipo de memoria que utiliza circuitería flip-flop para almacenar cada bit. La diferencia con una DRAM es que la segunda debe de refrescarse periódicamente. La SRAM es más rápida y más cara que la DRAM. Se utiliza típicamente para la caché y los registros internos de la CPU mientras que la DRAM se utiliza para la memoria principal.
- **DDR SDRAM I (Double Data Rate Synchronous RAM):** Entre otras cosas las memorias DDR como su nombre indica tienen dos ciclos de reloj, es decir se hace un envío de información cuando el reloj sube y otro cuando el reloj baja. Con esto hace que una memoria DDR con una frecuencia de



reloj x duplique el ancho de banda de una SDR SDRAM con igual frecuencia de reloj. Este tipo de memoria se ha visto superada por las versiones 2, 3, 4 y 5 de la misma. Ninguno de sus sucesores tienen compatibilidad ni con su predecesor ni con su sucesor, lo que quiere decir que una RAM DDR1 SDRAM no es compatible con DDR2, DDR3, ....

- **DDRAM II**

**Cantidad de memoria en registros**

- Tipos de registros:
- RISC:
  - 32 de propósito general (32 ó 64 bits)
  - 32 de punto flotante (64 bits IEEE 754)
  - multimedia (64,...,256 bits)
- CISC:
  - IA32: 8 de propósito general, 8 de punto flotante, 8 multimedia.
  - IA64: 128 de propósito general, 128 de punto flotante.

- Algunos procesadores tienen varios conjuntos de estos registros (ventanas de registros)

#### **Análisis de una jerarquía de dos niveles**

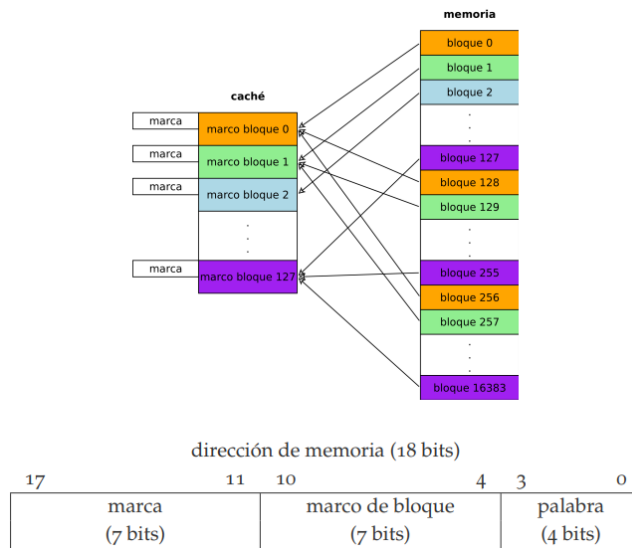
$$\overline{T}_{acceso} = (1 - T_{fallos}) \times T_{cache} + T_{fallos} \times (T_{cache} + T_{ram})$$

#### **Parámetros de diseño de memorias caché**

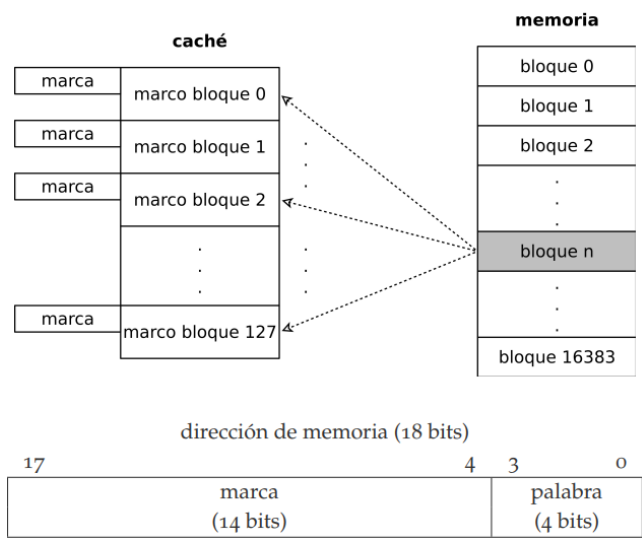
- Tamaño:
  - L1:8,...,256KB
  - L2:1,...,16MB
  - L3:4,...,128MB
- Tamaño de bloque: 32,...,128B
- Tiempo de acceso: 1,...,10ns
- Política de búsqueda:
  - bajo demanda
  - anticipativas
- Política de colocación:
  - correspondencia directa: el bloque  $B_j$  de memoria principal se puede ubicar sólo en el marco de bloque que cumple la siguiente relación  $i = j \bmod m$ , donde  $m$  es el número total de líneas que tiene la cache.
  - asociativa por conjuntos: En la correspondencia asociativa por conjuntos las líneas de memoria caché se agrupan en  $v = 2^d$  conjunto con  $k$  líneas/conjunto o vías. Se cumple que el número total de marcos de bloque que tiene la caché  $m = v * k$ . Un bloque  $B_j$  de memoria principal se puede ubicar sólo en el conjunto  $C_i$  de memoria caché que cumple la siguiente relación  $i = j \bmod v$ .
  - completamente asociativa: la caché se organiza en un único conjunto de caché con varias líneas de caché. Un bloque de memoria puede ocupar cualquiera de las líneas de caché. La organización de la caché se puede enmarcar como una matriz de filas (1\*m).
- Política de reemplazo:
  - LRU
  - FIFO
  - aleatoria
- Política de actualización:

- escritura directa
- post-escritura
- Otras características importantes:
  - caché de víctimas
  - inclusiva/exclusiva
  - unificada/separada

**Políticas de colocación: correspondencia directa**



Políticas de colocación: correspondencia totalmente asociativa



**Políticas de colocación: correspondencia asociativa por conjuntos**  
(2 M/C)

