



ugr

Universidad
de Granada



TEMA 3. Unidad central de procesamiento (CPU)

Estructura de Computadores

Departamento de Arquitectura y Tecnología
de computadores



ugr

Universidad
de Granada

D / 2



Tema 3. Unidad central de procesamiento (CPU)

- OBJETIVOS:
 - Comprender el diseño y funcionamiento, a nivel de micromáquina o también denominado de transferencia entre registros (RTL), de la unidad de tratamiento y de la unidad de control, es decir, de la unidad central de procesamiento (CPU), de un computador sencillo.
 - Distinguir la diferencia entre diseño cableado y microprogramado de la unidad de control.



ugr

Universidad
de Granada

D / 3



Tema 3. Unidad central de procesamiento (CPU)

CONTENIDOS

- 3.1 Introducción
- 3.2 Unidad de tratamiento
- 3.3 Unidad de control cableada
- 3.4 Unidad de control microprogramada

BIBLIOGRAFÍA

- [PRI06]: Capítulo 9
- [HAM03]: Capítulo 7



Tema 3. Unidad central de procesamiento (CPU)

CONTENIDOS

3.1 Introducción

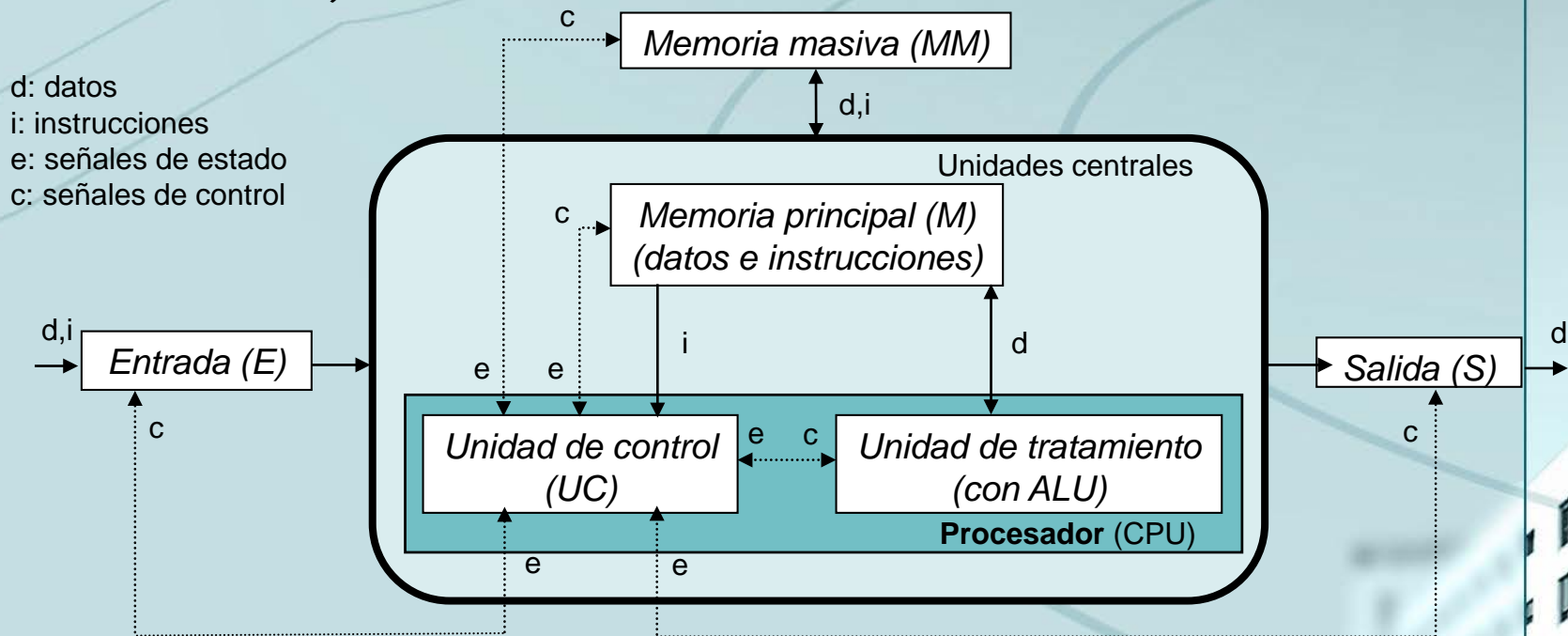
3.2 Unidad de tratamiento

3.3 Unidad de control cableada

3.4 Unidad de control microprogramada

3.1 Introducción

- Esquema general de un ordenador sencillo (Von Neumann):



- Nos vamos a centrar en el procesador: UC y ALU

3.1 Introducción

- **Unidad de tratamiento**, unidad de procesamiento, camino de datos, unidad aritmético-lógica o ALU (Arithmetic Logic Unit):
 - Contiene los circuitos electrónicos con los que se hacen las operaciones de tipo aritmético (sumas, restas, etc.) y de tipo lógico (comparar dos números, hacer operaciones del Algebra de Boole binaria, etc.) y
 - Los elementos auxiliares (registros) donde se almacenan temporalmente los datos con los que opera.

3.1 Introducción

- **Unidad de Control (UC):**
 - detecta señales de estado (eléctricas) procedentes de las distintas unidades.
 - capta de la memoria una a una las instrucciones máquina del programa, y
 - genera señales de control dirigidas a todas las unidades, monitorizando las operaciones que implican la ejecución de la instrucción.

3.1 Introducción

- La UC contiene un **reloj** que sincroniza todas las operaciones elementales de la computadora.
- El periodo del reloj se denomina tiempo de ciclo (entre décimas de ns y varios μ s).
- La frecuencia del reloj (MHz ó GHz) determina, en parte, la velocidad de funcionamiento del computador.

3.1 Introducción

- La UC interpreta y controla la ejecución de instrucciones leídas de memoria en dos fases:
 - **Fase de captación de instrucción:** leer la dirección de la instrucción a ejecutar, leerla de memoria, llevarla al registro adecuado para su ejecución e incrementar PC para que apunte a la siguiente instrucción.
 - **Fase de ejecución:** la instrucción se decodifica y ejecuta bajo el control de la UC y por ello
 - se realizan las operaciones específicas correspondientes al código de operación (codop) de la instrucción captada y
 - se generan las señales de control oportunas.

$AR \leftarrow PC$
 $DR \leftarrow M(AR)$
 $IR \leftarrow DR$
 $PC \leftarrow PC + 1$

3.1 Introducción

- Existen dos formas de diseñar la UC:
 - **Control cableado:**
 - se utilizan métodos de diseño de circuitos digitales secuenciales a partir de diagramas de estado
 - El circuito final se obtiene conectando componentes básicos (puertas, biestables, ...), y muy a menudo PLA.
 - **Control microprogramado:**
 - Las señales de control se almacenan en una memoria ROM (memoria de control)
 - Las microórdenes implementan las distintas instrucciones
 - Método estándar en CISC.



ugr

Universidad
de Granada

D / 11



Tema 3. Unidad central de procesamiento (CPU)

CONTENIDOS

3.1 Introducción

3.2 Unidad de tratamiento

3.3 Unidades de control cableadas

3.4 Unidades de control microprogramada

3.2 Unidad de tratamiento

- El conjunto de elementos de un procesador no dedicados al control se suele denominar **unidad-aritmético lógica** o **unidad de tratamiento** o **camino de datos**.
- Usualmente el termino unidad aritmético-lógica o ALU se reserva sólo para los circuitos específicos que realizan este tipo de operaciones.
- La unidad de tratamiento o camino de datos, por tanto, contiene la ALU, un banco de registros, los biestables indicadores, multiplexores, etc.

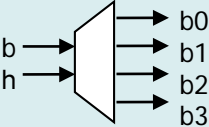
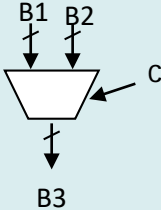
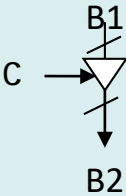
3.2 Unidad de tratamiento

- Usualmente en la ALU se realizan **operaciones muy sencillas**, con los datos del banco de registros, como rotaciones y desplazamientos de uno o varios bits a la vez, comparaciones, sumas, restas, multiplicaciones y divisiones.
- En los microprocesadores actuales en el procesador suele incluirse una **unidad de coma flotante** (FPU) que realiza operaciones aritméticas más complejas (operaciones con datos en punto flotante, etc.). Antes esta unidad se incluía en un chip aparte (coprocesador aritmético).

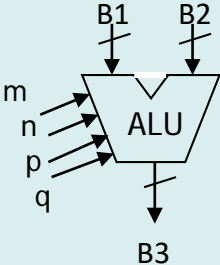
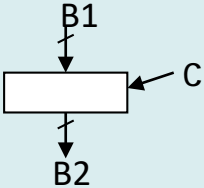
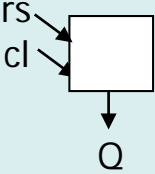
3.2 Unidad de tratamiento

- Para comprender bien el diseño y funcionamiento de una unidad de tratamiento vamos a ver el diseño a nivel de micromáquina de un **ordenador didáctico elemental**: CODE-2.
- A **nivel de micromáquina** se usan los elementos del nivel inmediatamente inferior, es decir, el nivel de lógica digital. Es decir, nuestros elementos de partida son los siguientes:

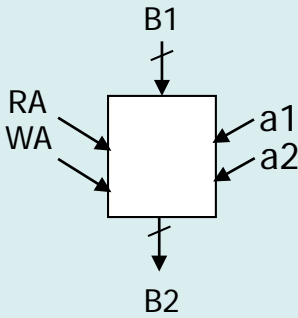
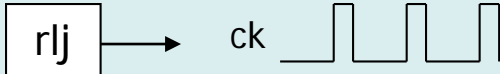
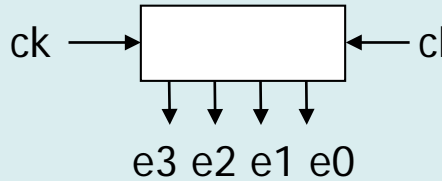
3.2 Unidad de tratamiento

Elemento	Esquema	Descripción
Decodificador binario		Todas las salidas son 0, excepto la que corresponde al valor decimal de la entrada. Si $bh=00$, $b0=1$; si $bh=01$, $b1=1$; si $bh=10$, $b2=1$; y si $bh=11$, $b3=1$
Multiplexor o Selector		En el bus de salida (B3) aparece la información de uno y sólo uno de los buses de entrada; así, en el caso de buses de 16 bits, si $c=0$, $B3(15:0)=B1(15:0)$, y si $c=1$, $B3(15:0)=B2(15:0)$
Adaptador Tri-estado		Si $c=0$, la salida está en estado de alta impedancia, pudiendo el bus B2 estar eléctricamente conectado a la salida de otro circuito. Si $c=1$, la información del bus B1 aparece en el bus B2

3.2 Unidad de tratamiento

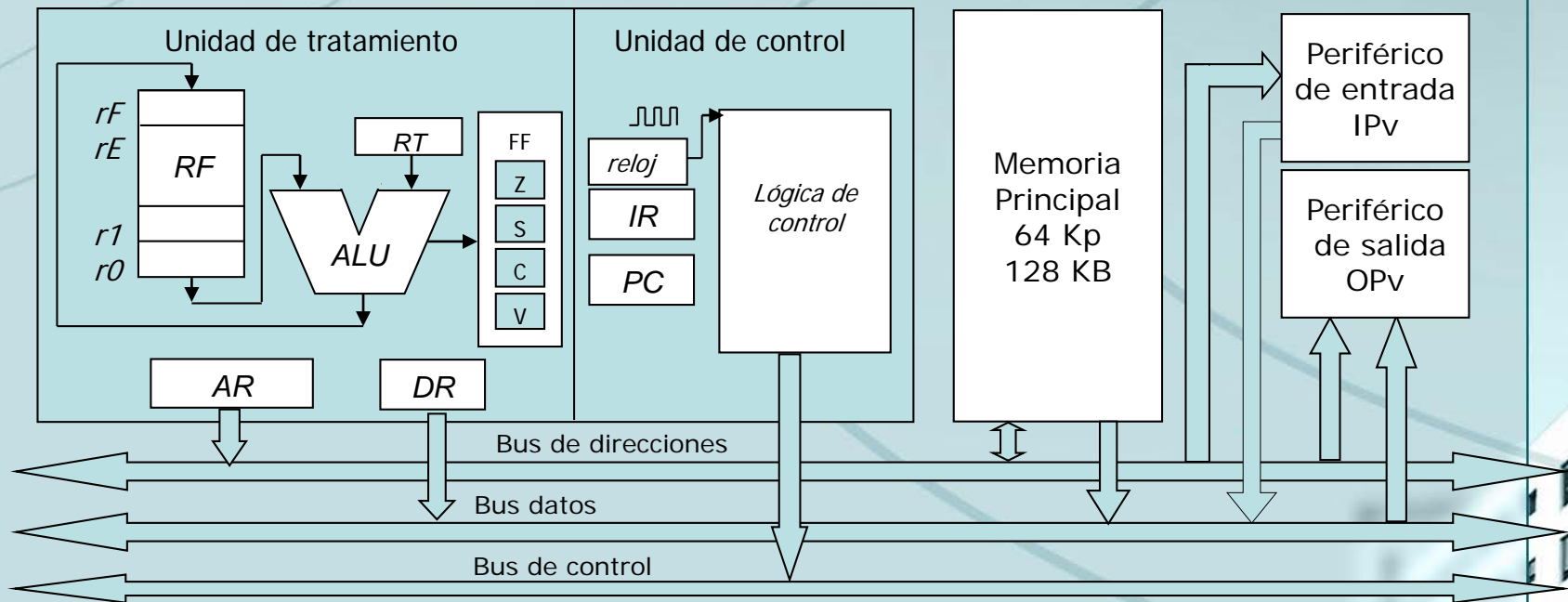
ALU		En B3 se obtiene el resultado de efectuar una operación entre los datos de los buses B1 y B2. La operación concreta de salida se determina con las señales de control m, n, p y q
Registro		Cuando $c=1$, la información del bus de entrada (B1) se graba en el registro, apareciendo siempre en el bus de salida (B2) la información almacenada (16 bits, caso de buses de 16 bits)
Biestable asíncrono		Si $rs=1$, queda almacenado en el biestable un 1; y si $cl=1$, queda almacenado un 0.

3.2 Unidad de tratamiento

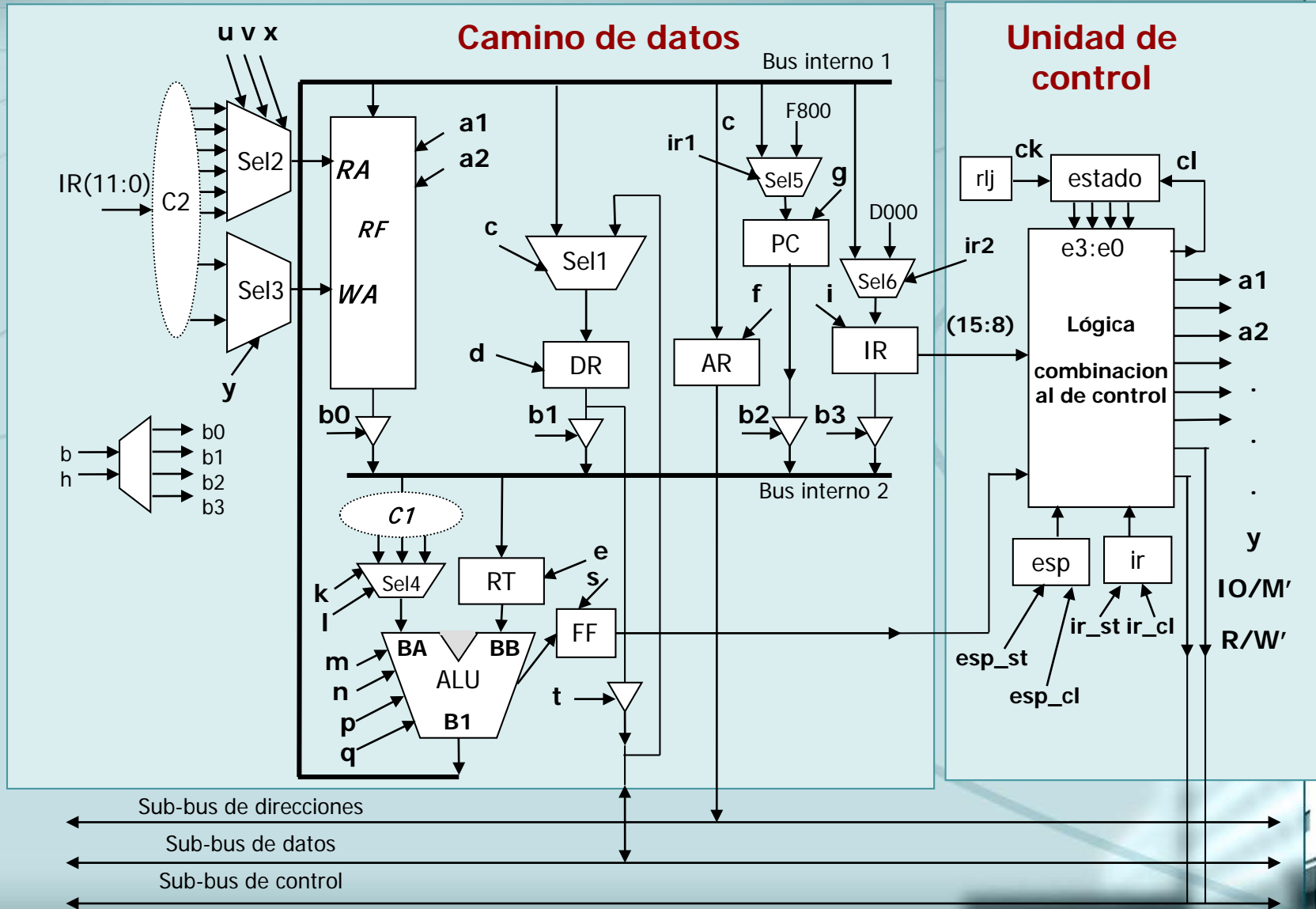
<p>Banco de registros (16 registros de 16 bits)</p>		<p>RA se compone de 4 hilos, que seleccionan el registro a leer; WA se compone también de 4 hilos y selecciona el registro a grabar. Si $a1=1$, aparece en el bus de salida (B2) la información del registro seleccionado con RA; y si $a2=1$, se escribe en el registro seleccionado por WA la información que exista en el bus de entrada (B1). <i>Nota:</i> simultáneamente se puede leer y escribir.</p>
<p>Reloj</p>		<p>Circuito que genera una secuencia periódica e indefinida de pulsos (ck), de periodo T y frecuencia $F=1/T$</p>
<p>Contador binario de 4 bits</p>		<p>Circuito que cuando $cl=1$, pone a 0 los 4 bits almacenados ($e3:e0$), y al llegar un pulso ck, incrementa en 1 su valor; es decir, según llegan los pulsos ck, se genera la secuencia 0000, 0001, 0010, 0011, 0100, ..., 1110, 1111</p>

3.2 Unidad de tratamiento

- Elementos básicos de CODE-2



3.2 Unidad de tratamiento



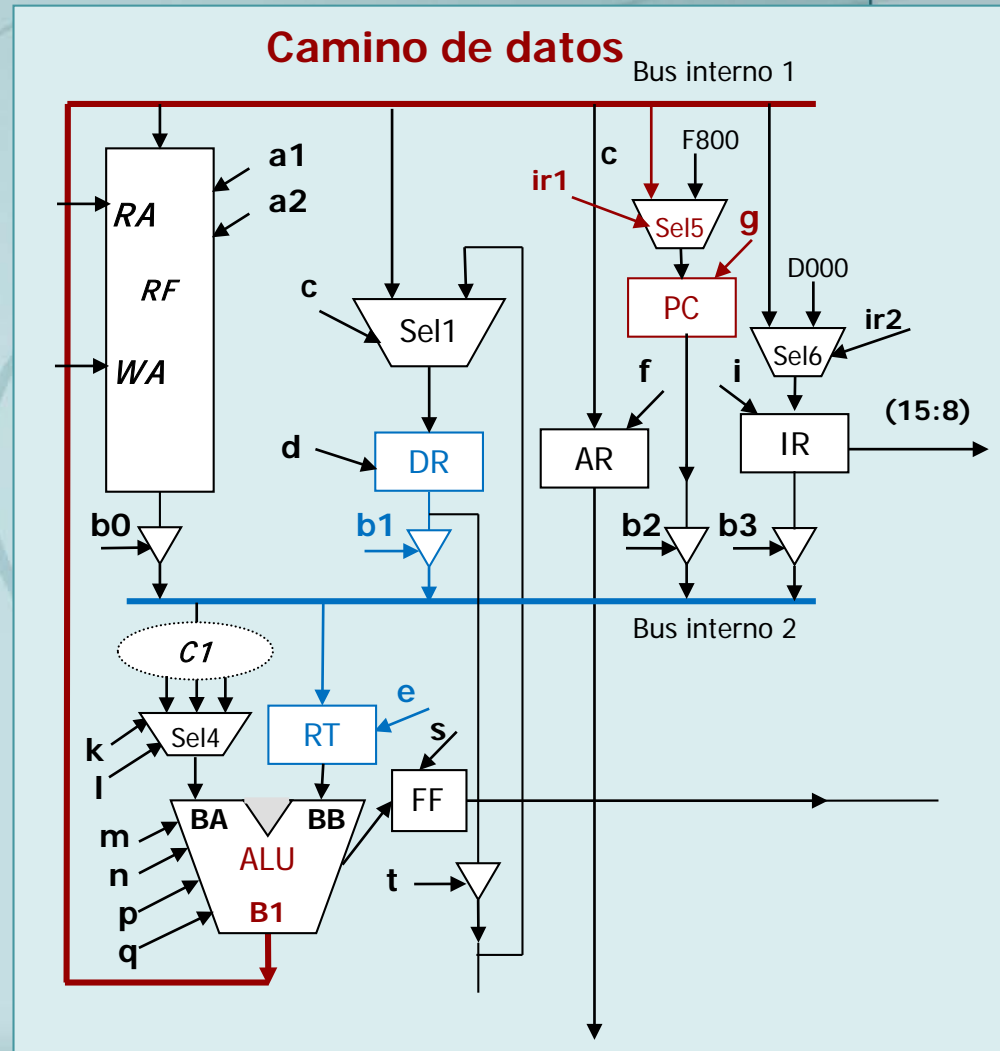
3.2 Unidad de tratamiento

- La unidad de tratamiento se comunica internamente a través de dos buses:
 - **Bus 1:** conecta la salida de la ALU (B1) con las entradas a RF, DR, AR, IR y PC. Para llevar la información de la ALU a uno de los registros:
 - la señal de control del selector debe conectar el bus a la entrada del registro
 - dar un pulso en la señal de control de carga del registro
 - **Bus 2:** conecta las salidas de RF, DR, AR, IR con las entradas de la ALU.
 - El acceso al bus se controla mediante señales tri-estado (b0, b1, b2, b3)

3.2 Unidad de tratamiento

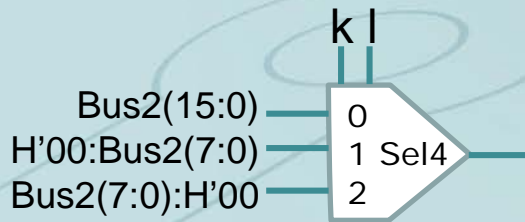
Ejemplos:

- Acceso a bus 1: llevar la salida de la ALU (B1) al PC.
 - Activar ir1 (Sel5)
 - Pulso de carga de PC (g=1)
- Acceso al bus 2: llevar el contenido de DR a RT
 - b1=1
 - Pulso de carga de RT (e=1)

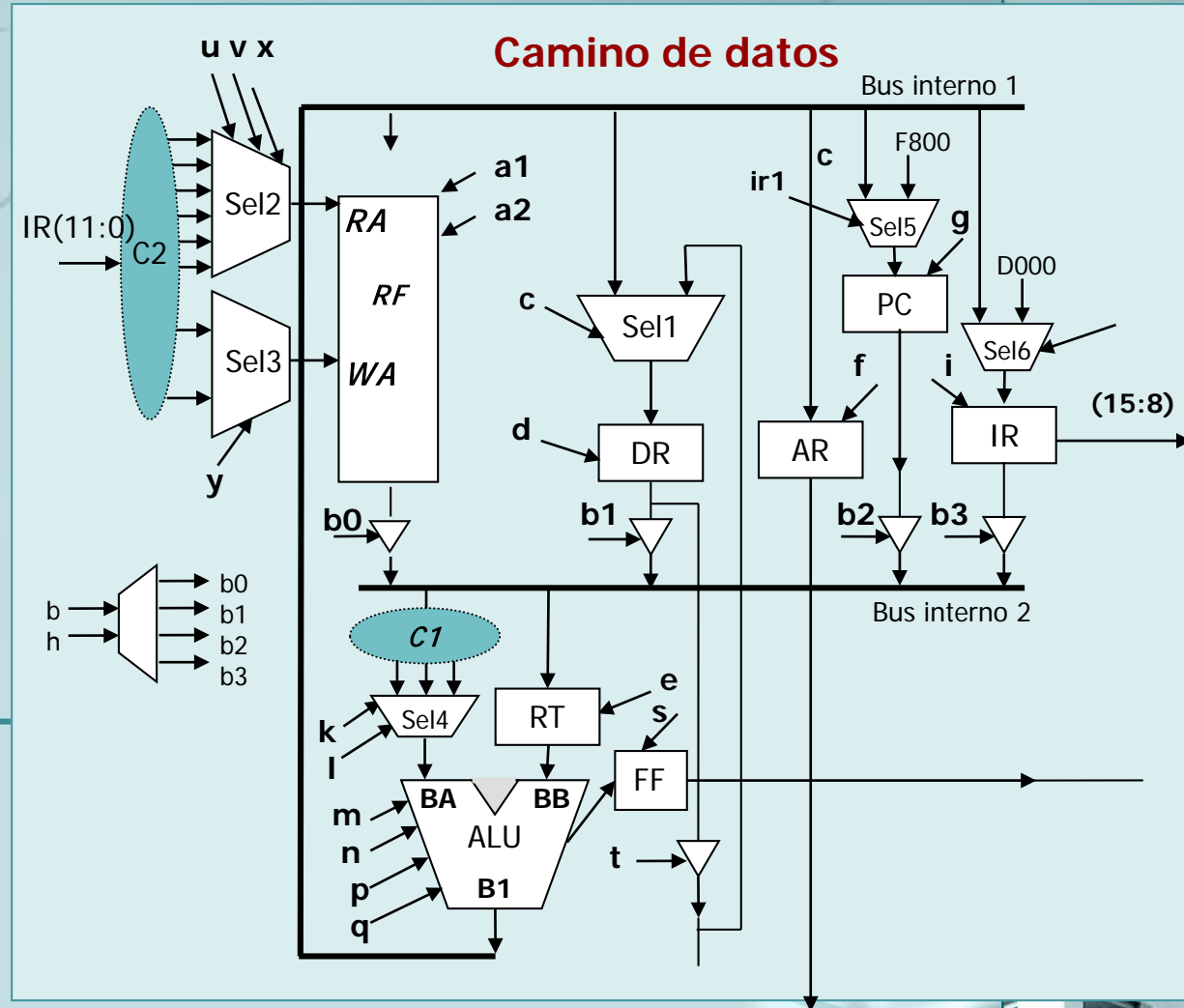
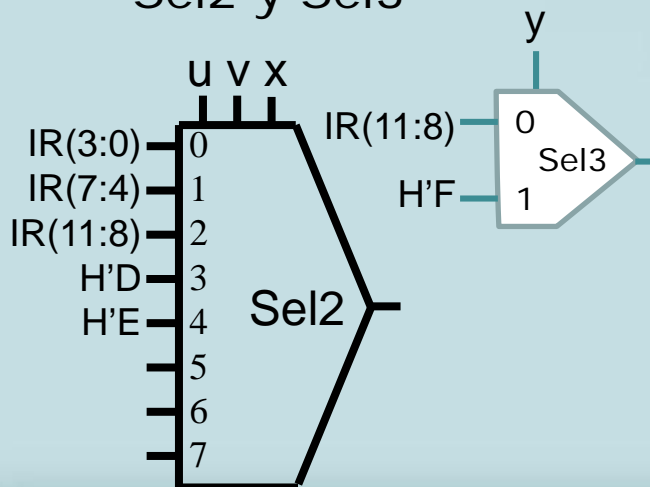


3.2 Unidad de tratamiento

- Módulo C1:**
interconexiones
entre Bus2 y Sel4

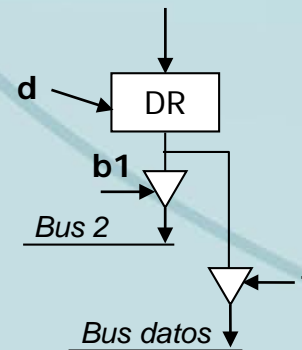
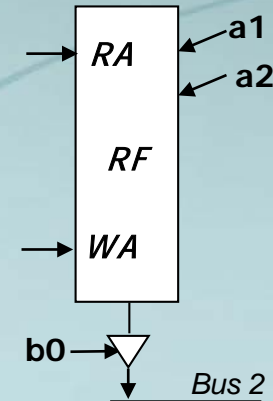


- Módulo C2:**
conexiones entre
Sel2 y Sel3



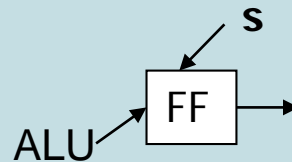
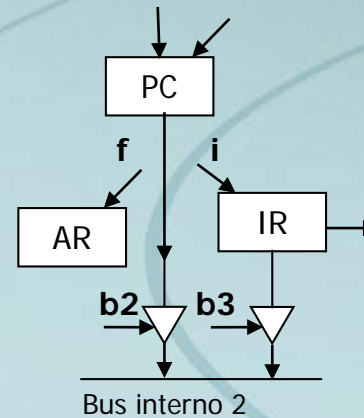
3.2 Unidad de tratamiento

- RF contiene 16 registros de 16 bits
 - RA(4 bits) selecciona registro a leer ($r0, r1, \dots, rE, rF$)
 - WA(4 bits) selecciona registro a grabar
 - Señales de control:
 - $a1=1$ $WA \leftarrow \text{bus1}$
 - $a2=1$ leer registro especificado en RA
 - $b0=1$ $\text{bus2} \leftarrow RF$
- DR:
 - d: carga paralela de DR
 - $b1=1$: $\text{bus2} \leftarrow DR$
 - $t=1$: $\text{bus datos} \leftarrow DR$



3.2 Unidad de tratamiento

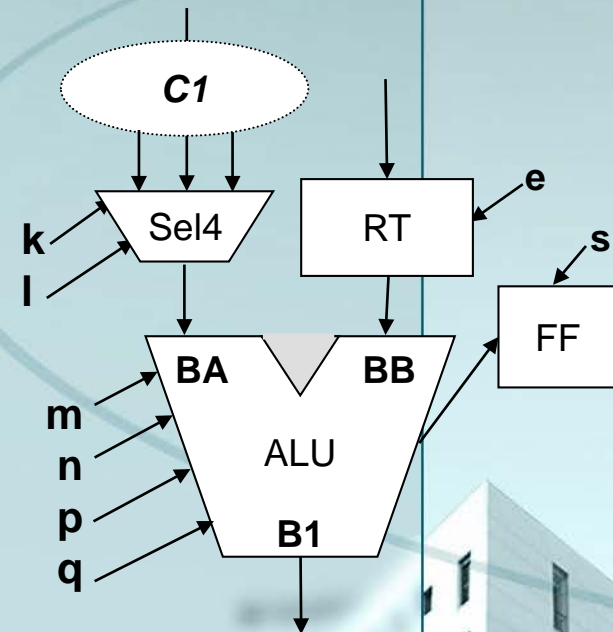
- AR: f: carga en paralelo de AR
- PC:
 - g: carga paralela de PC
 - b2=1 bus2 \leftarrow PC
- IR:
 - i: carga paralela de IR
 - b3=1 bus2 \leftarrow IR
- FF:
 - s: carga de FF según resultado de ALU



3.2 Unidad de tratamiento

- ALU: opera con el contenido de RT y el dato que llega del Bus1 (a través de C1 y Sel4).

Señales	Operaciones en la ALU (B1)
mnpq	
0000	BA
0001	BA+1
0010	BB-1
0011	BB
0100	BB+1
0101	BB-1
0110	Suma de BA y BB (C2)
0111	Resta BA-BB (C2)
1000	NAND; es decir, $(BA \cdot BB)'$
1001	Desplazamiento a izquierda
1010	Desplazamiento a derecha
1011	Desplazamiento aritmético a dcha.



3.2 Unidad de tratamiento

- Funcionamiento de los multiplexores:

c	Operaciones Sel1
0	DR \leftarrow bus1
1	DR \leftarrow bus datos

u v k	Operaciones Sel2
0 0 0	RA \leftarrow IR(3:0)
0 0 1	RA \leftarrow IR(7:4)
0 1 0	RA \leftarrow IR(11:8)
0 1 1	RA \leftarrow H'D
1 0 0	RA \leftarrow H'E

y	Operaciones Sel3
0	WA \leftarrow IR(11:8)
1	WA \leftarrow H'F

kl	Operaciones Sel4
00	alu(BA) \leftarrow bus2(15:0)
01	alu(BA) \leftarrow H'00:bus2(7:0)
10	alu(BA) \leftarrow Bus2(7:0):H'00

ir1	Operaciones Sel5
0	PC \leftarrow bus1
1	PC \leftarrow H'F800

ir2	Operaciones Sel6
0	IR \leftarrow bus1
1	DR \leftarrow H'D000



3.2 Unidad de tratamiento



Señales	Operaciones	Explicación
a1	a1=1, adaptador B0 bus2←RF	Leer el registro RA de RF
a2	a2=1, RF←bus1	Almacenar en el registro WA de RF
bh	bh=00 (b0=1), bus2 ←RF	Selección del adaptador triestado b0
	bh=01 (b1=1), bus2 ←DR	Selección del adaptador triestado b1
	bh=10 (b2=1), bus2 ←PC	Selección del adaptador triestado b2
	bh=11 (b3=1), bus2 ←IR	Selección del adaptador triestado b3
c	c=0, DR←bus1; c=1, DR←bus datos	Para captar nueva instrucción (pasar a c0)
cl	poner a 0 contador de estado	Para entrar en espera
d	d=1, cargar DR	
e	e=1, cargar RT	
esp_rs	esp_rs=1, pone a 1 biestable esp	
f	f=1, carga de AR	
g	g=1, carga de PC	
i	i=1, cargar IR	
ir1	ir1=0, PC←bus1; ir1=1, PC←H'F800	Dirección de salto de interrupción
ir2	ir2=0, IR←bus1; ir2=1, IR←H'D000	Provocar llamada a subrutina
ir_cl	ir_cl =1, pone a 0 biestable ir	Final de ciclo de interrupción
kj	Sel4	Reordenación de bytes del Bus2 (IR)
mnpq	ALU	Selección de función de ALU
s	carga FF	Biestables de estado de la ALU
t	t=1; bus de datos ←DR	Selección de registro de RF a leer
uvx	Sel2	Selección de registro de RF a escribir.
y	y=0, WA←rx; y=1, WA←F'H	

3.2 Unidad de tratamiento

- **Ejercicio 1:** ¿Qué señales de control se activan en la fase de captación de instrucción? Es decir:

$AR \leftarrow PC$

$DR \leftarrow M(AR)$

$IR \leftarrow DR$

$PC \leftarrow PC + 1$



Tema 3. Unidad central de procesamiento (CPU)

CONTENIDOS

3.1 Introducción

3.2 Unidad de tratamiento

3.3 Unidad de control cableada

3.4 Unidad de control microprogramada

3.3 Unidad de control cableada

- La **Unidad de Control** analiza o interpreta la instrucción máquina almacenada en IR y los valores de los biestables (FF, esp, ir) y genera las 29 señales de control que monitorizan el funcionamiento de los distintos elementos del computador.
- Estas señales de control (o **microórdenes**) producen **microoperaciones** en un orden predeterminado de forma sincronizada con un **estado máquina**.
- Vamos a ver cómo se diseña la unidad de control de CODE-2 de forma **cableada**.



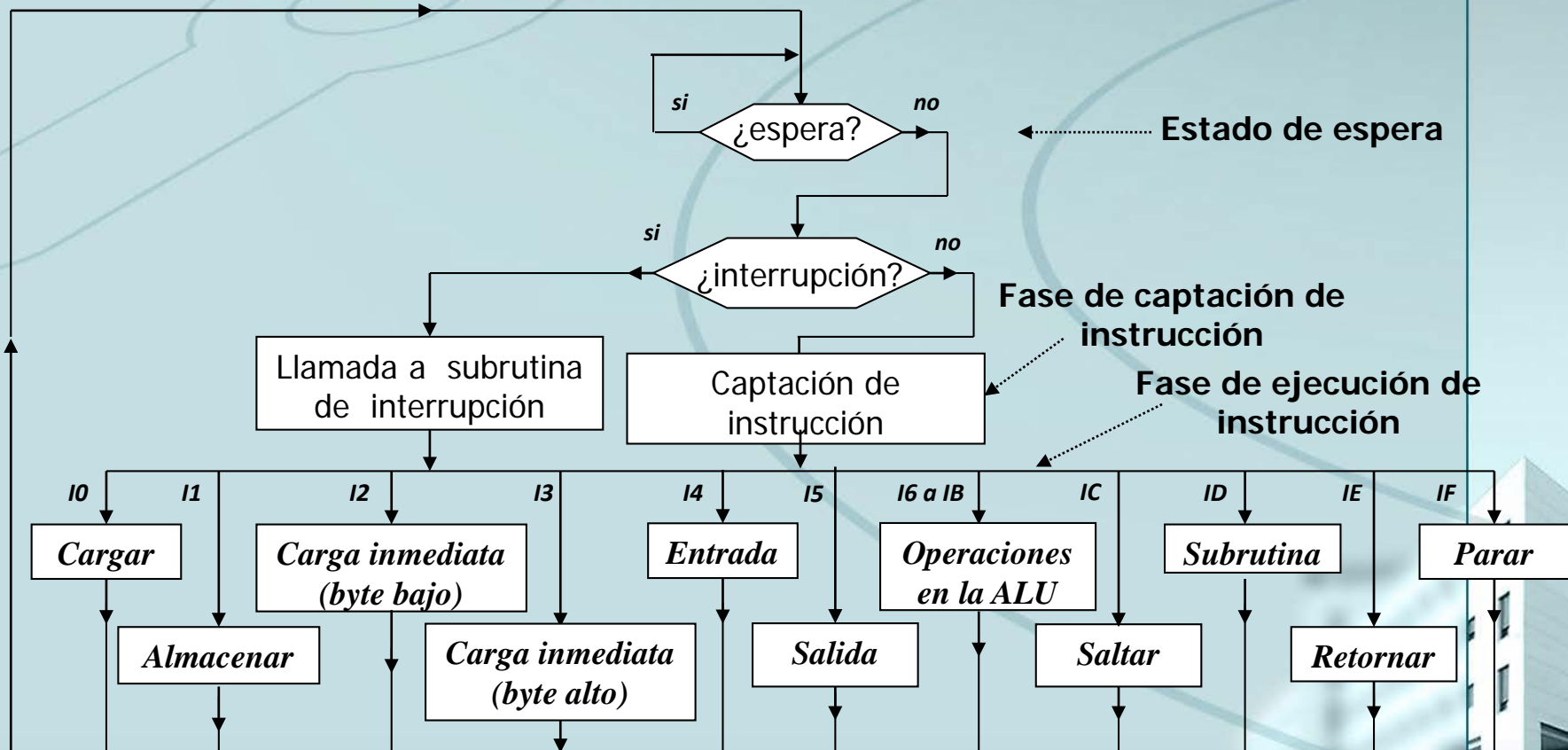
3.3 Unidad de control cableada

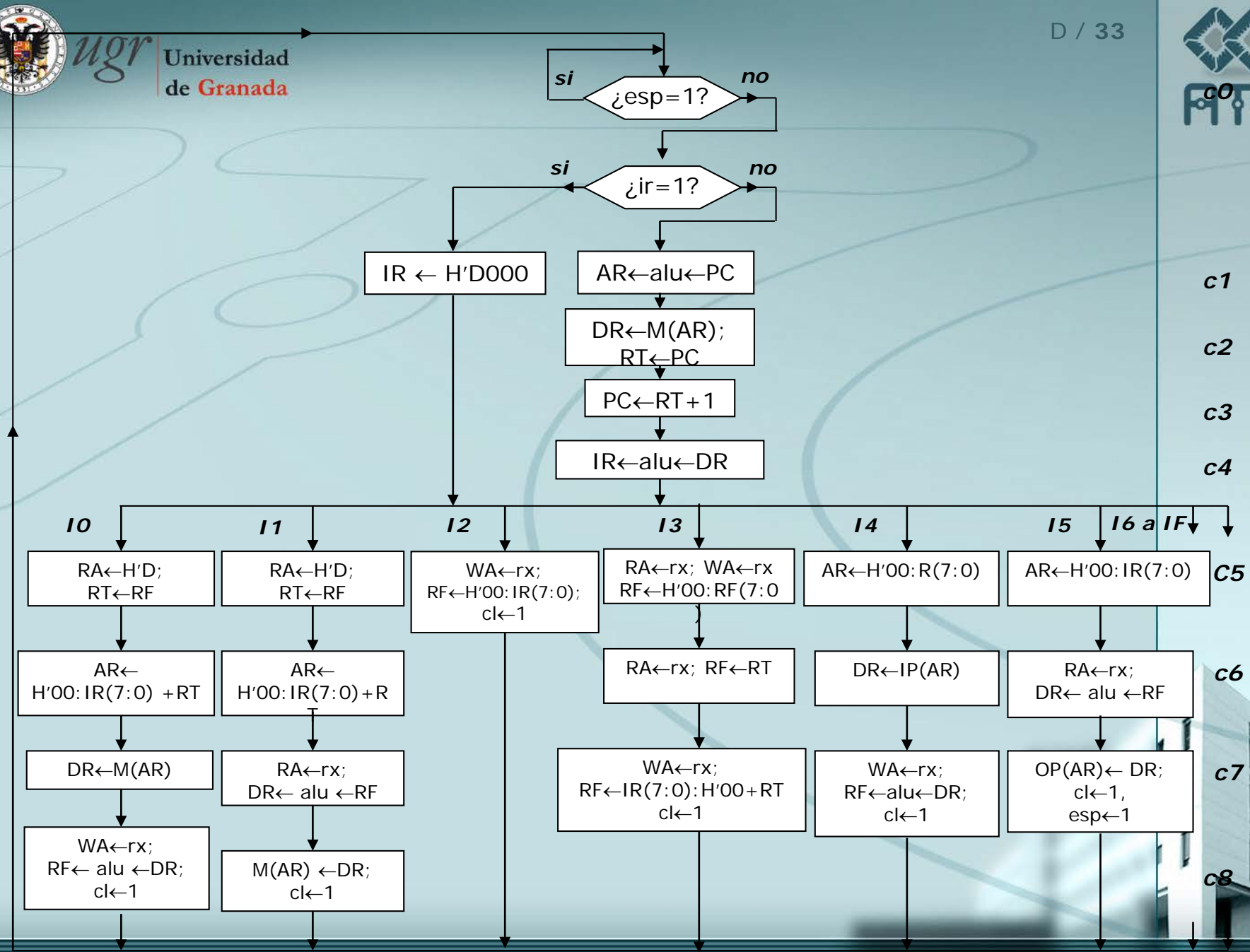
- La unidad de control de CODE-2 se ha diseñado para ejecutar el siguiente repertorio de instrucciones:

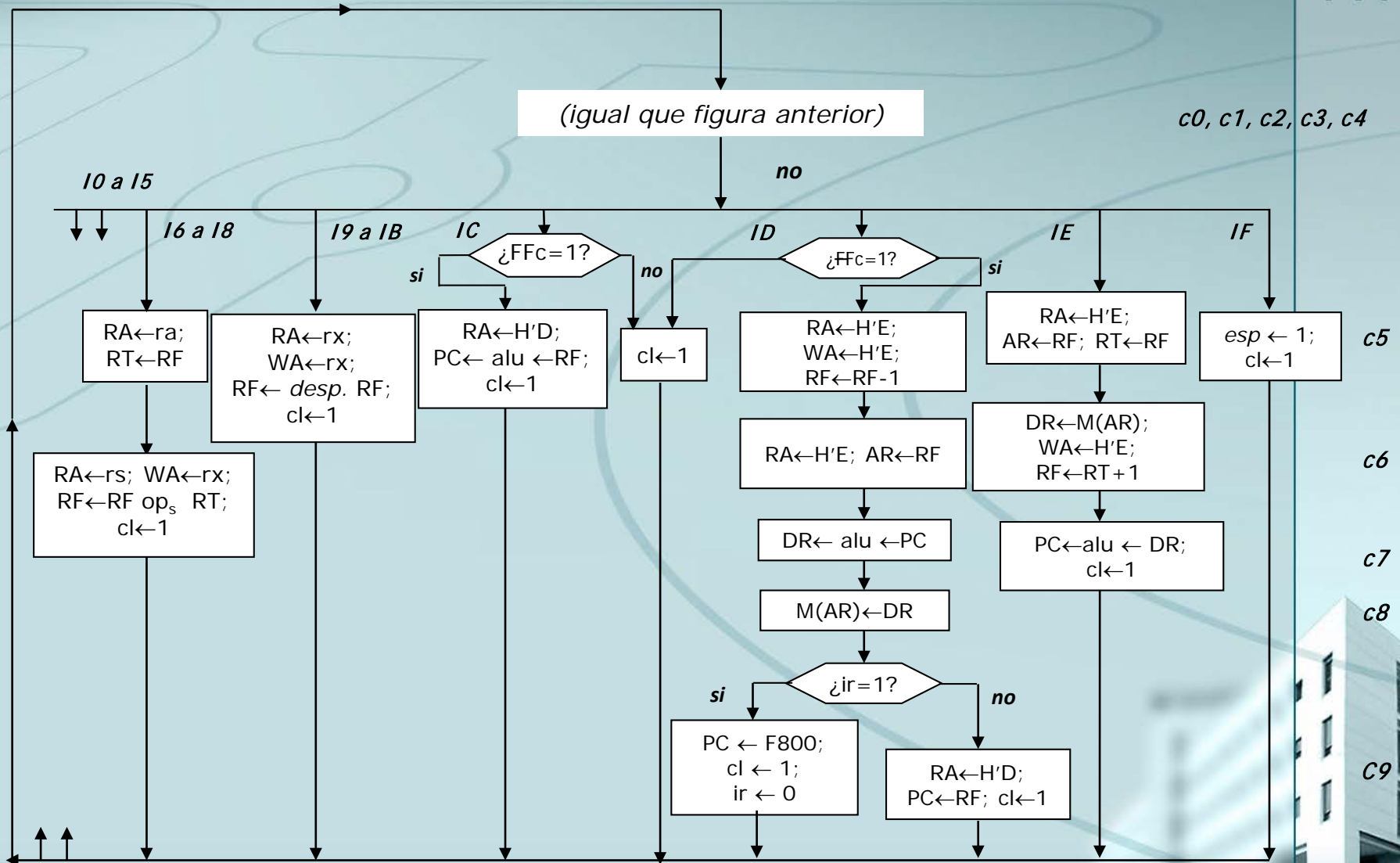
Iden.	Codop		Nombre	Explicación	Nº ciclos
	Bin	Hex			
I0	0000	0	Cargar	$rx \leftarrow M(rD+v)$	9
I1	0001	1	Almacenar	$M(rD+v) \leftarrow rx$	9
I2	0010	2	Carga inmediata baja	$rx(15:8) \leftarrow H'00; rx(7:0) \leftarrow v$	6
I3	0011	3	Carga inmediata alta	$rx(15:8) \leftarrow v$	8
I4	0100	4	Entrada	$rx \leftarrow IPv$	8
I5	0101	5	Salida	$OPv \leftarrow rx$	8
I6	0110	6	Suma	$rx \leftarrow rs+ra$	7
I7	0111	7	Resta	$rx \leftarrow rs-ra$	7
I8	1000	8	NAND	$rx \leftarrow (rs-ra)'$	7
I9	1001	9	Desplaza izquierda	$C \leftarrow rx(15), rx(i) \leftarrow rx(i-1), i=15, \dots, 1; rx(0) \leftarrow 0$	6
IA	1010	A	Desplaza derecha	$C \leftarrow rx(0), rx(i) \leftarrow rx(i+1), i=0, \dots, 14; rx(15) \leftarrow 0$	6
IB	1011	B	Desplaza arit. dcha.	$C \leftarrow rx(0), rx(i) \leftarrow rx(i+1), i=0, \dots, 14$	6
IC	1100	C	Salto	Si cnd se cumple, $PC \leftarrow rD$	6
ID	1101	D	Subrutina	Si cnd se cumple, $rE \leftarrow rE-1, M(rE) \leftarrow PC, C \leftarrow rD$	6/9
IE	1110	E	Retorno	$PC \leftarrow M(rE); rE \leftarrow rE+1$	8
IF	1111	F	Parar	Parar	6

3.3 Unidad de control cableada

- Ciclo de la unidad de control simplificado:







3.3 Unidad de control cableada

Ejemplos:

- Instrucción I0 (cargar) $rx \leftarrow M(rD+v)$
 - Estado c5: $RA \leftarrow H'D$; $RT \leftarrow RF$
 - Estado c6: $AR \leftarrow H'00:IR(7:0) + RT$
 - Estado c7: $DR \leftarrow M(AR)$
 - Estado c8: $WA \leftarrow rx$; $RF \leftarrow alu \leftarrow DR$; $cl \leftarrow 1$
- Instrucción I6 (suma) $rx \leftarrow rs+ra$
 - Estado c5: $RA \leftarrow ra$; $RT \leftarrow RF$
 - Estado c6: $RA \leftarrow rs$; $WA \leftarrow rx$; $RF \leftarrow RF + RT$; $cl \leftarrow 1$



3.3 Unidad de control cableada

- **Ejercicio 2:** Describir las microoperaciones necesarias para ejecutar las instrucciones I1e I8.



3.3 Unidad de control cableada



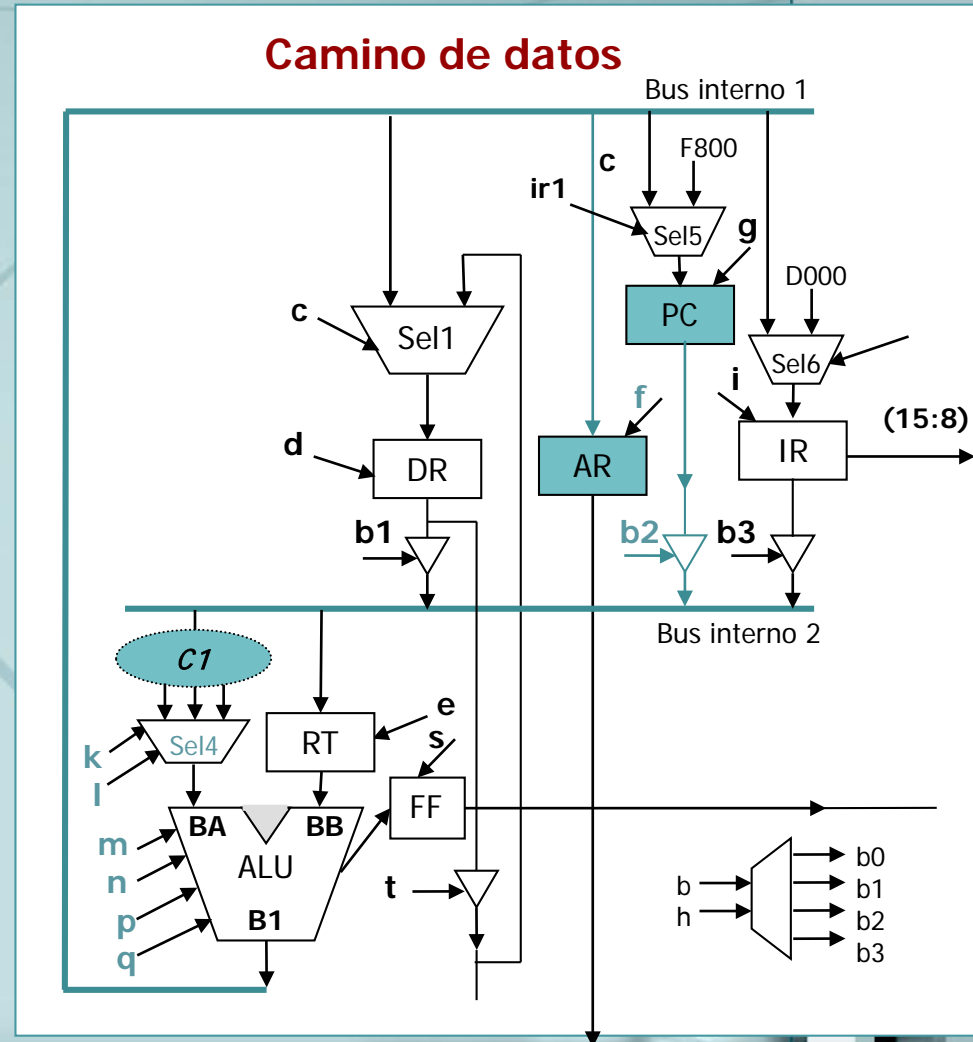
Microoperaciones	Señales a generar	Situación en que debe generarse la microoperación
$AR \leftarrow H'00\#\#IR(7:0)$	$b=h=1, k=0, l=1, m=n=p=q=0, f=1$	$c5 \cdot I4 + c5 \cdot I5$
$AR \leftarrow 00'H\#\#IR(7:0) + RT$	$b=h=1, k=m=0, n=p=1, q=0, f=1$	$c6 \cdot I0 + c6 \cdot I1$
$AR \leftarrow alu \leftarrow PC$	$b=1, h=k=j=m=n=p=q=0, f=1$	$c1 \cdot ir'$
$AR \leftarrow RF$	$a1=1, b=h=0, k=0, l=0, f=1$	$c6 \cdot ID \cdot FFc + c5 \cdot IE$
$cl \leftarrow 1$	$cl=1$	$c8 \cdot I0 + c8 \cdot I1 + c5 \cdot I2 + c7 \cdot I3 + c7 \cdot I4 + c7 \cdot I5 + c6 \cdot I6 + c6 \cdot I7 + c6 \cdot I8 + c5 \cdot I9 + c5 \cdot IA + c5 \cdot IB + c5 \cdot IC + c9 \cdot ID + c7 \cdot IE + c5 \cdot IF$
$DR \leftarrow alu \leftarrow PC$	$b=1, h=0, m=n=p=q=0, c=0, d=1$	$c7 \cdot ID \cdot FFc + c7 \cdot IE$
$DR \leftarrow alu \leftarrow RF$	$a1=1, b=h=0, m=n=p=q=0, c=0, d=1$	$c6 \cdot I5$
$DR \leftarrow IP(AR)$	$IO/M'=1, R/W'=1, c=1, d=1$	$c6 \cdot I4$
$RF \leftarrow RT + 1$	$m=p=q=0, n=1, a2=1$	$c6 \cdot IE$
$RT \leftarrow PC$	$b=1, h=0, e=1$	$c2 \cdot ir'$
$RT \leftarrow RF$	$a1=1, b=h=0, e=1$	$c5 \cdot (I0 + I1 + I6 + I7 + I8 + IE) + c6 \cdot I3$
$WA \leftarrow E'H$	$y=1$	$c5 \cdot ID \cdot FFc + c6 \cdot IE$
$WA \leftarrow rx$	$y=0$	$c5 \cdot (I2 + I3 + I9 + IA + IB) + c6 \cdot (I6 + I7 + I8) + c7 \cdot (I3 + I4) + c8 \cdot I0$

3.3 Unidad de control cableada

- Ejemplo de implementación de una microoperación:

AR ← alu ← PC

- $b_2 = 1$ ($b_h = 10$)
- $k_j = 00$
- $m = n = p = q = 0$ (BA pasa a bus 1)
- $f = 1$ para $AR \leftarrow \text{bus1}$
- Es decir:
 $b = 1, m = n = p = q = 0, f = 1$
cuando $c_1 = 1$ e $ir = 0$ ($c_1 \cdot ir'$)
- En resumen:
 $b = c_1 \cdot ir'; f = c_1 \cdot ir'$





3.3 Unidad de control cableada

- **Ejercicio 3:** Indicar las microórdenes (señales de control) necesarias para implementar las siguientes microoperaciones:

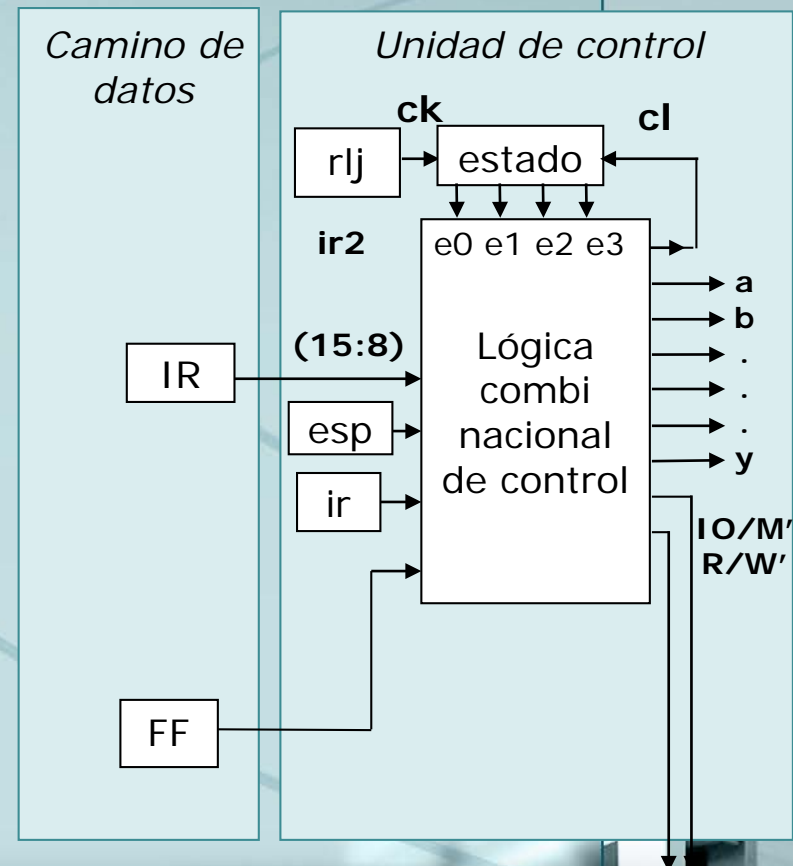
$PC \leftarrow RT + 1$ (realmente $PC \leftarrow PC + 1$)

$RA \leftarrow rx$

3.3 Unidad de control cableada

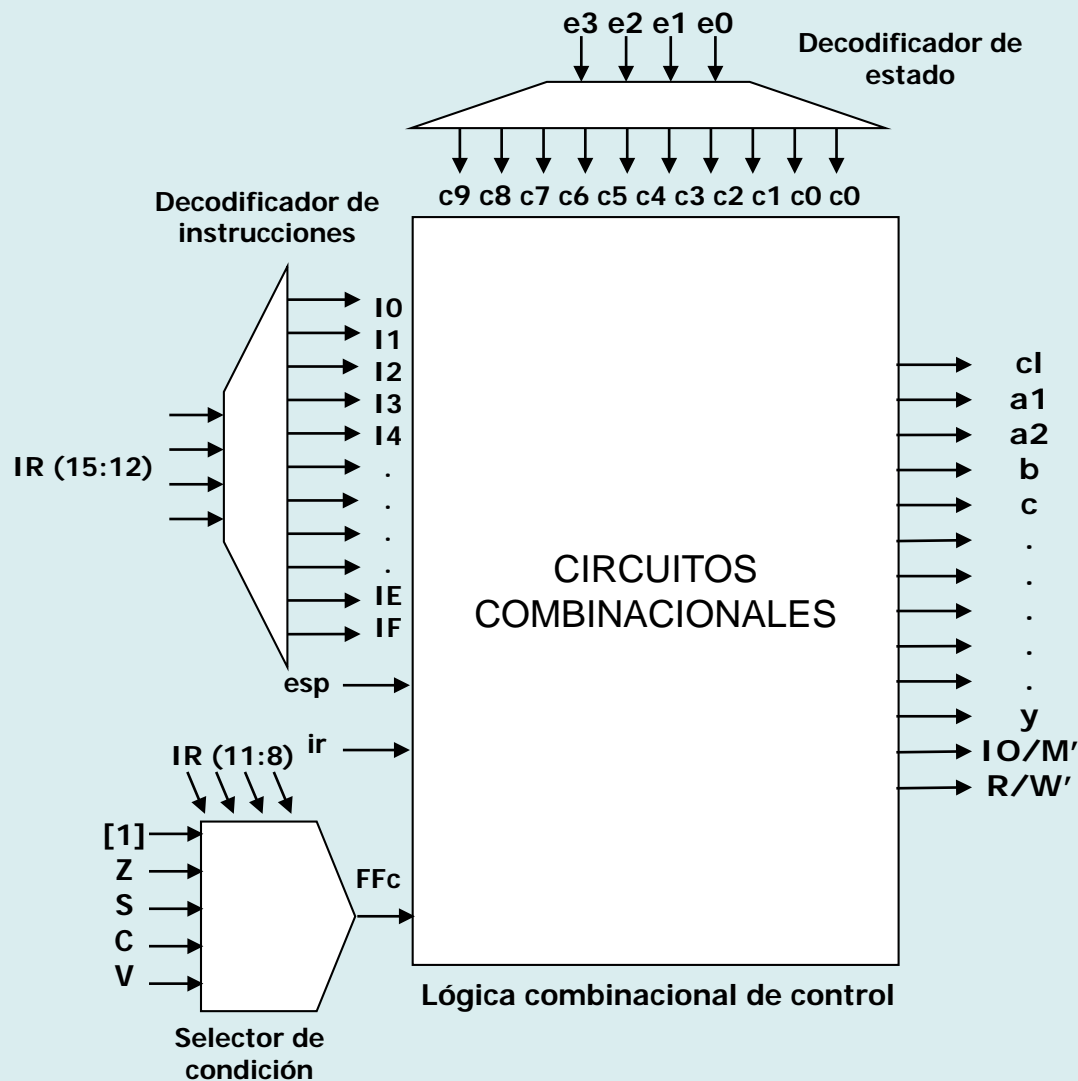
Implementación de la UC cableada:

- Entradas:
 - Estados: $c1, c2, \dots, c9$. Se implementan con un contador de 4 bits (estado) con señal clear (cl) y reloj (rlj).
 - Código de operación de la instrucción, $IR(15:12)$
 - Salidas de los biestables espera (esp) y petición de interrupción (ir)
 - Condición en las instrucciones de salto y llamadas a subrutinas, $IR(11:8)$. $FF=1$ si hay salto.



3.3 Unidad de control cableada

- Con un decodificador podemos generar los **estados** (c_0, \dots, c_9)
- Con otro decodificador podemos generar los **códigos de la instrucciones** (I_0, \dots, I_F)
- Con un MUX podemos implementar los saltos o llamadas (**FFc**). Por ej. si $IR(11:8) = 0010$ salta o llama si $S = 1$ (y $FF = 1$)
- esp , ir



3.3 Unidad de control cableada

- Hay que obtener las expresiones de las salidas (microórdenes) en función de las entradas.
- Cada microorden ($a_1, a_2, b_1, b_2, c, \dots, y, IO/M', R/W'$) será una **función de conmutación** cuyas variables de entrada serán los estados (c_0, \dots, c_9), los bits FFc , esp e ir .
- Se obtienen fácilmente a partir de la tabla de microoperaciones.
 - Buscar en la 2ª columna donde la microorden valga 1
 - Identificar la microorden con la expresión booleana de la 3ª columna
 - Repetir los pasos anteriores para todas las filas en las que la microorden valga 1 e ir añadiendo términos con el operador “+”

3.3 Unidad de control cableada

- **Ejemplo:** obtener la función de conmutación de c.
 - Buscar en la 2ª columna donde aparezca $c=1$:
$$DR \leftarrow IP(AR)$$
 - Identificar la microorden con la expresión booleana de la 3ª columna: $c = c6 \cdot I4$
 - $c=1$ vuelve a aparecer en: $DR \leftarrow M(AR)$
 - $c = c2 \cdot ir' + c7 \cdot I10 + c6 \cdot IE$
 - Ya no hay más filas en las que $c=1$
 - Función de conmutación para c:
$$c = c6 \cdot I4 + c2 \cdot ir' + c7 \cdot I10 + c6 \cdot IE, \text{ minimizando:}$$
$$c = c2 \cdot ir' + c6 \cdot (I4 + IE) + c7 \cdot I10$$
- Así se pueden obtener todas las funciones de conmutación de todas las microórdenes.



3.3 Unidad de control cableada

- **Ejercicio 4:** Obtener la función de conmutación de la microorden m.



$$a1 = c5 \cdot (I0 + I1 + I3 + I6 + I7 + I8 + I9 + I A + I B + I Dc + I E) + c6 \cdot (I3 + I5 + I6 + I7 + I8 + I Dc)$$

$$a2 = c5 \cdot (I2 + I3 + I9 + I A + I B + I Dc) + c6 \cdot (I6 + I7 + I8 + I E) + c7 \cdot (I3 + I4) + c8 \cdot I0$$

$$b = c1 \cdot ir' \cdot c2 \cdot ir' + c3 \cdot ir' + c5 \cdot (I2 + I4 + I5) + c6 \cdot (I0 + I1) + c7 \cdot (I3 + I Dc + I E)$$

$$c = c2 \cdot ir' + c6 \cdot (I4 + I E) + c7 \cdot I0$$

$$cl = c5 \cdot (I2 + I9 + I A + I B + I C + I F) + c6 \cdot (I6 + I7 + I8) + c7 \cdot (I3 + I4 + I5 + I E) + c8 \cdot (I0 + I1) + c9 \cdot I D$$

$$d = c2 \cdot ir' + c6 \cdot (I5 + I4 + I E) + c7 \cdot (I0 + I Dc + I E + c7 \cdot I E)$$

$$e = c2 \cdot ir' + c5 \cdot (I0 + I1 + I6 + I7 + I8 + I E) + c6 \cdot I3$$

$$esp_st = c5 \cdot I F + c7 \cdot I5$$

$$f = c1 \cdot ir' + c5 \cdot (I4 + I5 + I E) + c6 \cdot (I0 + I1 + I Dc)$$

$$g = c3 \cdot ir' + c7 \cdot I E + c9 \cdot I Dc$$

$$h = c4 \cdot ir' + c5 \cdot (I2 + I4 + I5) + c6 \cdot (I0 + I1) + c7 \cdot (I3 + I4 + I E) + c8 \cdot I0$$

$$i = c1 \cdot ir + c4 \cdot ir'$$

$$ir1 = c7 \cdot I E + c9 \cdot I Dc \cdot ir$$

$$ir2 = c1 \cdot ir$$

$$ir_cl = c9 \cdot I Dc \cdot ir$$

$$k = c7 \cdot I3$$

$$l = c5 \cdot (I2 + I3 + I4 + I5)$$

$$m = c5 \cdot (I9 + I A + I B) + c6 \cdot I8$$

$$n = c3 \cdot ir' + c6 \cdot (I0 + I1 + I6 + I7 + I E) + c7 \cdot I3$$

$$p = c5 \cdot (I A + I B + I Dc) + c6 \cdot (I0 + I1 + I6 + I7)$$

$$v = c5 \cdot (I0 + I1 + I3 + I9 + I A + I B + I C \cdot F Fc) + c6 \cdot (I3 + I5) + c7 \cdot I1 + c9 \cdot I Dc \cdot ir'$$

$$q = c5 \cdot (I9 + I B) + c6 \cdot I7$$

$$s = c5 \cdot (I9 + I A + I B + I Dc) + c6 \cdot (I6 + I7 + I8)$$

$$t = c7 \cdot I5 + c8 \cdot (I1 + I Dc)$$

$$u = c5 \cdot (I dc + I E) + c6 \cdot I Dc$$

$$x = c5 \cdot (I0 + I1 + I C \cdot F Fc) + c6 \cdot (I6 + I7 + I8) + c9 \cdot I Dc \cdot ir'$$

$$y = c5 \cdot I Dc + c6 \cdot I E$$

$$I0/M' = c6 \cdot I4 + c7 \cdot I5$$

$$R/W' = c$$

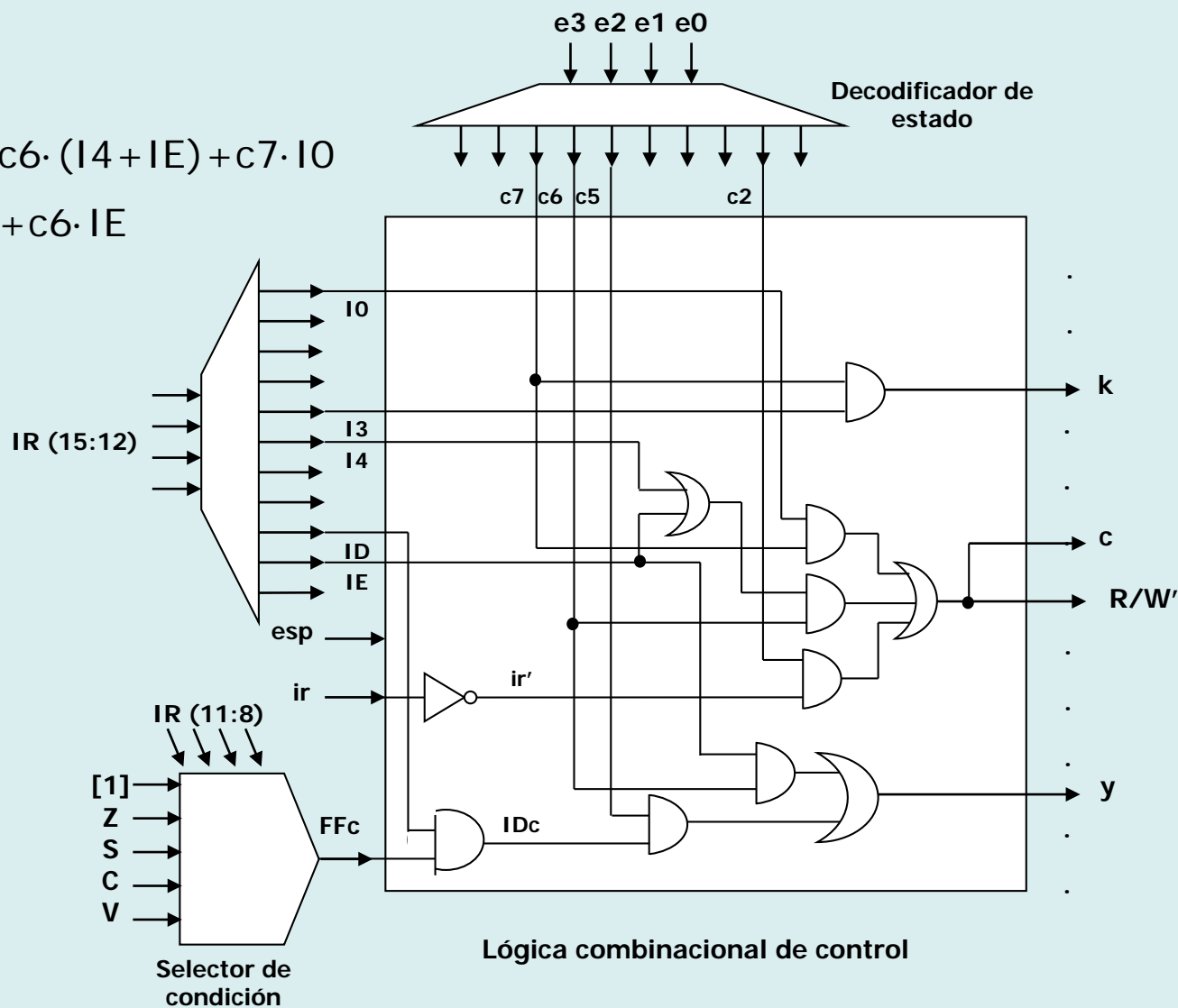
3.3 Unidad de control cableada

$$k = c7 \cdot I3$$

$$R/W' = c$$

$$c = c2 \cdot ir' + c6 \cdot (I4 + IE) + c7 \cdot I0$$

$$y = c5 \cdot IDc + c6 \cdot IE$$





ugr

Universidad
de Granada

D / 47



Tema 3. Unidad central de procesamiento (CPU)

CONTENIDOS

3.1 Introducción

3.2 Unidad de tratamiento

3.3 Unidad de control cableada

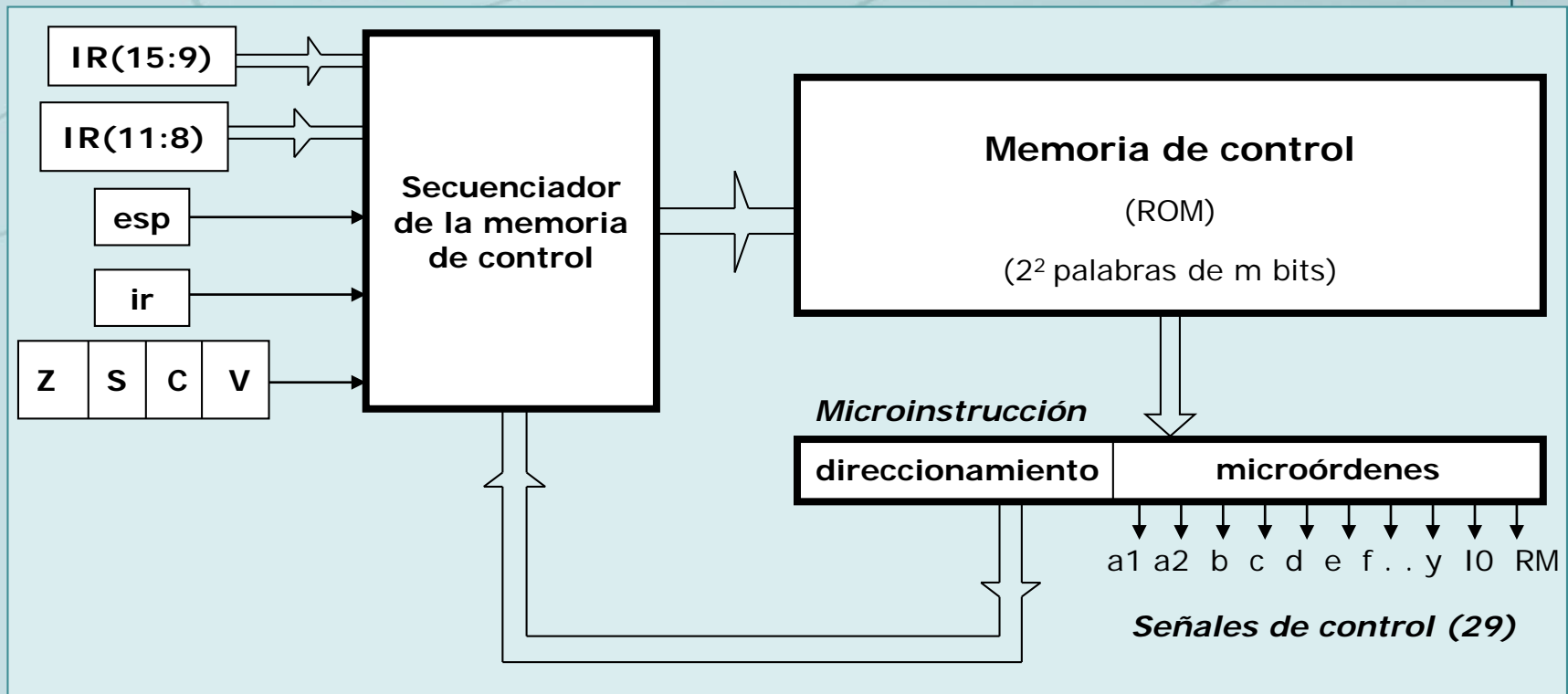
3.4 Unidad de control microprogramada

3.4 Unidad de control microprogramada

- La UC genera, en cada pulso de reloj, un vector de 29 microórdenes (señales de control).
- Se pueden grabar en una memoria ROM, llamada **memoria de control (MC)**, esos vectores.
- La UC microprogramada está formada por la memoria de control y una serie de circuitos denominado **secuenciador de la memoria de control** que genera las direcciones de las posiciones de las palabras de la memoria de control a leer.

3.4 Unidad de control microprogramada

- Esquema de la UC microprogramada:



3.4 Unidad de control microprogramada

- El **secuenciador** de CODE-2 va generando secuencias de vectores según el diagrama de flujo.
- **DMC** es el registro que almacena la dirección de la memoria de control.
- El secuenciador va generando la dirección de memoria del siguiente vector.
- Una **microinstrucción** es un conjunto de bits correspondiente a las microórdenes que se ejecutan al mismo tiempo junto con los bits que determinan la dirección de la microinstrucción siguiente.
- En cada palabra de la MC se almacena una microinstrucción.

3.4 Unidad de control microprogramada

- Campos de una **microinstrucción**:
 - **TD**, tipo de direccionamiento
 - **BE**, biestable que especifica la condición de salto
 - **DS**, dirección de salto (caso de no ser la siguiente)
 - **Microórdenes**: 29 bits (señales de control)

TD	BE	DS	Microórdenes
----	----	----	--------------

- Un **microprograma** es una secuencia de microinstrucciones que capta o interpreta una instrucción del lenguaje máquina del computador.
- Todo lo relacionado con microprogramas se denomina **firmware**.



3.4 Unidad de control microprogramada

- Tipos de direccionamiento para obtener la instrucción siguiente:

TD	Descripción	Explicación
00	$DMC \leftarrow DMC + 1$	Se incrementa en 1 el registro de dirección de MC
01	$DMC \leftarrow f[IR(15:12)]$	La dirección se obtiene en función del codop
10	$DMC \leftarrow DS$	Salto incondicional
11	Si $CS = 1$; $DMC \leftarrow DS$ Si $CS = 0$; $DMC \leftarrow DMC + 1$	Salto condicional

- Campo “condición de salto (BE)” de la microinstrucción:

BE	Biestable que impone la condición	Explicación
00	esp	Biestable de espera
01	ir	Biestable de petición de interrupción
10	FFc	Biestable indicador de la ALU (Z, S, C o V)
11		

3.4 Unidad de control microprogramada

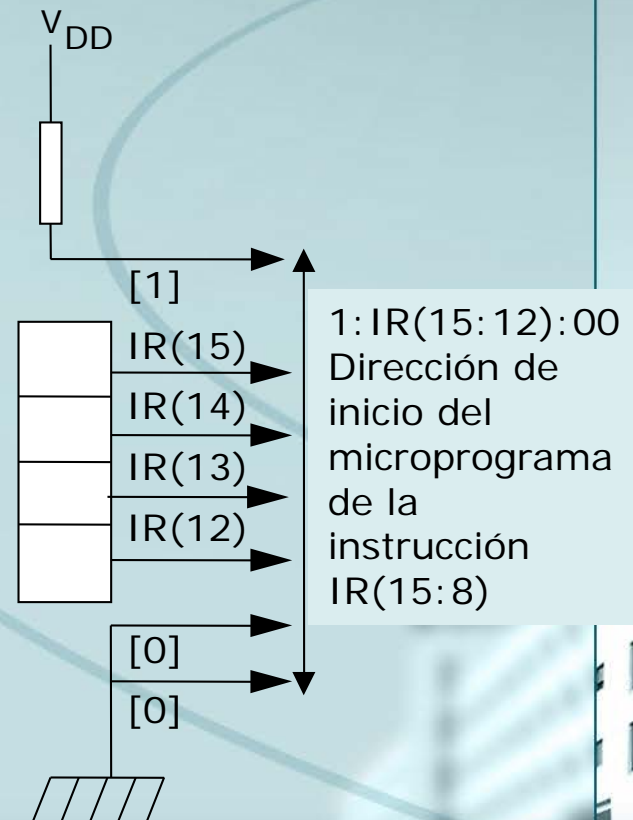
- Falta calcular la dirección de la MC, **DMC**, a partir de la que se encuentran las microinstrucciones para ejecutar cada instrucción máquina.
- **Microprograma de ejecución:** conjunto de microinstrucciones para ejecutar cada instrucción máquina.
- Se reservan para cada microprograma de ejecución 4 microinstrucciones.
- Cada microprograma de ejecución empezará en una dirección múltiplo de 4.

Instrucción	Dirección
I0	1 000000
I1	1 000100
I2	1 001000
...	...
IF	1 111100

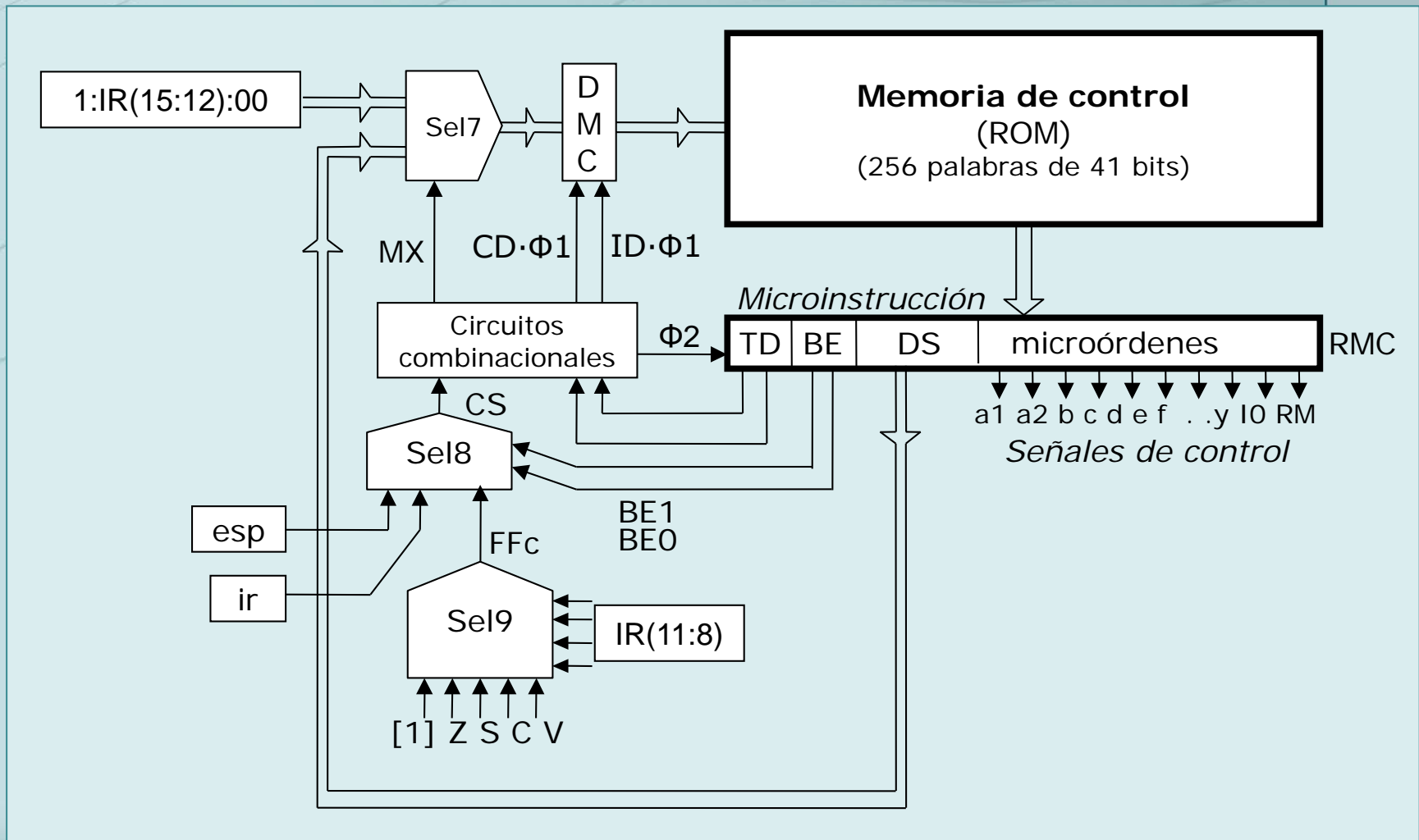
3.4 Unidad de control microprogramada

- Direcciones de los microprogramas de ejecución:

	Dirección de MC	Contenido de MC
64	1 0000 00	Microprograma instrucción I0
65	1 0000 01	
66	1 0000 10	
67	1 0000 11	
68	1 0001 00	Microprograma instrucción I1
69	1 0001 01	
70	1 0001 10	
71	1 0001 11	
72	1 0010 00	Microprograma instrucción I2
73	1 0010 01	
74	1 0010 10	
75	1 0010 11	
...	
124	1 1111 00	Microprograma instrucción IF
125	1 1111 01	
126	1 1111 10	
127	1 1111 11	



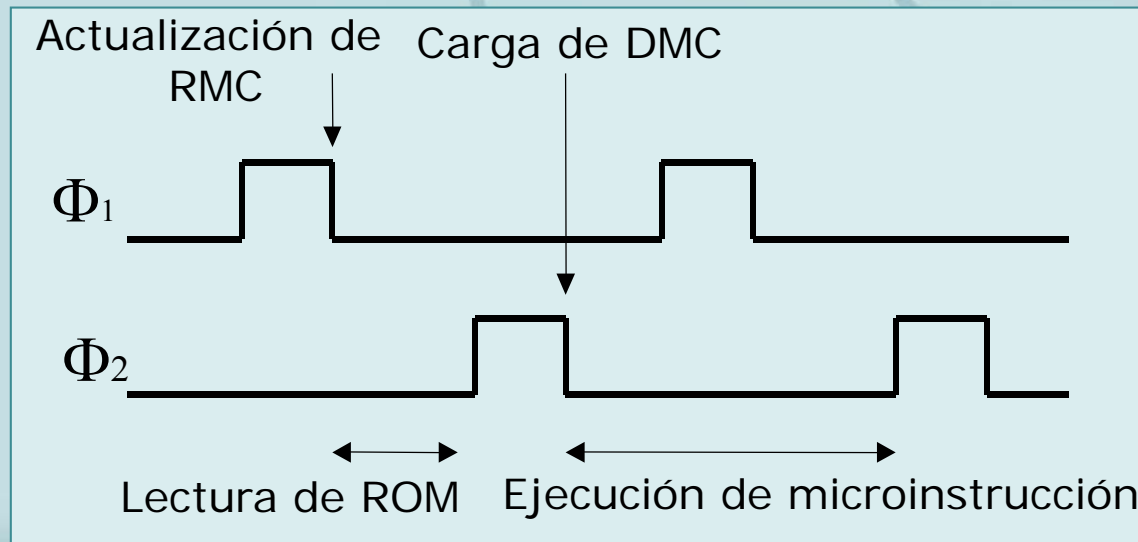
3.4 Unidad de control microprogramada



3.4 Unidad de control microprogramada

- Funcionamiento de la UC microprogramada:
 - Leer de la memoria de control la dirección DMC, y
 - Cargar RMC con la palabra leída de memoria.

No se pueden hacer a la vez. Se utilizan dos señales de reloj desfasadas (Φ_1 y Φ_2).



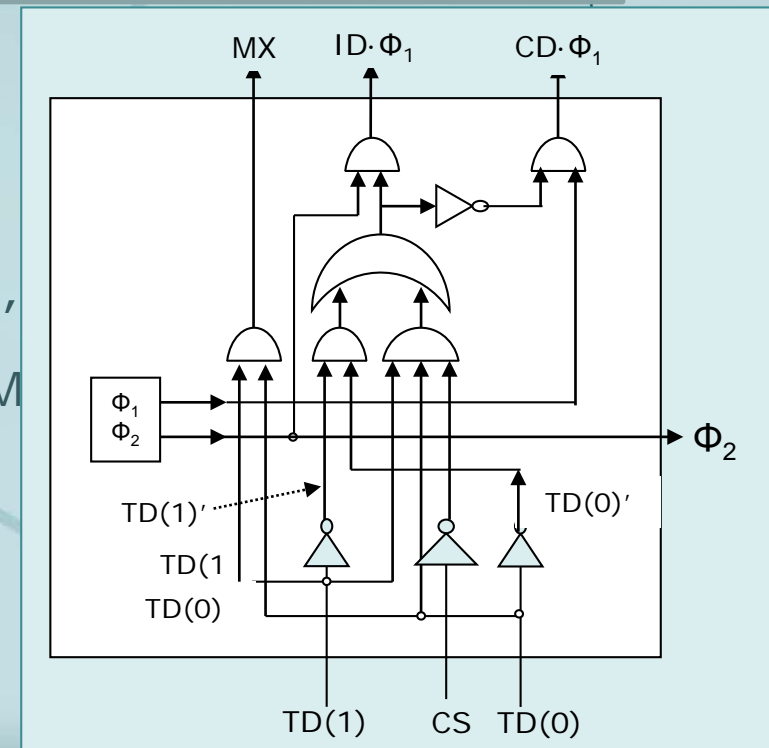
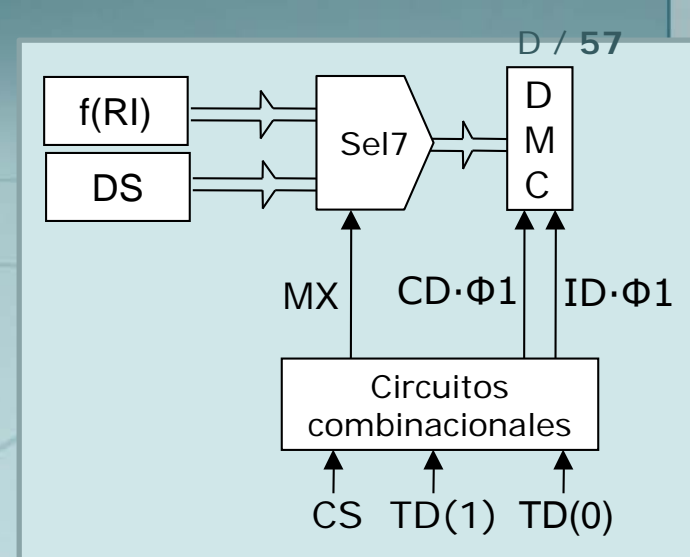
3.4 Unidad de control microprogramada

- Funciones que sintetizan la UC:
 - $MX = 1$ se carga la dirección en función del codop ($TD=01$):

$$MX = TD(1)' \cdot TD(0)$$
 - DMC debe incrementarse ($ID=1$) cuando $TD=00$ ó cuando $TD=11$ siendo $CS=0$:

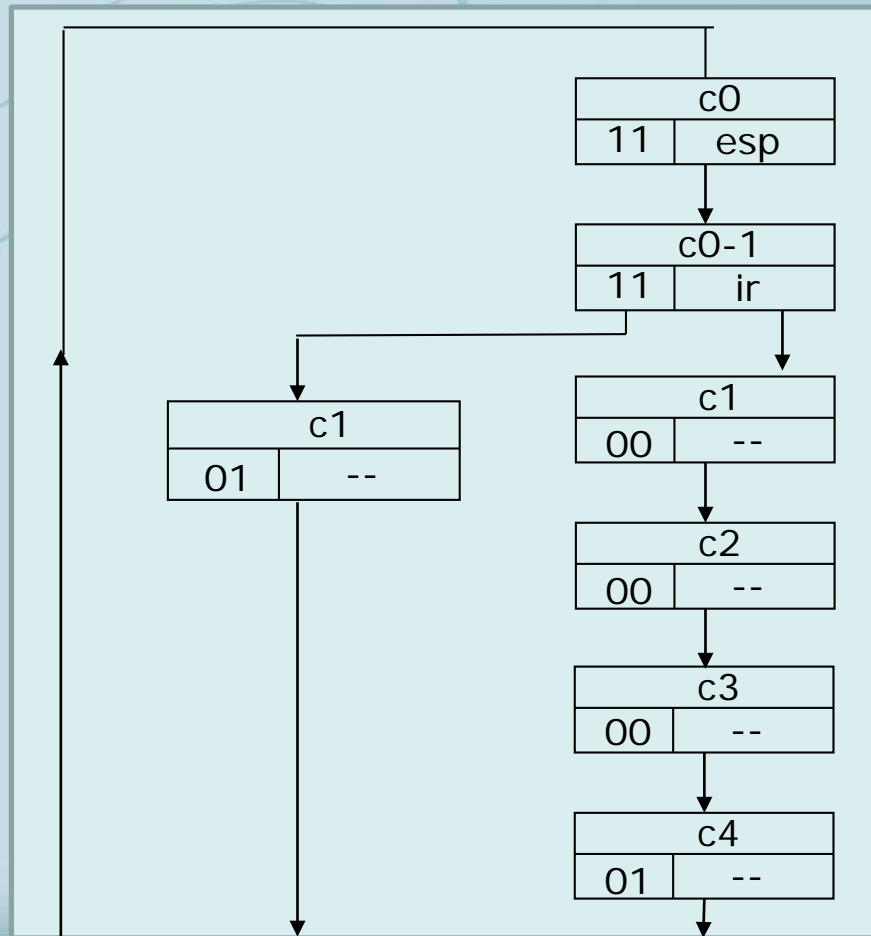
$$ID = TD(1)' \cdot TD(0)' + TD(1) \cdot TD(0) \cdot CS'$$
 - Cuando $CD=1$ se carga el registro DM y eso sucede cuando no haya que incrementar DMC, es decir:

$$CD = ID'$$



3.4 Unidad de control microprogramada

- A partir del diagrama de flujo se pueden realizar los microprogramas.



Ciclo	
TD	BE

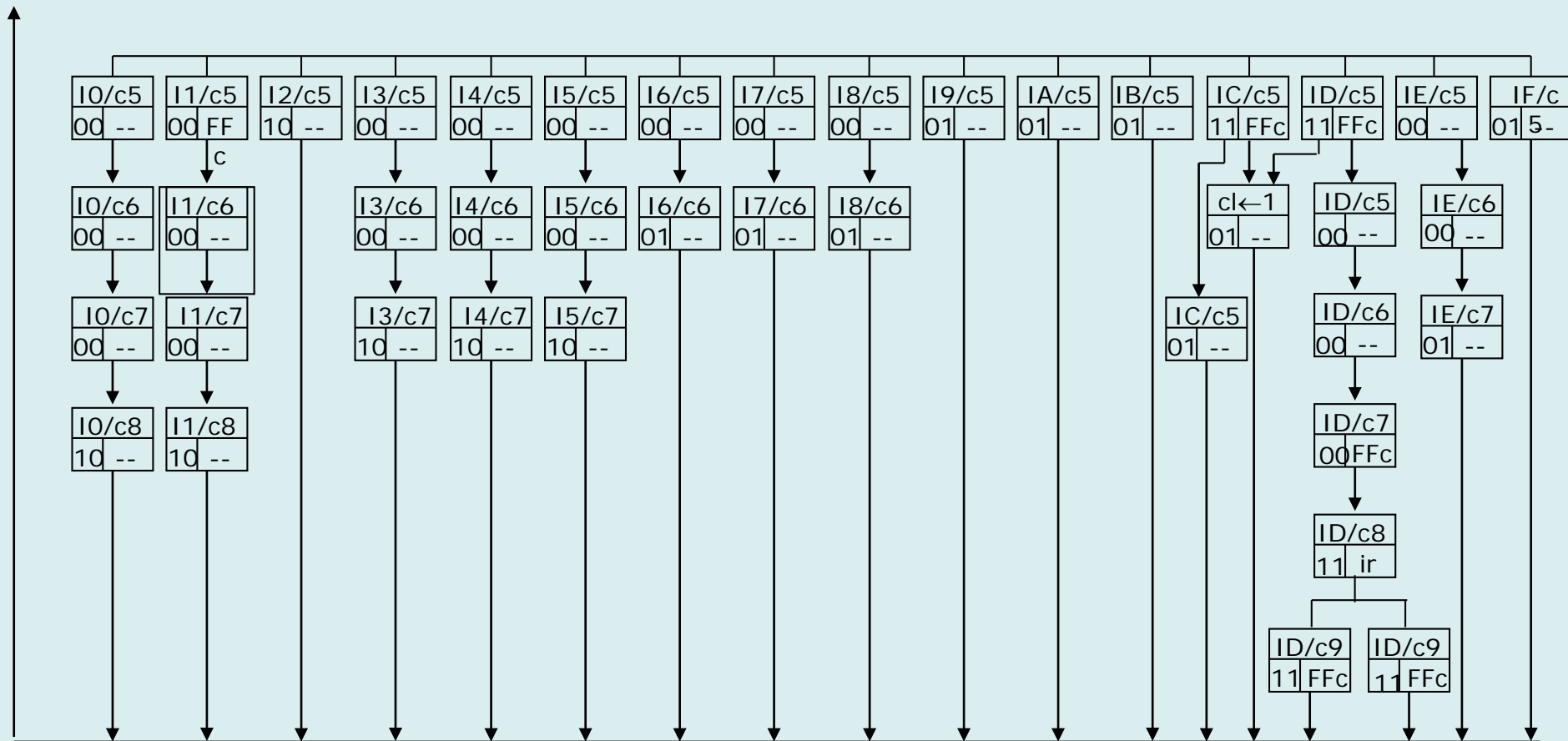


3.4 Unidad de control microprogramada

Instrucción/Ciclo

TD

BE



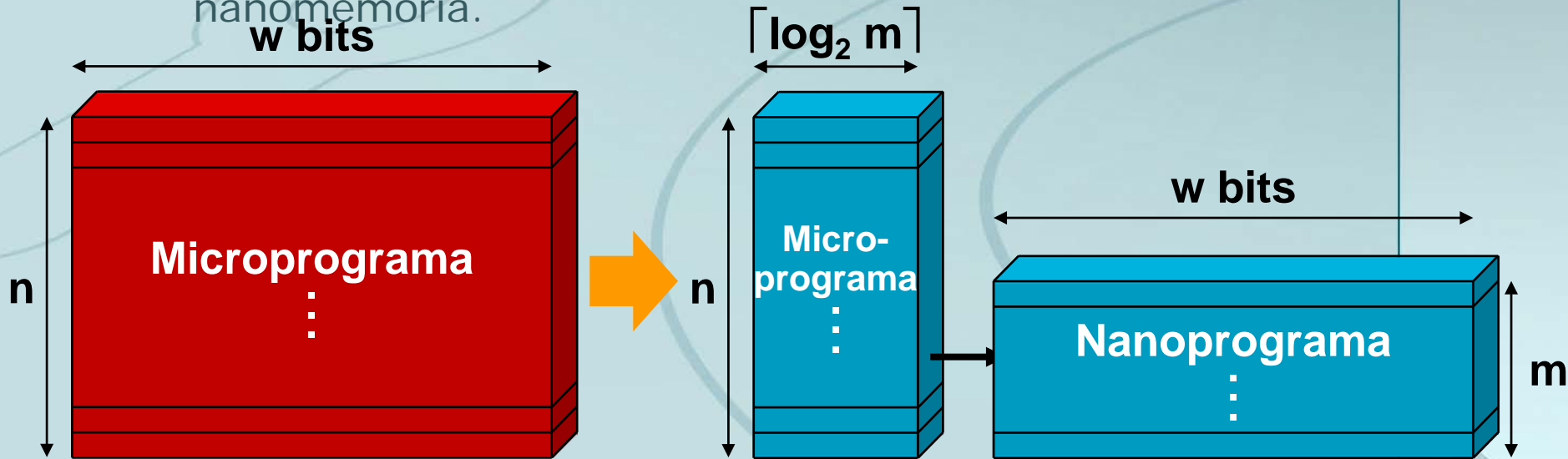
Dirección		Instrucción	Microoperación	Microinstrucción D / 61																								
				Direccionamiento			Microórdenes																					
				TD	BE	DS	a1	a2	b	c	d	e	esp	st	f	g	h	i	ir1	ir2	ir_cl	ir_st	k ...	IO/M'	R/W'			
0	0 0000 00	captación	$\zeta_{\text{esp}}=1?$	11	00	000 0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1		
1	0 0000 10		$\zeta_{\text{ir}}=1?$	11	01	000 0110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1		
2	0 0000 01		$\text{AR} \leftarrow \text{PC}$	00	--	-----	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	...	0	1	
3	0 0000 11		$\text{DR} \leftarrow \text{M}; \text{RT} \leftarrow \text{PC}$	00	--	-----	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
4	0 0001 00		$\text{PC} \leftarrow \text{RT}+1$	00	--	-----	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	...	0	1	
5	0 0001 01		$\text{IR} \leftarrow \text{DR}$	01	--	-----	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	...	0	1
6	0 0001 10		$\text{IR} \leftarrow \text{H'D000}$	01	--	-----	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	...	0	1
..																					
64	1 0000 00	10	$\text{RA} \leftarrow \text{H'D}; \text{RT} \leftarrow \text{RF}$	00	--	-----	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
65	1 0000 01		$\text{AR} \leftarrow 00\#\text{IR}(7:0)+\text{RT}$	00	--	-----	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	...	0	1	
66	1 0000 10		$\text{DR} \leftarrow \text{M}$	00	--	-----	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
67	1 0000 11		$\text{WA} \leftarrow \text{rx}, \text{RF} \leftarrow \text{DR}, \text{cl} \leftarrow 1$	10	--	000 0000	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	...	0	1	
68	1 0001 00	11	$\text{RA} \leftarrow \text{H'D}; \text{RT} \leftarrow \text{RF}$	00	--	-----	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
69	1 0001 01		$\text{AR} \leftarrow 00\#\text{IR}(7:0)+\text{RT}$	00	--	-----	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	...	0	1	
70	1 0001 10		$\text{RA} \leftarrow \text{rx}, \text{DR} \leftarrow \text{RF}$	00	--	-----	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
71	1 0001 11		$\text{M} \leftarrow \text{DR}, \text{cl} \leftarrow 1$	10	--	000 0000	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	...	0	0	
72	1 0010 00	12	$\text{WA} \leftarrow \text{rx}, \text{RF} \leftarrow 00\#\text{IR}(7:0), \text{cl} \leftarrow 1$	10	--	000 0000	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	...	0	1	
73	1 0010 01																											
74	1 0010 10																											
75	1 0010 11																											
76	1 0011 00	13	$\text{RA} \leftarrow \text{rs}; \text{WA} \leftarrow \text{rx}, \text{RF} \leftarrow 00\#\text{RF}(7:0)$	00	--	-----	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
77	1 0011 01		$\text{RA} \leftarrow \text{rx}, \text{RT} \leftarrow \text{RF}$	00	--	-----	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
78	1 0011 10		$\text{WA} \leftarrow \text{rx}, \text{RF} \leftarrow \text{IR}(7:0)\#00+\text{RT}, \text{cl} \leftarrow 0$	10	--	000 0000	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	...	0	1	
79	1 0011 11																											
..																					
124	1 1111 00	11	$\text{esp} \leftarrow 1, \text{cl} \leftarrow 1$	10	--	000 0000	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	...	0	1	
125	1 1111 01																											
126	1 1111 10																											
127	1 1111 11																											

3.4 Unidad de control microprogramada

- **Microprogramación horizontal:** en CODE-2 los bits de las microórdenes actúan directamente sobre los elementos que controlan.
- **Microprogramación vertical:** para conseguir disminuir la longitud de las microinstrucciones las señales se agrupan y codifican en campos específicos. Las señales que actúan sobre los elementos se obtienen con ayuda de decodificadores.
- La UC microprogramadas son más fáciles de diseñar y actualizar que las cableadas pero son más lentas.

Nanoprogramación

- Objetivo: reducir el tamaño de la memoria de control
 - Implica una memoria a dos niveles: memoria de control y nanomemoria.



Microprograma original
con n instrucciones de
 w bits. Tamaño = $n \cdot w$

$m \ll n$ instrucciones
únicas de 2^w posibles

Se reemplaza cada μ instrucción por su dirección en la nanomemoria
Tamaño: $n \cdot \lceil \log_2 m \rceil$

Contiene las m instrucciones diferentes (cada una se incluye una sola vez).
Tamaño: $m \cdot w$

Ahorro de memoria: $n \cdot w - (n \cdot \lceil \log_2 m \rceil + m \cdot w)$

Nanoprogramación. Ejemplo 1

0000	0000 0010
0001	0011 0111
0010	0010 0100
0011	0100 1010
0100	0000 0011
0101	0000 0010
0110	0011 0111
0111	0100 1010
1000	0100 1010
1001	0011 0111
1010	0100 1010
1011	0011 0111
1100	0000 0011
1101	0011 0111

Memoria de control
de 14×8 bits
(5 μ instr. únicas)



0000	000
0001	001
0010	010
0011	011
0100	100
0101	000
0110	001
0111	011
1000	011
1001	001
1010	011
1011	001
1100	100
1101	001

Micromemoria
de 14×3 bits



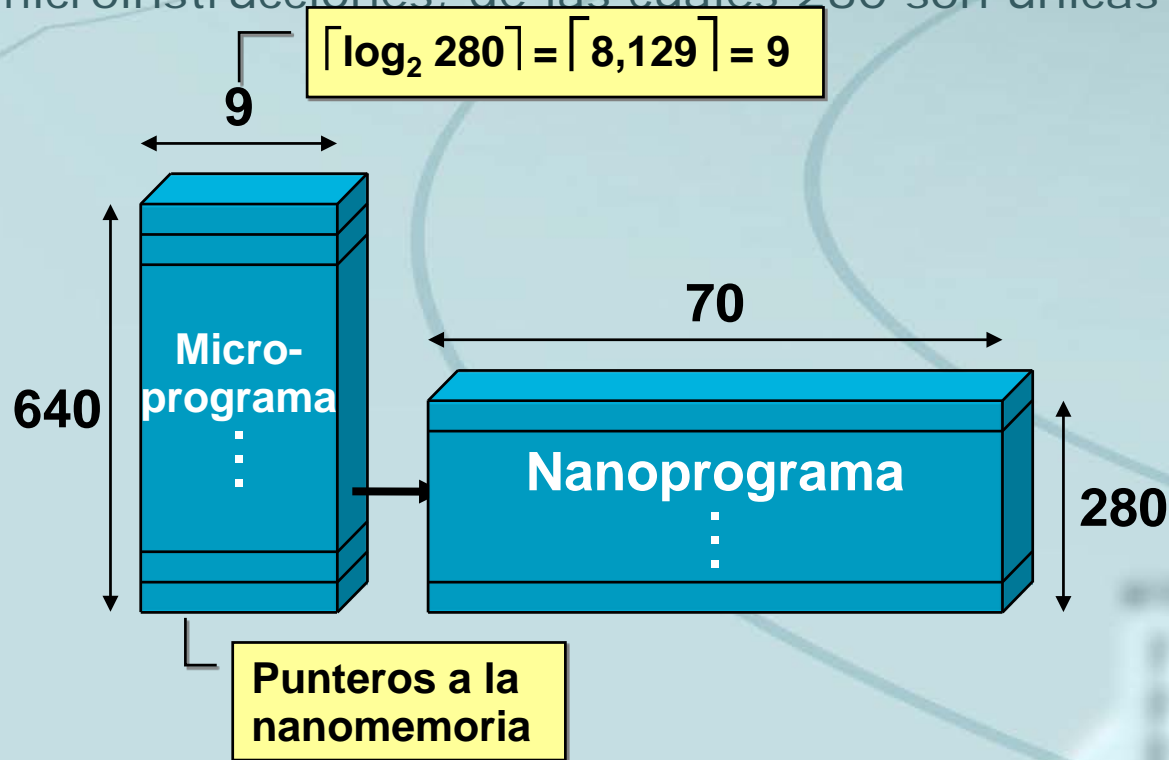
000	0000 0010
001	0011 0111
010	0010 0100
011	0100 1010
100	0000 0011

Nanomemoria
de 5×8 bits

Ahorro de memoria: $14 \cdot 8 - (14 \cdot \lceil \log_2 5 \rceil + 5 \cdot 8) = 112 - 82 = 30 \text{ bits (27\%)}$

Nanoprogramación. Ejemplo 2

- Estructura de la UC del Motorola 68000
 - 640 microinstrucciones, de las cuales 280 son únicas



Ahorro de memoria: $640 \cdot 70 - (640 \cdot 9 + 280 \cdot 70) = 44800 - 25360 = 19440$ bits (43%)