

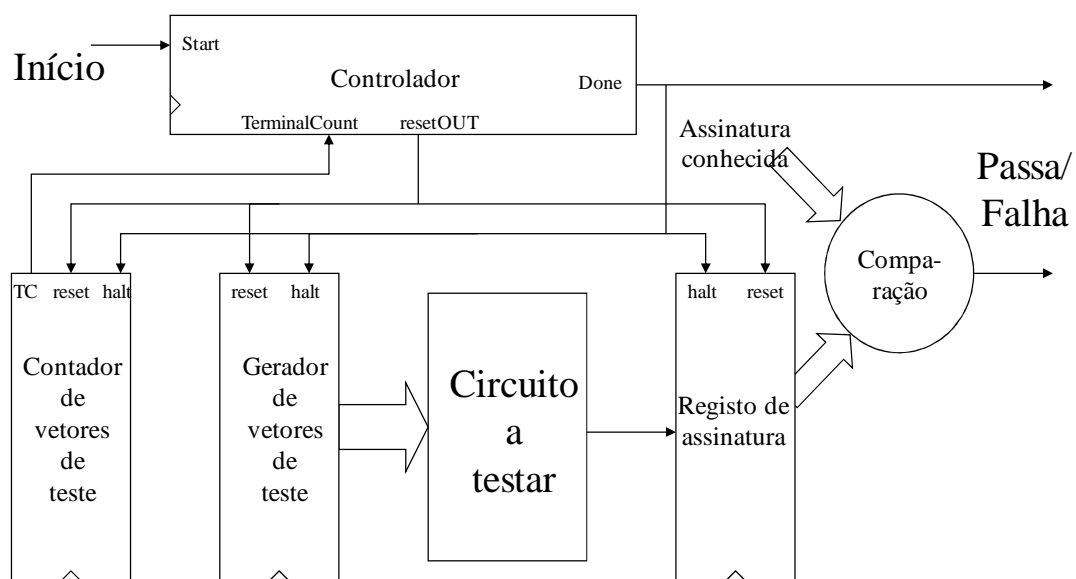
Laboratório 6 – Teste de circuitos digitais

Objetivo

O objetivo do presente trabalho é proceder ao teste de um circuito digital simples, utilizando um analisador de assinatura.

Descrição

O funcionamento do sistema que se pretende analisar pode ser descrito genericamente através da seguinte figura.



Todos os blocos referidos poderão ser implementados através do kit de experimentação com a FPGA Spartan3.

O “Circuito a testar” será, neste caso, um multiplexer de 8-para-1 com Enable (por exemplo, o módulo M8_1E da biblioteca do Xilinx).

O “Controlador”, após a receção do sinal de *Start*, gera um sinal de *resetOut* para inicializar os módulos controlados e fica a aguardar a receção de *TerminalCount*, após o que gera o sinal de *Done*. Uma implementação simplista corresponde à interligação de *Start* a *resetOut* e de *TerminalCount* a *Done*; todavia, a utilização de uma máquina de estados permitirá um interface mais robusto com um ambiente “malcomportado”.

O “Contador de vetores de teste” é um contador binário comum, que pode ser inicializado a 0 e que conta ascendente até atingir o estado de contagem correspondente ao número de vetores de teste a aplicar, situação em que a saída TC deve ser ativada, sinalizando que o teste está concluído. No caso referido do mux 8-para-1, que possui 12 sinais de entrada, este contador

terá 12 bits de contagem para um teste exaustivo, ou qualquer número inferior para testes não exaustivos ☺.

O “Gerador de vetores de teste”, numa versão simplista, pode ser o “Contador de vetores de teste” já referido, quando este gerar todos os vetores de teste possíveis (contador de 2^N). No entanto, num caso mais geral, em que seja inviável a utilização de teste exaustivo, poderá ser implementado através de um registo de deslocamento com realimentação linear autónomo, em que se garanta a inicialização com um valor diferente de zero.

Uma das estruturas comuns para o registo de deslocamento com realimentação linear é baseada na utilização de um registo de deslocamento com n elementos de memória (flip-flops), cujas saídas são designados por $a_{n-1} \dots a_0$, em que a entrada do registo (para o flip-flop a_{n-1}), designada por a_n , é obtida através de uma função de realimentação dependente de um número selecionado de saídas. A tabela seguinte apresenta um conjunto de funções normalmente utilizadas para diferentes dimensões do registo.

n	Equação de realimentação com ou-exclusivos
2	$A2 = A1 \oplus A0$
3	$A3 = A1 \oplus A0$
4	$A4 = A1 \oplus A0$
5	$A5 = A2 \oplus A0$
6	$A6 = A1 \oplus A0$
7	$A7 = A3 \oplus A0$
8	$A8 = A4 \oplus A3 \oplus A2 \oplus A0$
12	$A12 = A6 \oplus A4 \oplus A1 \oplus A0$
16	$A16 = A5 \oplus A4 \oplus A3 \oplus A0$
20	$A20 = A3 \oplus A0$
24	$A24 = A7 \oplus A2 \oplus A1 \oplus A0$
28	$A28 = A3 \oplus A0$

em que \oplus : significa ou-exclusivo

Relativamente ao “Registo de assinatura”, como normalmente, pode ser implementado através de um registo de deslocamento com realimentação linear não autónomo, em que a saída do “Circuito a testar” é introduzida no registo de deslocamento através do ou-exclusivo com a função de realimentação atrás referida.

Parte I - Arquitetura

Com base no enunciado, cada grupo deve definir a arquitetura que irá utilizar, nomeadamente caracterizar as dimensões dos registos e do contador, bem como o controlador.

Parte II - Simulação

Com o objetivo de vir a determinar qual a “Assinatura conhecida” associada a um circuito em funcionamento sem falhas, utilize o ambiente ISE da Xilinx, tendo o kit distribuído como plataforma de implementação, proceda à edição do sistema incluindo o “Circuito a testar”, excluindo a comparação final para determinação de “Passa/falha”.

Com recurso à simulação do circuito, determine qual a assinatura associada a um circuito em bom funcionamento (“Assinatura conhecida” na figura).

Parte III – Detecção de falhas

Considere vários circuitos a testar, correspondentes a multiplexers defeituosos.

Proceda à simulação e conclua sobre as capacidades da arquitetura seleccionada (na Parte I) para detetar as várias falhas.

Bom trabalho.