

Laboratório 2 – 1º Trabalho de avaliação

Aulas para realização:

Duas aulas - Aulas de 5 a 16 de Outubro de 2015

O relatório final do trabalho deverá ser entregue até dia 25 de Outubro de 2015, **23:50**, na página moodle da disciplina, sendo constituído por dois ficheiros “zipados”. O primeiro desses ficheiros contém a versão eletrónica do relatório (pdf ou doc) acompanhada pelos ficheiros VHDL utilizados para simulação e implementação e ficheiro UCF (só estes). O segundo desses ficheiros “zipados” deverá incluir o “*datasheet*” e o código VHDL associado (de acordo com o enunciado que se segue).

- O relatório+*datasheet* deverá ser entregue em papel e em mão a um dos docentes da disciplina na semana de 26 de Outubro na aula prática ou no gabinete (não deixar na secretaria, nem enfiar por debaixo da porta), desde que se tenha garantido o envio eletrónico dentro do prazo.

- O relatório final do trabalho deverá incluir informação sobre a solução desenvolvida, a sua análise, implementação e resultados. Não deverá incluir “introduções teóricas”.

- O *datasheet* deverá incluir informação técnica específica, em que fique claro o modo de utilizar o componente resultante do projeto (o objetivo é o de disponibilizar o componente resultante do projeto para utilização por outros grupos).

A nota final do trabalho considera o relatório (30%), a solução técnica (30%), a apresentação/discussão (30%) e o *datasheet*+IP disponibilizado (10%).

Entrega de documento de especificação preliminar:

No sentido de garantir a preparação adequada do trabalho, até ao final da primeira aula deverá ser entregue em papel (pode ser manuscrito) e em mão ao docente do turno um documento de especificação preliminar do trabalho a realizar.

Este documento de especificação preliminar é um documento de trabalho, onde o grupo define as características mínimas do sistema que se propõe desenvolver, identificando entradas e saídas e características da saída vídeo.

Período para apresentação/discussão:

A combinar com o grupo aquando da entrega do relatório do trabalho (em mão).

Sobre a atitude:

O enunciado proposto caracteriza versões possíveis do sistema; no entanto, melhoramentos (justificados!) são bem-vindos e encorajados! Cada grupo deverá incluir (no início do relatório) uma caracterização breve e clara do sistema que irão realizar.

Procedimento:

O sistema deverá ser decomposto em parte de controlo e parte de dados. A solução proposta deverá ser simulada, implementada e validada.

Este trabalho pode ser considerado como um módulo a ser integrado com o segundo trabalho de avaliação, tendo embora uma caracterização autónoma. Esta primeira parte (parte A) corresponde à implementação de um gerador de sinais VGA, enquanto a parte B corresponderá a um sistema digital de controlo dedicado (que poderá utilizar os resultados da parte A, nomeadamente a saída VGA para apresentar informação).

Para a implementação está disponível uma placa didática de experimentação com uma FPGA Spartan3 XC3S200, produzida pela Digilent e na posse de cada grupo de trabalho. Os recursos presentes na placa são suficientes para a realização dos projetos; quer isto dizer que, para além da ligação dos cabos de alimentação, configuração e as interfaces necessárias (VGA), não será necessário proceder a nenhuma ligação extra (isto tem como consequência a necessidade de caracterizar o sistema considerando unicamente os recursos existentes na placa).

Caso o número de sinais de entrada e de saída necessário para a implementação do sistema seja superior ao número de sinais disponíveis na placa didática, deverá ser incluído um bloco que permita a multiplexagem de entradas e/ou saídas, sob controlo de um (ou mais) interruptor(es) (por exemplo, quando os interruptores A e B da placa estiverem em “00”, então os interruptores F e G representam os sinais da entrada 1, quando estiverem em “01” representam os sinais da entrada 2, e por aí adiante; o mesmo se poderá aplicar em relação à utilização dos displays de 7-segmentos, caso utilizados).

Desta forma, o sistema a desenvolver poderá ser constituído por dois componentes interligados: um correspondente ao gerador de sinais VGA propriamente dito (que também será disponibilizado como componente para utilização por outros, e do qual se deverá produzir o *datasheet*), e um outro correspondente ao adaptador para aquisição dos valores de configuração do que se pretende visualizar (e de como se pretende visualizar).

A solução a implementar deverá ser codificada completamente em VHDL.

Será necessário proceder à simulação do sistema globalmente, recorrendo ao ambiente de desenvolvimento ISE da Xilinx e ao seu simulador.

Parte A

Implementação de uma interface VGA

O objetivo é de gerar os sinais de uma interface VGA através da placa de experimentação com a FPGA Spartan3. A interface permite a geração de um número muito limitado de cores (uma vez que só dispõe de um bit por componente de cor RGB, permite gerar oito cores distintas), mas perfeitamente suficiente para os objetivos a alcançar.

O manual que acompanha o kit de experimentação contém informação introdutória sobre como gerar um sinal de VGA.

O objetivo mínimo da parte A é o de apresentar (pelo menos) quatro dígitos num monitor VGA. Cada dígito poderá ser fornecido através da sua representação BCD8421 (por exemplo), ou outra. Opcionalmente, poderão ser apresentados mais dígitos e/ou caracteres, bem como utilizado uma ROM de caracteres ASCII (na pagina moodle está disponível a ROM do CP 850 considerando uma matriz de 8x16 pontos).

Opcionalmente, as posições de apresentação de cada um dos dígitos, bem como um fator de escala associado ao dígito apresentado ou a sua cor, poderão ser fixas ou indicadas através de entradas do módulo.

Cada grupo necessita de definir as características do que quer apresentar, bem como as resoluções que pretende suportar na saída VGA.

Para além do relatório final do trabalho, deverá ser apresentado o “*datasheet*” do módulo gerado, como anteriormente referido, de forma a permitir a qualquer outro grupo reutilizar o módulo desenvolvido como componente externo.