

Logički dizajn – Zadaća 2.

Zadaća 2 nosi šest bodova. Pri predaji zadaće potrebno je naznačiti sve fajlove brojem zadatka. Naznačiti ulaze i izlaze u Logisimu. Zadaća se predaje putem Zamgera (zapakovati sve fajlove u jedan .zip fajl).

Rok predaje: 23.01.2024. 23:59

Zadatak 1 (1 bod):

Projektovati kolo koje sinhrono očitava sekvencu bita na ulazu, a na izlazu daje 1 kada očita sekvencu "10101" ili "10011" koristeći:

a) **Mealy** automat

b) **Moore** automat

Međusobno preklapajuće sekvence se prihvataju.

Zadatak 2 (2 bod):

Projektovati i simulirati u Logisimu logičko kolo koje na ulazu prima sekvencu impulsa koja predstavlja niz oktalnih cifri, i koje ima jednobitni izlaz čija je vrijednost 0 ukoliko je detektovan veći broj (modulo 16) parnih od neparnih cifri u sekvenci, u protivnom vrijednost izlaza je 1.

Zadatak 3 (1 bod):

Prikazati raspored i ulogu polja bita adrese za četverostruko grupno-asocijativni keš kapaciteta 4MB za 64-bitnu memoriju kapaciteta 8GB. Veličina bloka je 8 riječi.

Zadatak 4 (1 bod):

Za sljedeće mikroinstrukcije oglednog procesora napisati da li su validne. Ako nisu napisati zašto nisu, a ako jesu napisati vrijednosti svih kontrolnih signala mikroinstrukcije.

a) **mar := a; a := mbr + a; wr**

b) **mar := lshift(mbr + a); if z then goto A1**

Zadatak 5 (1 bod):

Koristeći mikroarhitekturu oglednog procesora, napisati, u minimalnom broju mikroinstrukcija, mikrokod faze izvršenja **CONDADD** instrukcije koja će pročitati podatak sa memorijske lokacije specificirane sa donjih 12 bita instrukcije, sabrati pročitano vrijednost sa vrijednošću AC registra, i ukoliko je rezultat negativan spremi ga u AC registar.

CONDADD će zamijeniti trenutnu **JNEG** (opkod 1100) instrukciju oglednog procesora.

Modifikovati mikrokod oglednog procesora u Logisimu.