

# Entrega Lab 2 ADAV

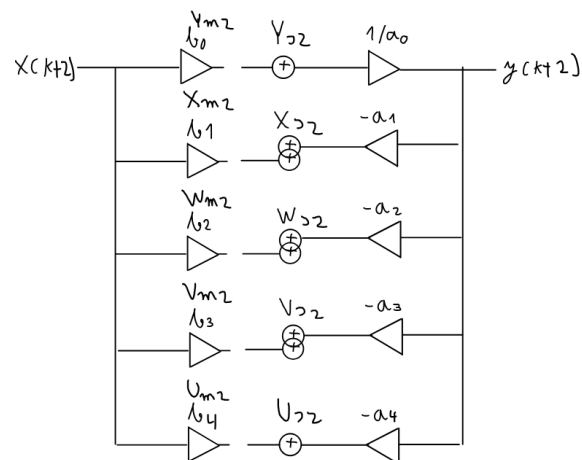
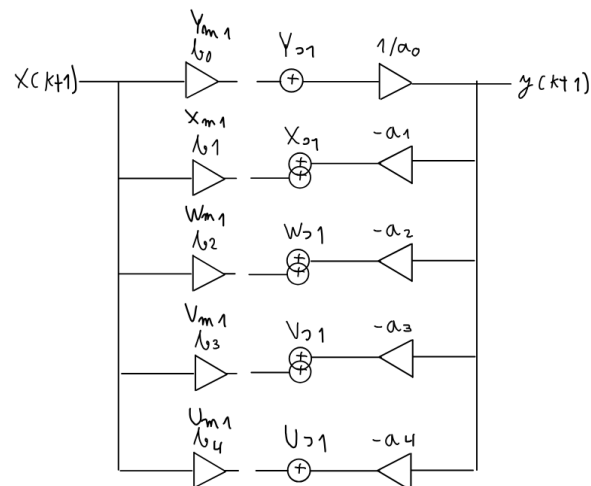
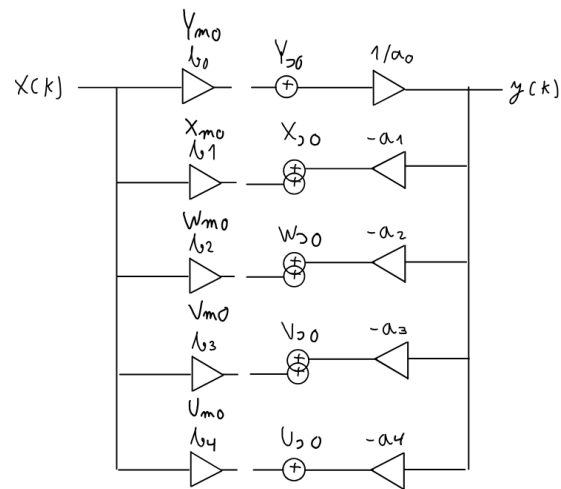
## Bloque A

Daniel Muñoz Zurrunero

Los registros añadidos por esta línea también deberán reorganizarse en el unfolding.

## Unfolding

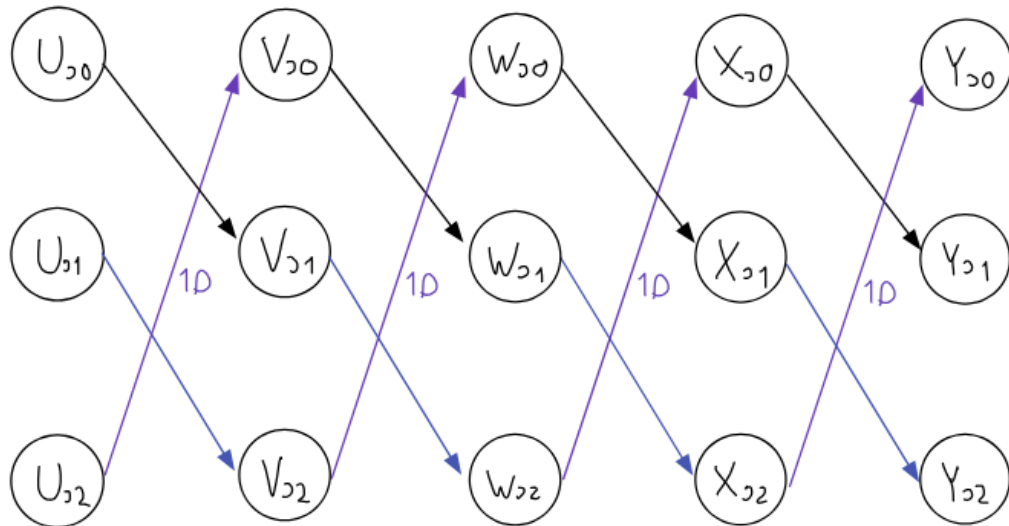
Tras triplicar la parte combinacional del circuito y eliminar los registros del mismo para luego reorganizarlos nos queda el siguiente circuito, cuyas partes separadas han sido nombradas en su parte superior mediante las letras U, V, W, X e Y y con sufijos s para la generación de SV y m para los multiplicadores:



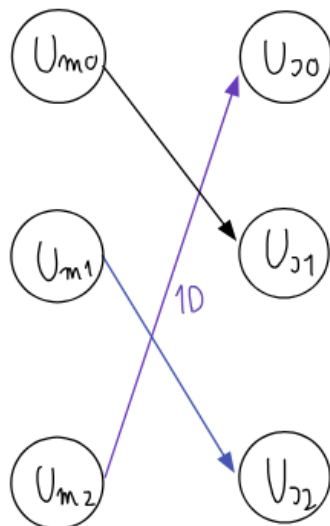
Partiendo de este circuito, se ha aplicado la fórmula de unfolding:

$$U_i \rightarrow V_{(i+w)\%J} \text{ with } \left\lfloor \frac{i+w}{J} \right\rfloor$$

Dando esta los mismos resultados para todas las conexiones, ya que todas eran  $J = 3$  con  $w = 1$  delay:



Pipeline:



Siendo el diagrama que observado en el pipeline entre  $U_m$  y  $U_s$  aplicable para los otros 4 pipelines del circuito.

# Cambios en el código

## Interfaces de entrada y salida

Las interfaces de entrada y salida se han adaptado para recibir y enviar tres muestras por ciclo de cálculo a la vez, multiplicándose su número de entradas y salidas por tres.

## Datapath

El datapath ha sido el módulo más modificado, ya que es el que contiene toda la lógica de cálculo.

Por un lado, se ha añadido un proceso síncrono para los 5 registros del pipeline, la cual se actualiza cada pulso de reloj sin ninguna señal de enable.

Por otro lado, se ha añadido otro proceso síncrono para los registros de generación de las SV del circuito 0, estos ya con un enable a modo de señal de estado procedente del control, ya que en el circuito original también tenían una habilitación mediante dicha señal.

Por último, se ha eliminado la señal flags, ya que en esta práctica no tiene ningún efecto, aunque este cambio no ha sido vital para el correcto funcionamiento de la práctica.

## Control

La unidad de control apenas ha sufrido cambios, siendo el único destacable el cambio de la señal comandos de la PA0 por un std\_logic de estado similar al cambio realizado en la PA1, ya que no hace falta más que 1 bit para realizar el cambio de estado y comunicárselo al datapath. Este cambio podría no haberse realizado, ya que no era necesario para el correcto funcionamiento del sistema.

Por último, al igual que en el datapath, también se ha eliminado la señal flags.

## top

En el módulo top simplemente se han añadido las señales extra de entrada y salida y se ha cambiado la señal comandos por estado.

# Simulación y resultados

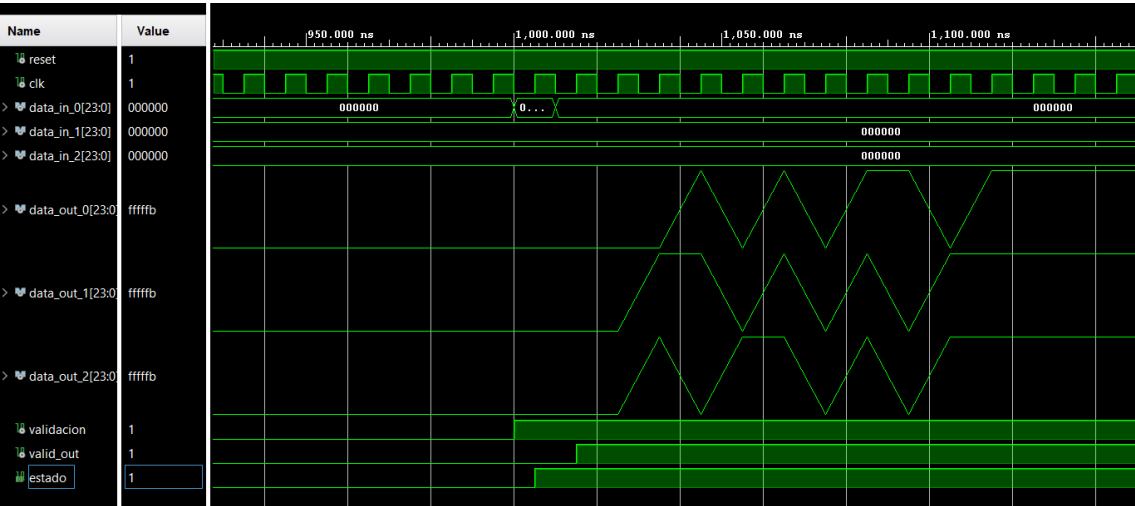
## Modificaciones en la simulación

La simulación se ha mantenido similar a la de la PA0, enviándose un pulso a modo de cambio en la entrada número 0 durante solo un pulso de la señal de reloj, manteniéndose el resto de las entradas a 0 durante toda la simulación. Además, se ha

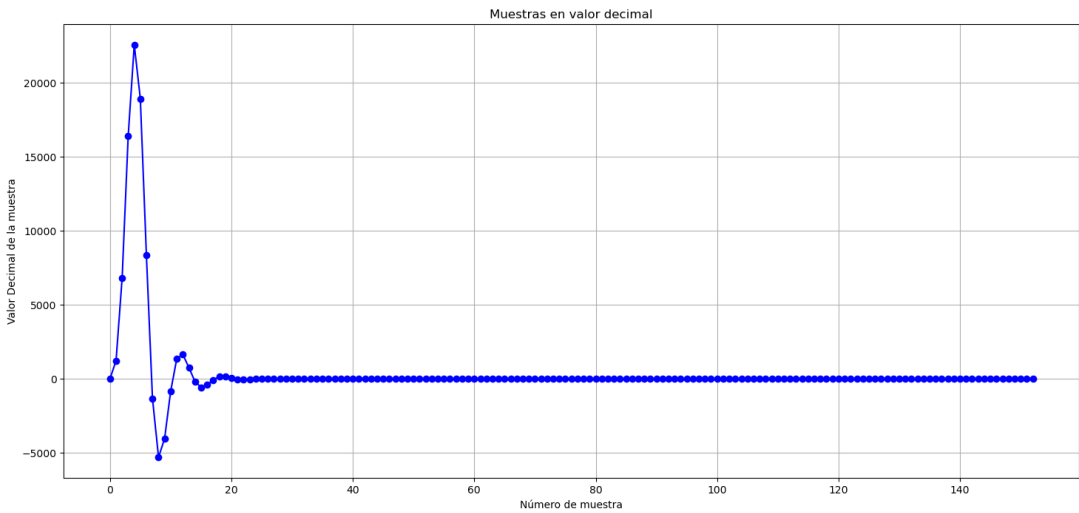
cambiado la lógica de almacenamiento de las muestras en un fichero de texto para que se almacenen las de los tres canales a la vez.

## Resultados

A continuación, se muestran los resultados de la simulación para una transmisión, observándose que tres muestras son procesadas a la vez:



Debido a que la visualización del comportamiento del filtro es complicada de observar así, se ha creado un script de Python también adjunto a la práctica que lee el fichero f\_out.txt y lo visualiza a modo de gráfica, observándose el siguiente comportamiento del filtro:



Este comportamiento se puede apreciar correcto, ya que reacciona al pulso para luego volverse a estabilizar.