|  |
| --- |
|  |
| Entrega Lab 0 ADAV Bloque A |
|  |

|  |
| --- |
| Daniel Muñiz Zurrunero |

# Explicación de la práctica

El objetivo de esta práctica es la implementación de un filtro DFIIt de cuarto orden en VHDL a partir de unas plantillas y la implementación del filtro en Matlab.

A la hora de pasar del filtro de Matlab a VHDL se ha hecho uso de lo dado sobre metodología de diseño en teoría para agrupar operaciones que no relacionadas entre sí para así paralelizarlas y optimizar la ejecución del filtro, gran ventaja que nos aporta un circuito basado en FPGA frente a una CPU.

# Descripción del sistema y simulación

El sistema que implementa el filtro comprende una entidad top (top.vhd) con las siguientes entradas y salidas:

* **Entradas:**
  + **reset, clk:** señal de reset y reloj del sistema.
  + **validacion:** señal que habilita la operación a partir de los datos de entrada.
  + **data\_in:** datos de entrada.
* **Salidas:**
  + **data\_out:** datos de salida.
  + **valid\_out:** señal que indica que la operación de filtrado ha concluido.

Esta entidad top se compone de los siguientes módulos:

* **Datapath (datapath.vhd):** Módulo que implementa el algoritmo y lo aplica cuando el módulo de control se lo ordena.
* **Control (control.vhd):** Módulo encargado de indicar al datapath qué operación ha de realizar, en este caso, aunque la señal de comando tiene 8 bits, solo se usa el bit de menor peso que se activa con la señal de validación. Esto se debe a que la práctica consiste solamente en la implementación básica de un algoritmo, en un sistema más complejo el algoritmo sería una de varias operaciones comprendidas en el datapath, lo que justifica la existencia de los 8 bits de comando en este módulo de control.
* **Interfaz de entrada (int\_entrada.vhd):** Módulo simple que introduce los datos de entrada en la entrada del datapath al activarse la señal de validación.
* **Interfaz de salida (int\_salida.vhd):** Módulo simple que vincula la salida del datapath con la salida del sistema y activa valid\_out al finalizar la operación.

Este sistema se simula con un testbench (tb\_top.vhd) que activa la señal de validación para ejecutar el algoritmo y guarda su resultado en el fichero f\_out.txt