



Universitatea Tehnică “Gheorghe Asachi” din Iași



FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE

ELECTRONICĂ DIGITALĂ

proiect

Tema: Convertor Binar-Gray

Studenți: Botezatu Claudiu-Ionuț
Lăduncă Ioan-Darian
Savin Damian

Grupa : 1212B

Coordonator:

Asist. Drd. Marius Obreja

2022

1. Specificațiile proiectului:

Convertor Binar-Gray

Să se implementeze un convertor de cod Binar- Gray de 8 biți pentru valoarea aplicată la portul de intrare A. Rezultatul C va fi afișat prin LED-urile plăcii de dezvoltare BASYS 3. Descrierea convertorului se va face în limbaj VHDL în modul comportamental.

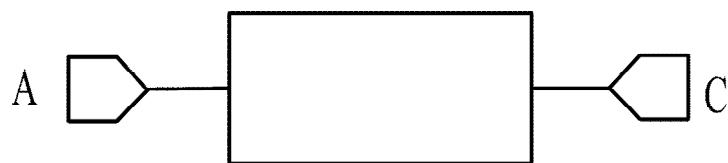


Fig. 1 schema bloc a convertorului

Fișierul bitstream rezultat în urma procesului de implementare va fi verificat utilizând placa de dezvoltare BASYS3.

2. Convertor Binar-Gray

Convertorul Binar-Gray are următoarele funcționalități:

1. Codul Gray este un cod numeric reflectat, care are proprietatea că două numere adiacente diferă prin valoarea unui singur bit.
2. În portul de intrare A, se introduc semnale ce reprezintă numere în cod binar.
3. Se pot introduce orice fel de numere cu maxim 8 biți.
4. Se transformă semnalele de intrare, ce reprezintă numere în cod binar, în semnale de ieșire, ce reprezintă numere în cod Gray.
5. În portul de ieșire C, datorită ledurilor plăcii de dezvoltare, se afișează semnale ce reprezintă numere în cod Gray.

3. Metoda de implementare

Pentru implementarea acestui modul s-au folosit programul de sinteză Vivado și limbajul VHDL.

1. S-a proiectat entitatea Convertor.
2. În aceasta, s-a declarat o variabilă de intrare, ce reprezintă numărul în cod binar, și o variabilă de ieșire, ce reprezintă numărul respectiv transformat în cod Gray.
3. S-a realizat algoritmul de conversie după următoarea metodă:
 - Cel mai semnificativ bit din codul Gray este egal cu cel mai semnificativ bit din codul binar.
 - Ceilalți biți din codul Gray se obțin prin operația XOR a bitului, din codul binar, de la indexul i, cu bitul de la indexul i-1, tot din codul binar.

Fisierul bitstream creeat de programul Vivado a fost testat cu ajutorul placii BASYS 3 Artix-7 xc7a35tcpg236-1.

4. Descrierea (scurtă) a sistemului de dezvoltare BASYS 3

Placa de dezvoltare BASYS 3 este un circuit de dezvoltare complet și ready-to-use bazat pe ultimele Artix-7 Field Programmable Gate Array(FPGA) produse de Xilinx. Cu o mare capacitate de FPGA și cu o colecție de porturi USB, VGA și altele, placa de dezvoltare BASYS 3 permite proiectarea unor design-uri variate, atât circuite introductoare combinaționale, cât și circuite secvențiale complexe ca procesoarele și controlerile embedded.

5. Editarea fisierului VHDL

Entitatea :

```
2  -- Module Name: Convertor
3  -----
4
5  library IEEE;
6  use IEEE.STD_LOGIC_1164.ALL;
7
8  library UNISIM;
9  use UNISIM.VComponents.all;
10
11 Entity convertor Is
12 port (
13     b : in STD_LOGIC_VECTOR(7 downto 0);
14     g : out STD_LOGIC_VECTOR(7 downto 0)
15 );
16 end convertor;
17
18 Architecture behavior of convertor Is
19
```

Funcția de conversie:

```
19
20 Signal led_int : STD_LOGIC_VECTOR(7 downto 0) := "00000000";
21
22 begin
23
24     g(7) <= b(7);
25     g(6) <= b(7) xor b(6);
26     g(5) <= b(6) xor b(5);
27     g(4)<=b(5) xor b(4);
28     g(3)<=b(4) xor b(3);
29     g(2)<=b(3) xor b(2);
30     g(1)<=b(2) xor b(1);
31     g(0)<=b(1) xor b(0);
32
33
34 end behavior;
35
36
37
```

6. Editarea fișierului de constrângeri

Switch-uri:

```
11 ## Switches
12 set_property PACKAGE_PIN V17 [get_ports {b[0]}]
13     set_property IOSTANDARD LVCMOS33 [get_ports {b[0]}]
14 set_property PACKAGE_PIN V16 [get_ports {b[1]}]
15     set_property IOSTANDARD LVCMOS33 [get_ports {b[1]}]
16 set_property PACKAGE_PIN W16 [get_ports {b[2]}]
17     set_property IOSTANDARD LVCMOS33 [get_ports {b[2]}]
18 set_property PACKAGE_PIN W17 [get_ports {b[3]}]
19     set_property IOSTANDARD LVCMOS33 [get_ports {b[3]}]
20 set_property PACKAGE_PIN W15 [get_ports {b[4]}]
21     set_property IOSTANDARD LVCMOS33 [get_ports {b[4]}]
22 set_property PACKAGE_PIN V15 [get_ports {b[5]}]
23     set_property IOSTANDARD LVCMOS33 [get_ports {b[5]}]
24 set_property PACKAGE_PIN W14 [get_ports {b[6]}]
25     set_property IOSTANDARD LVCMOS33 [get_ports {b[6]}]
26 set_property PACKAGE_PIN W13 [get_ports {b[7]}]
27     set_property IOSTANDARD LVCMOS33 [get_ports {b[7]}]
28 #set_property PACKAGE_PIN V2 [get_ports {sw[8]}]
29     #set_property IOSTANDARD LVCMOS33 [get_ports {sw[8]}]

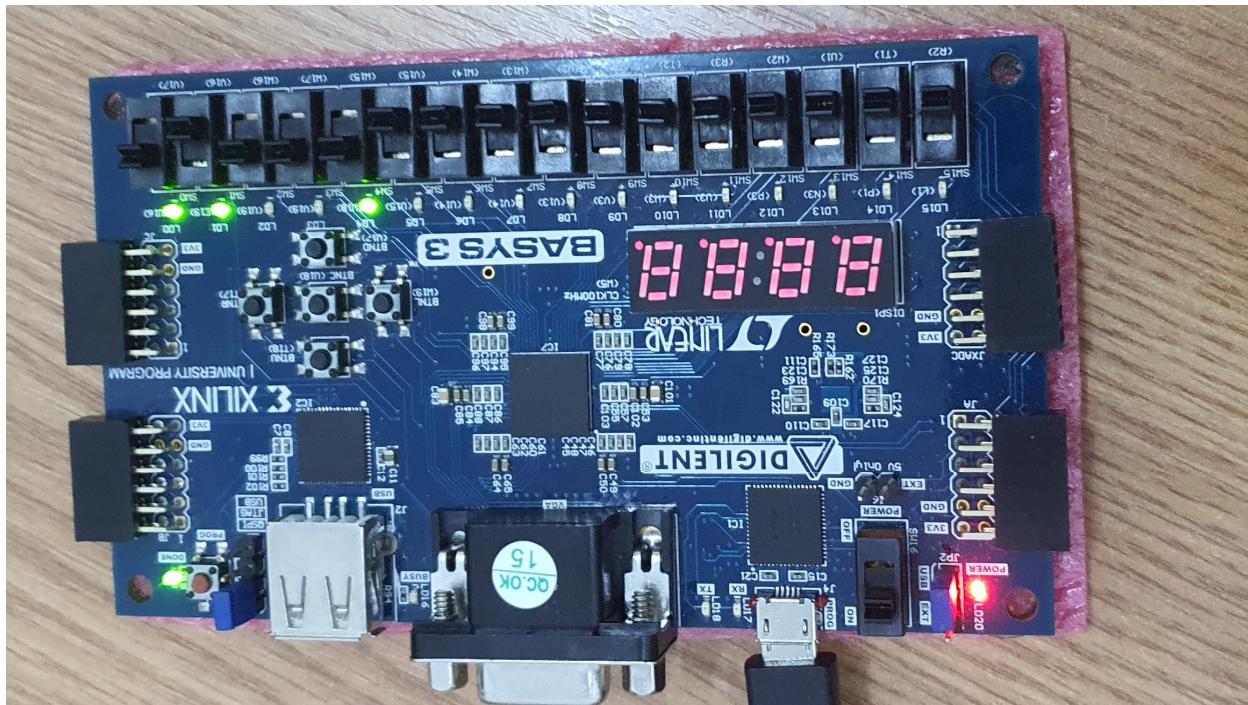
45
46 ## gs
47 set_property PACKAGE_PIN U16 [get_ports {g[0]}]
48     set_property IOSTANDARD LVCMOS33 [get_ports {g[0]}]
49 set_property PACKAGE_PIN E19 [get_ports {g[1]}]
50     set_property IOSTANDARD LVCMOS33 [get_ports {g[1]}]
51 set_property PACKAGE_PIN U19 [get_ports {g[2]}]
52     set_property IOSTANDARD LVCMOS33 [get_ports {g[2]}]
53 set_property PACKAGE_PIN V19 [get_ports {g[3]}]
54     set_property IOSTANDARD LVCMOS33 [get_ports {g[3]}]
55 set_property PACKAGE_PIN W18 [get_ports {g[4]}]
56     set_property IOSTANDARD LVCMOS33 [get_ports {g[4]}]
57 set_property PACKAGE_PIN U15 [get_ports {g[5]}]
58     set_property IOSTANDARD LVCMOS33 [get_ports {g[5]}]
59 set_property PACKAGE_PIN U14 [get_ports {g[6]}]
60     set_property IOSTANDARD LVCMOS33 [get_ports {g[6]}]
61 set_property PACKAGE_PIN V14 [get_ports {g[7]}]
62     set_property IOSTANDARD LVCMOS33 [get_ports {g[7]}]
63 #set_property PACKAGE_PIN V13 [get_ports {g[8]}]
```

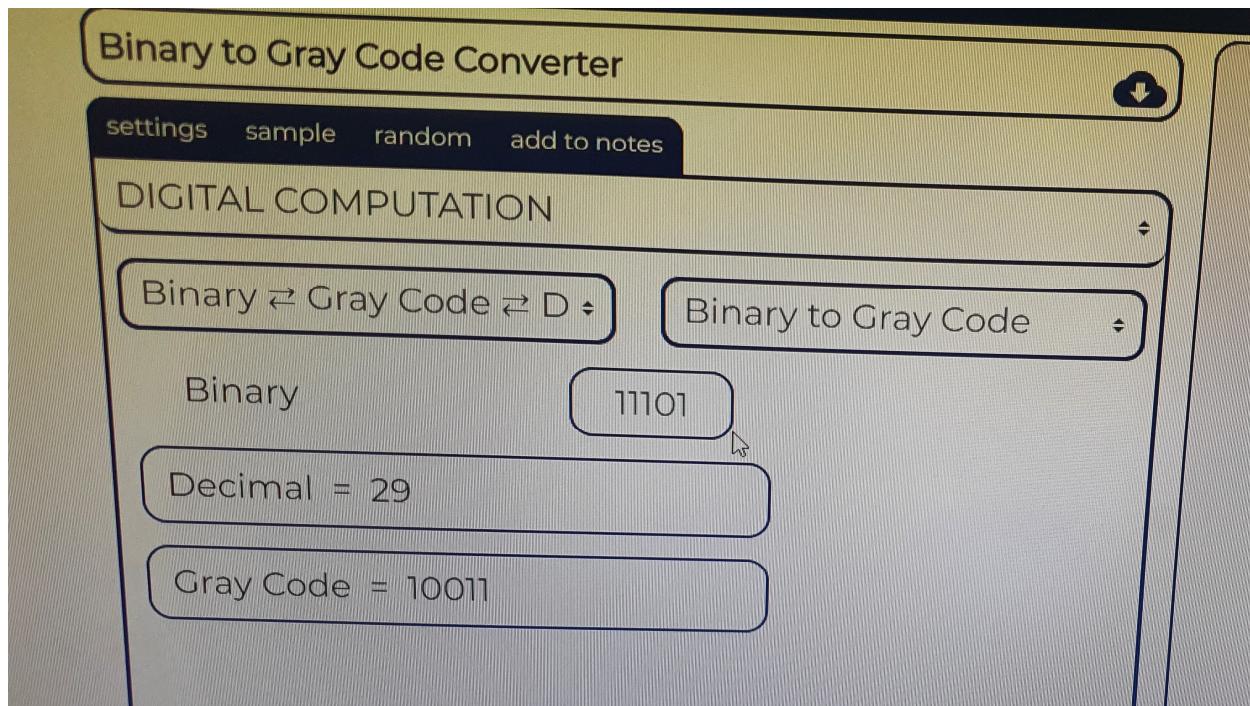
7.Descrierea pașilor de sinteză și testarea circuitului rezultat

1. S-a creeat un proiect nou în programul Vivado.
2. S-a implementat modulul “Convertor”.
3. S-a editat fișierul de constrângeri în vederea realizării legăturilor între switch-uri și intrări (b (binar), g (Gray)).
4. S-a realizat analiza RTL(Register Transfer Level).
5. S-a sintetizat modulul(pentru se vedea design-ul sintetizat).
6. S-a lansat implementarea proiectului care a avut ca efect final generarea fișierului bitstream.
7. S-a programat placa de dezvoltare BASYS 3 cu fișierul bitstream și s-a testat funcționarea corespunzatoare a modulului implementat.

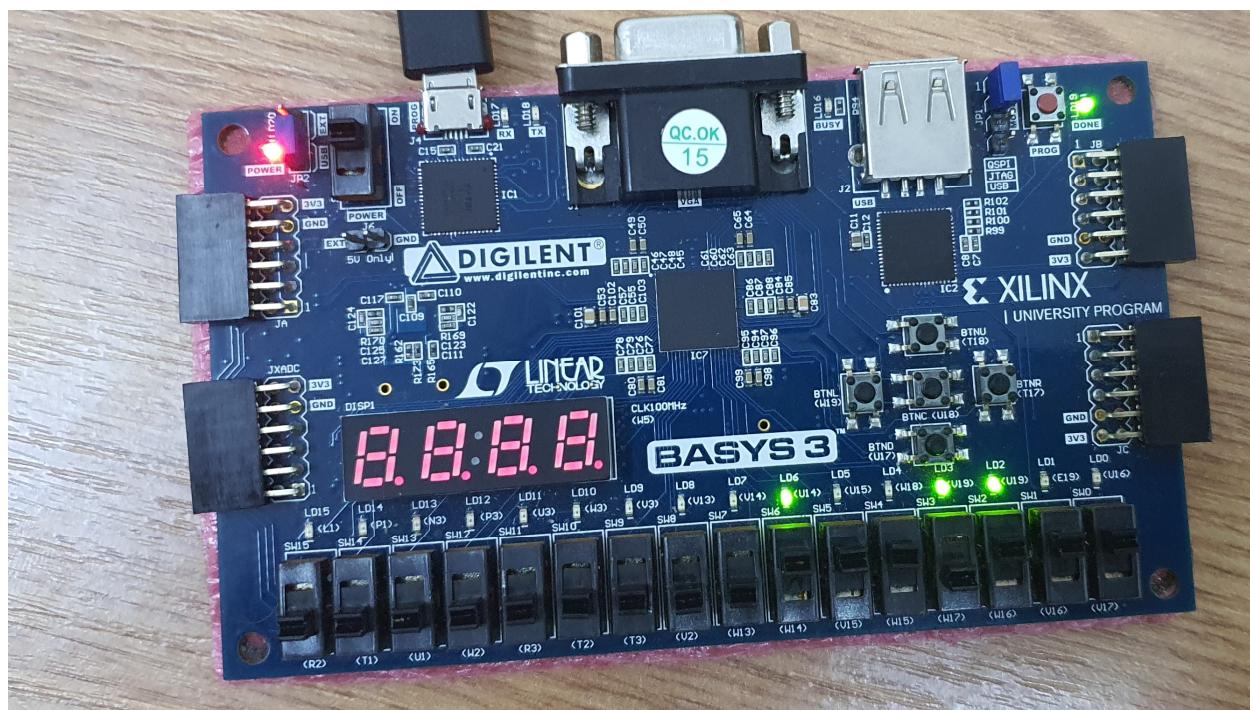
8. Fotografii cu funcționarea modulului:

a.





b.



Binary to Gray Code Converter

settings sample random add to notes

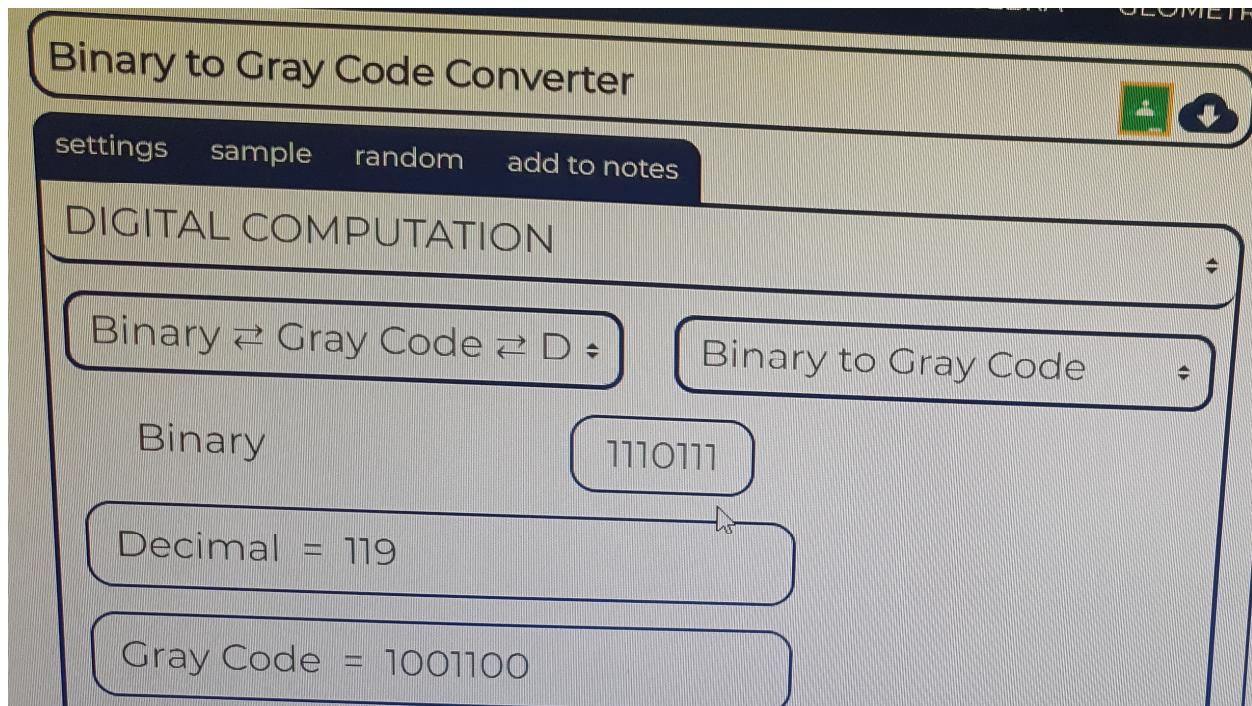
DIGITAL COMPUTATION

Binary ⇌ Gray Code ⇌ D ⇌ Binary to Gray Code

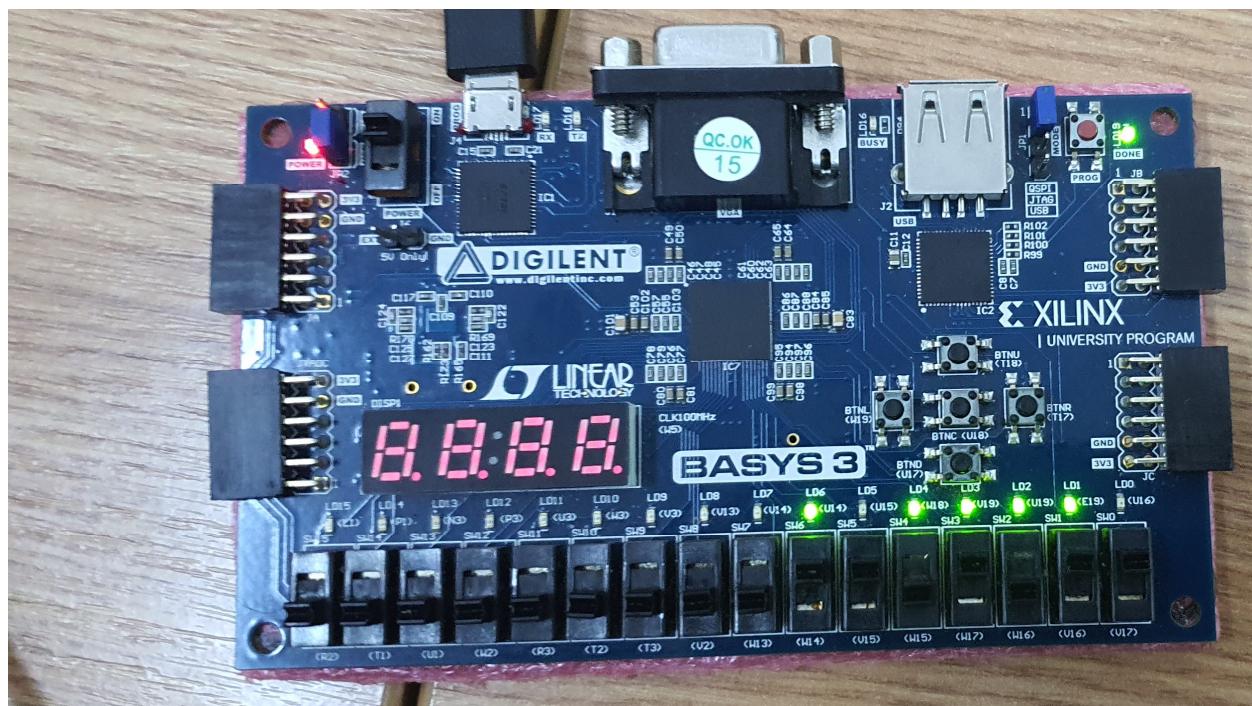
Binary: 1110111

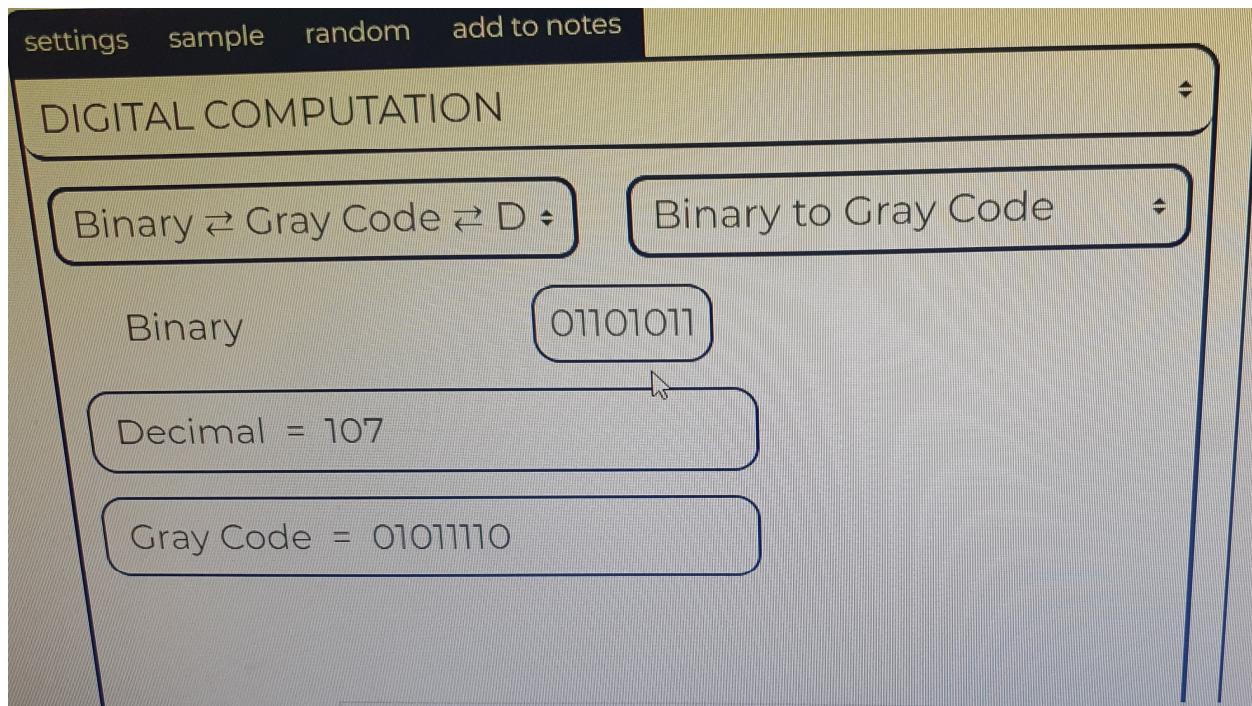
Decimal = 119

Gray Code = 1001100



c.





9. Concluzii

În concluzie, s-a implementat ca proiect un convertor de cod Binar- Gray de 8 biți pentru valoarea aplicată la portul de intrare A. Rezultatul C a fost afișat prin LED-urile plăcii de dezvoltare BASYS 3. Descrierea convertorului s-a făcut în limbaj VHDL.

Bibliografie:

1. VHDL Reference Manual,

<http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>

2. BASYS 3 Reference Manual,

<https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual>