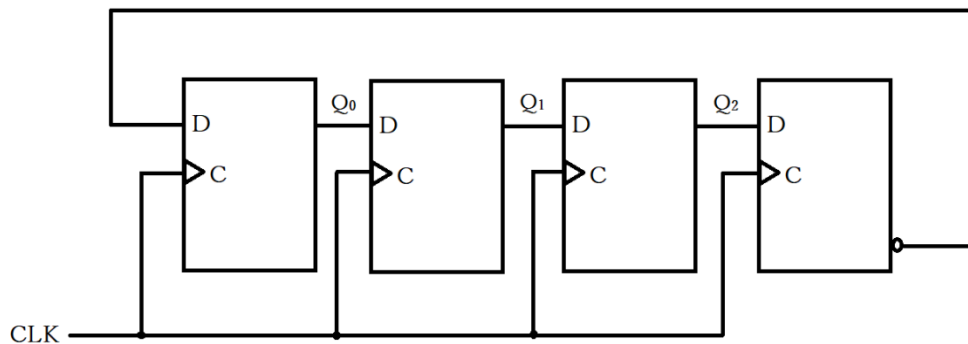


# 數位邏輯設計實驗結報

- 實驗班別：☐資工(星期三)
- 實驗名稱：( 實驗八 ) D 型正反器
- 實驗日期：2022 年 5 月 11 日
- 組別編號：20
- 成員名單：(學號/姓名) 410921202 林芷萱、410921203 林芯卉

## 一、Johnson Counter



▲圖一/4bit Johnson Counter 示意圖

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1

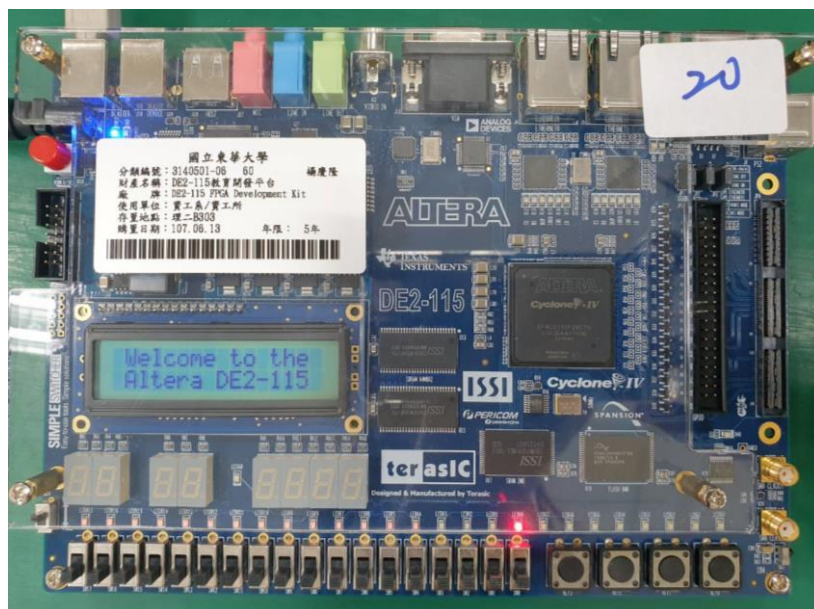
▲表一/4bit Johnson Counter 序列

## 二、程式碼

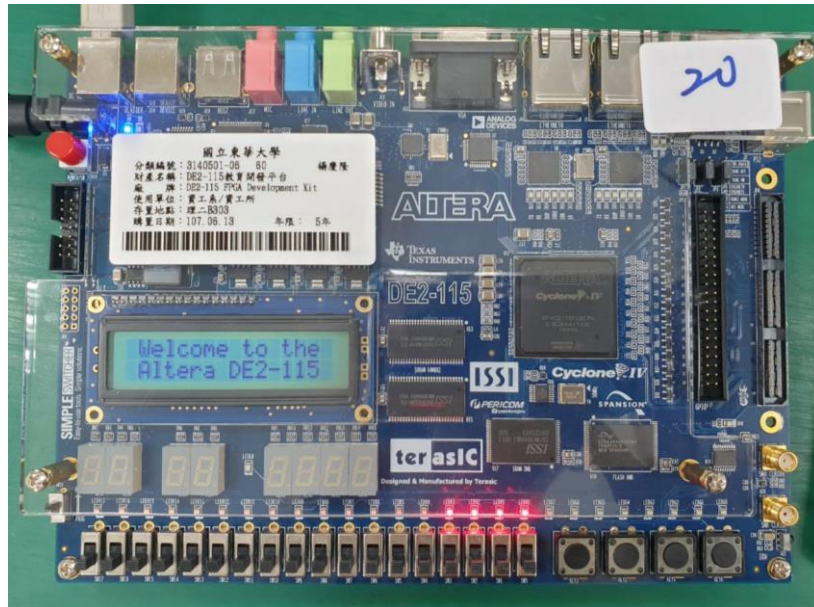
Verilog code for 4bit Johnson Counter:

```
1  //D-flip flop
2  module df1(q,d,c);
3      output q;
4      input d,c;
5      reg q;
6      always@(posedge c)
7          q<=d;
8  endmodule
9
10 //Johnson Counter
11 module test(q,clk);
12     inout [3:0]q; //4bit
13     input clk;
14     wire w;
15     not(w,q[3]);
16     df1 f1(q[0],w,clk); //第一個D-flip flop
17     df1 f2(q[1],q[0],clk); //第二個D-flip flop
18     df1 f3(q[2],q[1],clk); //第三個D-flip flop
19     df1 f4(q[3],q[2],clk); //第四個D-flip flop
20 endmodule
```

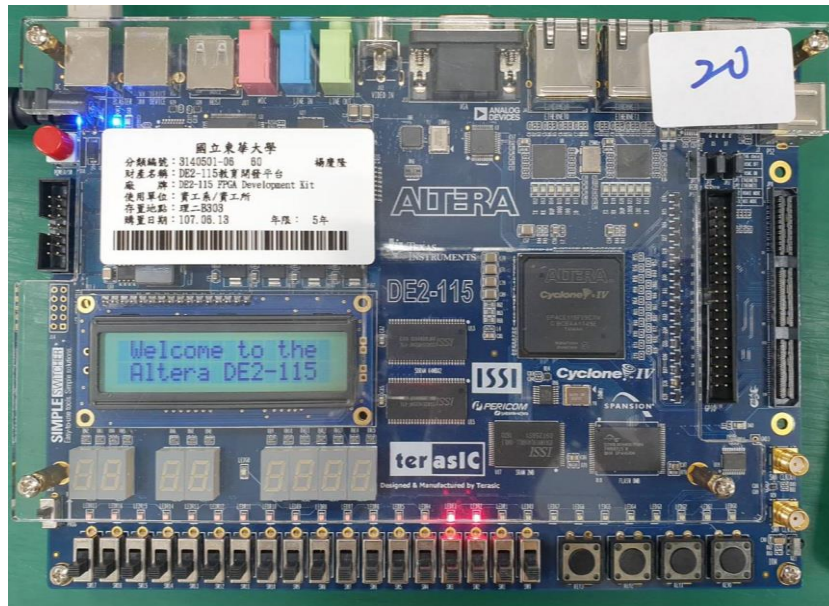
## 三、實驗結果



▲圖二/輸入為 1



▲圖三/輸入為 4



▲圖四/輸入為 6