



УНИВЕРЗИТЕТ У НОВОМ САДУ

ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА

Одсек за електротехнику и рачунарство

Институт за рачунарство и аутоматику

Катедра за рачунарску технику и рачунарске комуникације

Архитектуре и алгоритми ДСП II

Пројектни задатак:

**Реализација алгоритма
комбиновања канала на Cirrus
Logic DSP платформи**

Студент: Стево Добранић

Ментор: доц. др Јелена Ковачевић

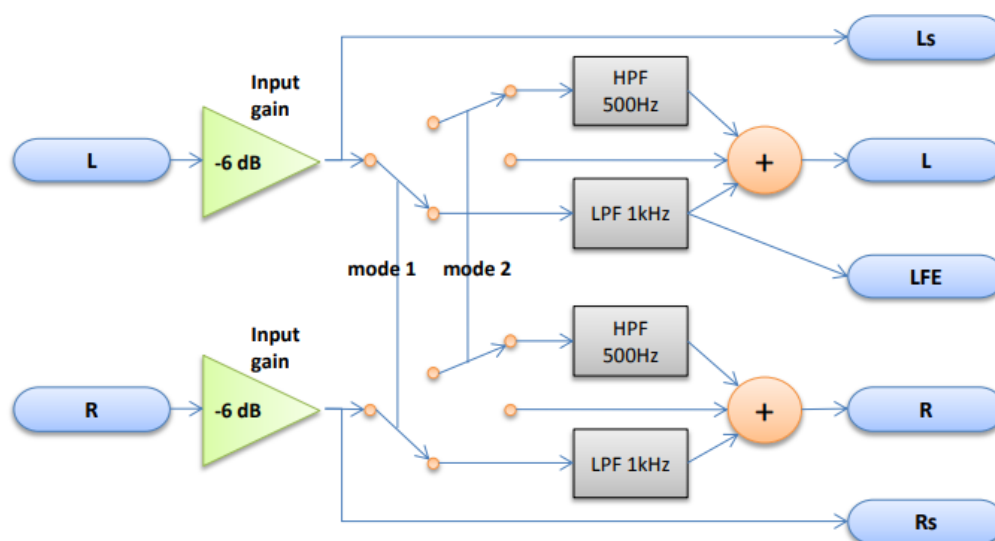
Нови Сад, 2021.

Садржај

Опис задатка	1
Опис реализације	2
Испитивање и верификација	4

1. Опис задатка

Задатак је имплементирати шему приказану на **слици 1**, на Cirrus Logic DSP платформи. Као параметри модела просљеђује се контрола активације (**Enable** – **1 укључено, 0 искључено**), појачање (**Inputgain**) у децибелима (**dB**) од 0 до $-\infty$, као и два прекидача (**Mode1, Mode2**) који могу имати вредности **1 или 0** од којих зависи који филтер ће се позвати и који канали (**L, R, Ls, Rs, LFE**) ће се чути на излазу.



control	Enable	Input gain	Mode 1	Mode 2
values	On/Off	From 0 to $-\infty$ dB	0, 1	0, 1
default value	On	-6 dB	1	0

Napomena: koristiti IIR filter 2. reda

Tabela 1 – Korisničke kontrole

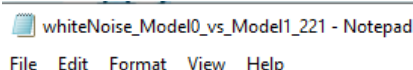
Слика 1 – Модел задатка

2. Опис реализације

Задатак је ријешен подјелом у **5 фаза** (4 модела и апликација). Модел 0 представља референтно рјешење задатка које служи као основа за даље тестирање пројектног задатка. Модел 1 је представља алгоритамско побољшање у односу на модела 0. Овдје су уведене све промјене које побољшавају алгоритам, а нису везане за циљну платформу. Модел 2 представља прилагођење модела 1 за Cirrus Logic DSP платформу. Пошто дата платформа нема подршку при руковању са подацима у покретном зарезу, модел 2 се реализује на тај начин да омогућује увођење операција са непокретним зарезом. Модел 3 представља верзију модела 2 који може да се спусти на плочу и преведе CCC2 комајлером. Суштинске разлике између претходан два модела не постоје, оне су највише видљиве у синтаксном погледу. Одеђени дијелови програмског кода се додатно оптимизују како би се на што оптималнији начин извшавале на датом хардверу.

Фаза 1 - Модел 0 представља референтни модел. Код развоја овог модела фокус није на брзини извршавања, нити на утрошеним ресурсима, већ на томе да алгоритам ради оно за шта је пројектован. Након што је овај модел реализован, он се користи као основни за поређење са излазом из осталих модела. Исправност модела 0 проверена је ручно анализом спектра користећи Audacity.

Фаза 2 - Модел 1 се заснива на оптимизацији модела 0. Приступ елементима низа преко индекса се замјењује приступом преко показивача. Све битне промјенљиве, као и већима параметара функције се преводе у глобалне промјенљиве. Ове оптимизације вршене су само у дијловима програма који ће се више пута извршавати као што су (**processing.c** и **irr.c**) Овај модел треба бити идентичан моделу 0 и за исте улазе мора дати идентичне излазе као модел 0, без икаквог одступања тј. разика између модела 0 и 1 мора бити 0 бита. Резултати поређења модела 0 и модела 1 за исти улазни сигнал и исти излазни мод дат је на **Слика1**.



whiteNoise_Model0_vs_Model1_221 - Notepad
File Edit Format View Help

No differences encountered!

Слика1

Фаза 3 - Модел 2 представља побољшање за циљну ДСП платформу. У овом случају било је потребно аритметику у покретном зарезу замијенити аритметиком у непокретном зарезу, због хардверских ограничења саме развојне плоче. За те потребе коришћене су класе које адекватно емулирају **DSPfract** тип података и који се могу употријебити за израду наредног модела. Због увођења ове измјене, дозвољено је да се излаз у овом моделу разликује од излаза из претходног модела за не више од једног бита по одбирку. Резултати поређења модела 0 и модела 1 за исти улазни сигнал и исти излазни мод дат је на **Слика2**.

whiteNoise_Model1_vs_Model2_221 - Notepad

File Edit Format View Help

Max difference is 1 (1 bits, -144.49dB)
4800000 samples compared

Dif(bits)	Samples	PERCENT	First dif
1	41355	0.86%	0x000000e3
Error	41355	0.86%	

Слика 2

Фаза 4 - Модел 3 је крајња верзија пројектог задатка. Главна разлика која се овдје уочава је та да су подаци подијељени у двије меморијске зоне доступне на развојној Cirrus Logic DSP платфотми, као и то да се критични дијелови програма пишу у асемблеру, како би се повећала ефикасност извршавања. Конкретно у овом пројектном задатку функција за филтрирања улазних канала (**second_order_IIR**) која се налази у (**iir.c**) је написана у асемблеру (**second_order_IIR_asm**) и смештена у (**iir.a**) фајл. Тиме је добијено брже извршавање програма што се може видети на сликама (**Слика 3**, **Слика 4**). Резултати поређења модела 0 и модела 1 за исти улазни сигнал и исти излазни мод дат је на **Слика 5**.

Symbols	Source File	Line Nu...	Address	Base Time	Average Ba...	Cumulative ...	Calls
root			0x0000	8	8.00	6997203	1
main	..\..\src\main.c	11	0x02b0	2244406	2244406.00	6997201	1
processing	..\..\src\processing.c	64	0x0001	744621	1443.06	3714868	516
second_or	..\..\src\iir.c	22	0x0166	2970249	179.99	2970249	16502

Слика 3 - Резултати (profiling-a) пре оптимизације

Symbols	Source File	Line Nu...	Address	Base Time	Average Ba...	Cumulative ...	Calls
root			0x0000	8	8.00	9421231	1
main	..\..\src\main.c	11	0x02b0	4496536	4496536.00	9421229	1
processing	..\..\src\processing.c	64	0x0001	1491652	1444.00	2846948	1033
_second_o	..\..\src\iir.a	8	0x0460	1355296	41.00	1355296	33056

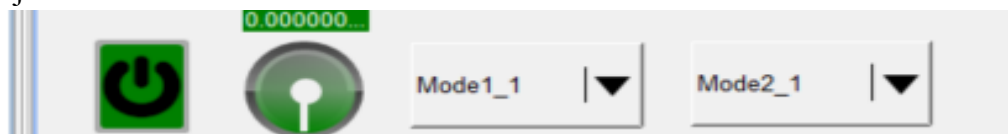
Слика 4 - Резултати (profiling-a) после оптимизације

```
C:\Users\stevo\Downloads\Vezba3\postavka\tools>PCMCompare.exe ..\TestStreams\outputModel2_OM_221
av ..\TestStreams\outputModel3_OM_221.wav
No differences encountered!
No differences encountered!
```

Слика 5

Фаза 5 - (DSPApplikacija) представља прављење апликације која ће се извршавати на развојној плочи и симулатору. За ове потребе направљена су 3 нова пројекта:

1. DSP Applikacija(simulator_app) - главни пројекат из њега се покреће симулатор или плоча и врши се мењање параметара у току извршавања (Слика 6)
2. DSP Modul(moduleProc) - садржи код из модела 3 као и параметре које је могуће мењати пре извршавања као и током извршавања
3. Overlay(Overlay_Simulator) - садржи све модуле које је могуће повезати са пројектом



Слика 6

Мемориска заузећа

```
Address class X Address:[0000...FFFF], length 10000
Address:[0000...0000], length 0001, <RESERVED for crt0_GEN_0000, class X>
Address:[0001...0080], length 0080, <RESERVED for main_GEN_0001, class X_OVLY>
Address:[0081...00A1], length 0021, <RESERVED for main_GEN_0002, class X_OVLY>
Address:[00A2...00C2], length 0021, <RESERVED for main_GEN_0003, class X_OVLY>
Address:[00C3...00C8], length 0006, <RESERVED for processing_GEN_0000, class X_OVLY>
Address:[00C9...00CE], length 0006, <RESERVED for processing_GEN_0001, class X_OVLY>
Address:[00CF...00D1], length 0003, <RESERVED for iir_GEN_0000, class X_OVLY>
Address:[00D2...00D2], length 0001, <RESERVED for main_GEN_0000, class X_OVLY>
Address:[00D3...00D3], length 0001, <RESERVED for iir_GEN_0001, class X_OVLY>
Address:[00D4...00D4], length 0001, <RESERVED for iir_GEN_0002, class X_OVLY>
Address:[00D5...00D5], length 0001, <RESERVED for processing_GEN_0004, class X_OVLY>
Address:[00D6...00D6], length 0001, <RESERVED for processing_GEN_0005, class X_OVLY>
Address:[00D7...00D7], length 0001, <RESERVED for processing_GEN_0006, class X_OVLY>
Address:[00D8...00D8], length 0001, <RESERVED for processing_GEN_0007, class X_OVLY>
Address:[00D9...00D9], length 0001, <RESERVED for processing_GEN_0010, class X_OVLY>
Address:[00DA...00DA], length 0001, <RESERVED for processing_GEN_0011, class X_OVLY>
Address:[00DB...00DB], length 0001, <RESERVED for processing_GEN_0012, class X_OVLY>
Address:[00DC...08DB], length 0800, <RESERVED for simulator_stack_GEN_0000, class X>
Address:[08DC...FFFF], length F724, <FREE>
```

Заузеће X меморије

```
Address class Y Address:[0000...FFFF], length 10000
Address:[0000...0000], length 0001, <RESERVED for crt0_GEN_0001, class Y>
Address:[0001...0002], length 0002, <RESERVED for processing_GEN_0002, class Y_OVLY>
Address:[0003...0004], length 0002, <RESERVED for processing_GEN_0003, class Y_OVLY>
Address:[0005...0006], length 0002, <RESERVED for processing_GEN_0008, class Y_OVLY>
Address:[0007...0008], length 0002, <RESERVED for processing_GEN_0009, class Y_OVLY>
Address:[0009...FFFF], length FFF7, <FREE>
```

Заузеће Y меморије

3. Испитивање и верификација

Након што је установљено да модел 0 даје очекивани резултат, излази осталих модела тестирану су у односу на њега. Сваки модел се пореди се са претходним моделом. Након што се установи да модел не производи грешку, прелази се на развој сљедећег.

За поређење резултата коришћен је алат **PCMCompare**. Овај програм врши поређење сваког одбирка из два тестирана **.wav** фајла, након чега обавјештава о разликама уколико су оне прусутне.

У сврху аутоматизације овог процеса, написана је скрита **Test.bat** која покреће све моделе, и улазе **WhiteNoise.wav** и **titanic_horn.wav** и излазе чува у директоријуму **TestStreams**. Након тога, пореди резултате на нивоу бита за сваки од сусједних модела и резултате иписује у директоријум **OutCmp** (Слика 7).

titanic_horn_Model0_vs_Model1_200	✗	19/11/2021 22:38	Text Document
titanic_horn_Model0_vs_Model1_220	✗	19/11/2021 22:38	Text Document
titanic_horn_Model0_vs_Model1_221	✗	19/11/2021 22:38	Text Document
titanic_horn_Model0_vs_Model1_2201	✗	19/11/2021 22:38	Text Document
titanic_horn_Model1_vs_Model2_200	✗	19/11/2021 22:38	Text Document
titanic_horn_Model1_vs_Model2_220	✗	19/11/2021 22:38	Text Document
titanic_horn_Model1_vs_Model2_221	✗	19/11/2021 22:38	Text Document
titanic_horn_Model1_vs_Model2_2201	✗	19/11/2021 22:38	Text Document
whiteNoise_Model0_vs_Model1_200	✗	19/11/2021 22:38	Text Document
whiteNoise_Model0_vs_Model1_220	✗	19/11/2021 22:38	Text Document
whiteNoise_Model0_vs_Model1_221	✗	19/11/2021 22:38	Text Document
whiteNoise_Model0_vs_Model1_2201	✗	19/11/2021 22:38	Text Document
whiteNoise_Model1_vs_Model2_200	✗	19/11/2021 22:38	Text Document
whiteNoise_Model1_vs_Model2_220	✗	19/11/2021 22:38	Text Document
whiteNoise_Model1_vs_Model2_221	✗	19/11/2021 22:38	Text Document
whiteNoise_Model1_vs_Model2_2201	✗	19/11/2021 22:38	Text Document

Слика 7