

Sběrnice UART

UART Transmitter s proměnnými parametry

Petr Pacner, Marek Šmída

VUT Fakulta elektrotechniky

Projekt z předmětu BICT, 2018

Obsah

1. Vymezení zadání

2. Nárvh

3. Implementace

Vymezení zadání

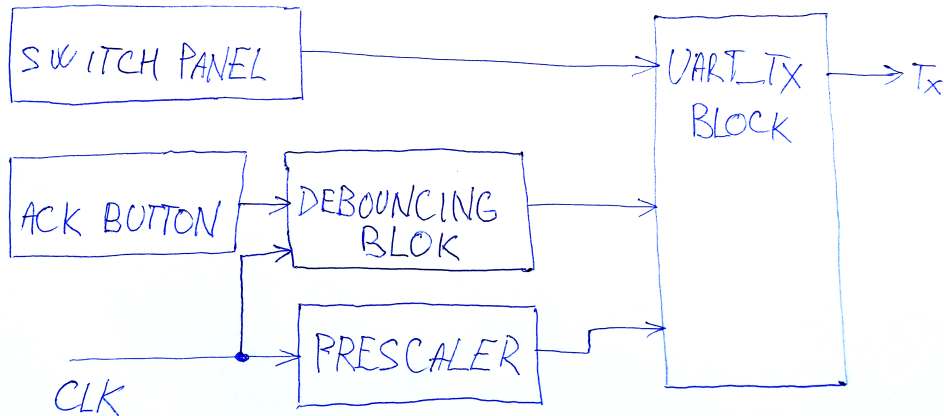
- Vytvořit blok UART v jazyce VHDL s proměnnými parametry
 - Délka vysílaného okna (5-8 bit)
 - Počet stop bitů pro ukončení vyslaného okna (1, 2 bit)
 - Nastavitelný paritní bit (None/Even/Odd)
- Vysílaná čísla na sběrnici budou zadávána pomocí přepínačů na rozšiřující desce.
- Přenos bude zobrazen na logickém analyzátoru.
- Pro snadnou synchronizaci analyzátoru s CPLD bude přenos vyvolán stiskem tlačítka.

Návrh

- Vytvořen blok, který slučuje veškeré funkce zadané v projektu.
- Vstupy: panel přepínačů, spínač, hodinový signál
- Výstupy: Tx signál
- Pro stisk tlačítka - debouncing blok synchronizovaný se vstupním hodinovým signálem.

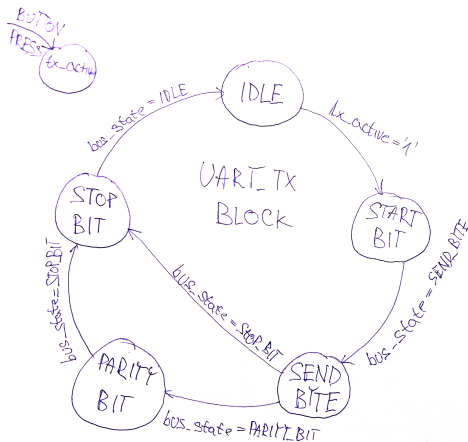
Návrh

Blokové schéma



Návrh

Blokové schéma



Implementace

- Komplikace s místem v CPLD - řešení: parametry jsou měněny v kódu, ne přes tlačítka
- Počet termů: 285/896 (32%)
- Počet buněk(macrocell): 113/256 (45%)
- Počet registrů: 89/256 (35%)
- Počet funkčních bloků: 269/640 (43%)