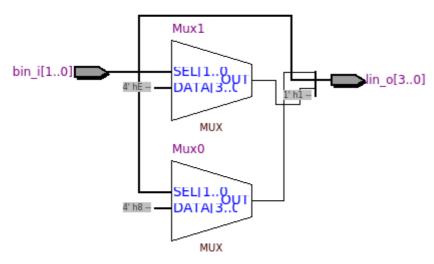
CSN Labo 1 Denis Bourqui

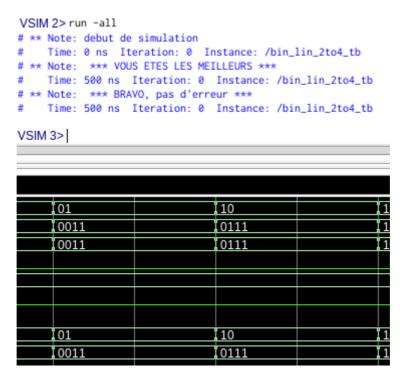
Vues RTL et Technology de la synthèse du composant Bin-Lin 2 à 4 de la description par flot de données



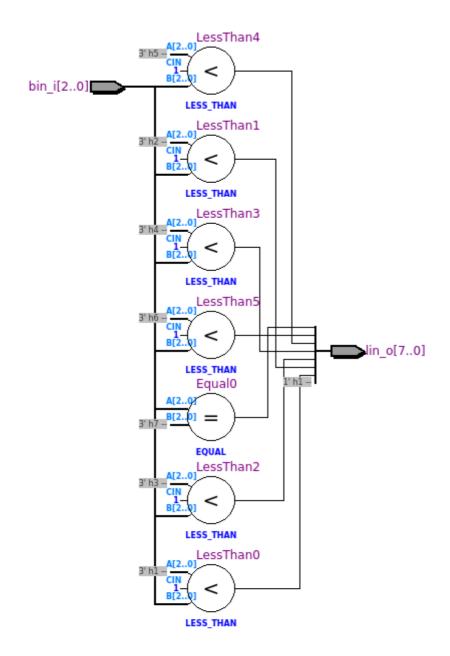
Description VHDL par flot de données du transcodeur Bin-Lin 3 à 8 en utilisant l'instruction when .. else (flot_don).

```
architecture flot_don of bin_lin_3to8 is
begin
     \lim_{0 \to \infty} o(0) \le 1' when true else
                   '0';
     \lim_{0 \to \infty} o(1) \le \frac{1}{1} when \lim_{0 \to \infty} o(1) = \frac{0}{1} else
                   '0';
     \lim_{0 \to \infty} o(2) \ll 1' when \lim_{0 \to \infty} o(2) \ll 1' when \lim_{0 \to \infty} o(2) \ll 1'
                   'O';
     lin_o(3) \le '1' when bin_i \ge "011" else
                   '0';
     lin_o(4) \le '1' when bin_i \ge "100" else
                    '0';
     lin_0(5) \ll '1' when bin_i \gg "101" else
                    'O';
     lin_o(6) \le '1' when bin_i \ge "110" else
                   '0';
     lin_o(7) \le '1' when bin_i = "111" else
                   '0';
end flot_don;
```

Log de Questasim de la simulation automatique de la description par flot de données du transcodeur Bin-Lin 3 à 8.



Vues RTL et Technology de la synthèse du transcodeur Bin-Lin 3 à 8 pour la description par flot de données.





Programmation de la carte avec Bin-Lin_3to8

