

# Labo d'introduction

## Transcodeur Binaire $\Rightarrow$ Linéaire

### Mandat

Ce laboratoire d'introduction a pour objectif de vous familiariser avec le flow VHDL complet, soit les étapes d'édition, de simulation, de synthèse-placement routage et d'intégration d'un système numérique.

### Spécifications

Voici la table de vérité du transcodeur d'une valeur binaire en un affichage linéaire.

<i>bin_i</i>		<i>lin_o</i>			
<i>1</i>	<i>0</i>	<i>3</i>	<i>2</i>	<i>1</i>	<i>0</i>
0	0	0	0	0	1
0	1	0	0	1	1
1	0	0	1	1	1
1	1	1	1	1	1

### Documents à rendre:

Ce laboratoire d'introduction est réalisé individuellement. Le travail sera validé et vous devez rendre les documents suivants dans un fichier PDF :

- Description VHDL corrigée de la description avec la version table de vérité (tdv)
- Vues RTL et Technology de la synthèse de la description par table de vérité (tdv)
- Description VHDL par flow de données en utilisant l'instruction when .. else (flot\_don).
- Log de Questasim de la simulation automatique de la description par flow de donnée du transcodeur Bin-Lin.
- Description VHDL du transcodeur Bin-Lin 3 à 8.

Vous devrez déposer les documents ci-dessus dans **un seul fichier PDF** sur Cyberlearn (Moodle) page du cours CSN.

### Déroulement :

Une archive du projet vous est fournie sur Cyberlearn, page "19\_HEIG-VD\_SysLog2".

Vous devez travailler sur les machines de labo à l'emplacement suivant :

- il y a un raccourci sur le bureau : cours\_REDS
- puis travailler dans le répertoire : cours\_REDS/<unité>/<nom>/...

## Travail demandé

- 1) Réaliser la simulation manuelle de la description par table de vérité (tdv) du transcodeur Bin-Lin. Vous utiliserez la console manuelle REDS.  
Vous devez corriger la description par table de vérité du transcodeur.
- 2) Réaliser l'intégration de la description par table de vérité du transcodeur Bin-Lin avec le top spécifique pour la carte Max-V: *maxv\_top.vhd*. Vous devez travailler dans le répertoire /pr. Le circuit disponible sur la carte Max-V est le 5M570ZF256C5.  
Vous devez suivre la documentation disponible sur Cyberlearn, sur la page "19\_HEIG-VD\_SysLog2". Soit: Introduction à Quartus Prime 17.0  
**Remarque** : ne pas oublier d'effectuer l'assignation des pins du CPLD.
- 3) Vous devez analyser et commenter le résultat de la synthèse, pour le composant *bin\_lin\_2to4*, en consultant les vues RTL et Technology.  
Vous devez donner la quantité de logique utilisée pour le composant *bin\_lin\_2to4*.  
Quantité de logique voir dans Quartus « Compilation Report » :  
    Ansis&Synthesis > Resource Utilization by Entity  
  
Vue du détail d'une connexion dans la vue RTL de Quartus:
  - Sélectionner une connexion,
  - puis clic droit, sélectionner "Connectivity Details ..."
- 4) Programmer le circuit 5M570ZF256C5 d'une maquette MaxV 80p-25p avec le fichier \*.pof généré lors du point précédent.  
Les entrées/sorties utilisées sont définies dans *maxv\_top.vhd*, soit:  
    bin\_i(1..0) = Button(1) & Button(0)      lin\_o = Led(3..0)
- 5) Faire valider l'intégration de votre Bin-Lin 2 à 4 par le professeur ou l'assistant.
- 6) Réaliser la description du transcodeur Bin-Lin en utilisant l'instruction *when ... else*.  
Un chablon vous est fourni: ../intro\_bin\_lin/src/bin\_lin\_2to4\_flotdon.vhd  
L'objectif est de décrire le comportement **sans utiliser des équations logiques** !
- 7) Réaliser la simulation automatique avec le banc de test fourni *bin\_lin\_2to4\_tb.vhd* et le script *run\_comp\_bin\_lin\_tb.tcl*  
  
Vérifier que le script \*.tcl et le banc de test \*\_tb.vhd soit bien configuré pour utiliser la description *bin\_lin\_2to4\_flotdon.vhd*, faire les modifications nécessaires.

- 8) Réaliser la description du transcodeur Bin-Lin pour une version 3 à 8 basée sur votre description du point 6). Compléter le chablon fourni.  
 Vous adapterez *console\_sim.vhd* pour réaliser la simulation manuelle.

<i>bin_i</i>			<i>lin_o</i>							
<b>2</b>	<b>1</b>	<b>0</b>	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	1
.	.	.	.	.	.	.	.	.	.	.
1	1	0	0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1

- 9) Faire l'intégration de la version du Bin-Lin 3 à 8 dans la carte maquette MaxV 80p-25p.  
 Vous adapterez le fichier *maxv\_top.vhd*.
- 10) Faire valider l'intégration de votre Bin-Lin 3 à 8 par le professeur ou l'assistant.