

教育性晶片測試成果報告格式

IC 編號：U18-107B-E0013

授課老師：闕志達 服務單位：國立台灣大學 職稱：特聘教授
電話：+886-2-33663545 傳真：+886-2-23681679 E-Mail：chiueh@ntu.edu.tw

參與學生：張承洋 學校系所：台灣大學 電機工程學系

電話：0922076605 E-Mail：b04901056@ntu.edu.tw

請從此處開始以中文打字撰寫，以不超過 4 頁 A4 為原則，中文字體以楷書 12 點為主，英文字體以 Times 12 點為主

一、摘要（中英文）

作者根據 Cordic 技術及 Singular Value Decomposition 演算法所設計出的案件, 能計算 $2 * 2$ real matrix 的 singular value

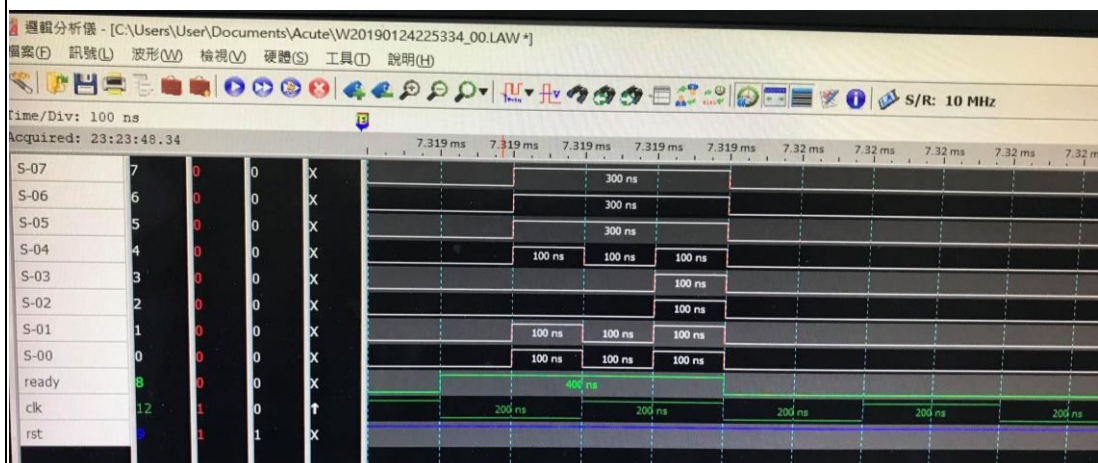
Keyword: Cordic , Singular Value

二、測試方法與測試儀器

將晶片設計 simulation 階段的 nWave 波形輸入到 Data generator, 輸出 PG 波形檔 , 再利用 Pattern generator 將測試訊號打到晶片輸入腳位, 並利用 Logic analyzer 觀察晶片的輸出訊號

三、測試結果

(測試結果請儘可能用量化數據表示，並以圖、表詳加說明)



上圖中的 ready 訊號為 1 時表示輸出訊號 S-00~S-07 為有效,由於我們計算出的 singular value 為 48 bits 的數字,我們決定各取中間的 16 bits 並以每個 clock 8 bits 的方式輸出 (S-00~S-07)

由上圖可以看出 clk 訊號跟其他訊號不同步, 理論上其他訊號都應該在 clk 的 positive edge 更新,除此之外, S-00~S-07 在輸出的第一個 cycle 當中都為 0,也是與當初設計的電路行為相違背

四、預計規格與實測結果

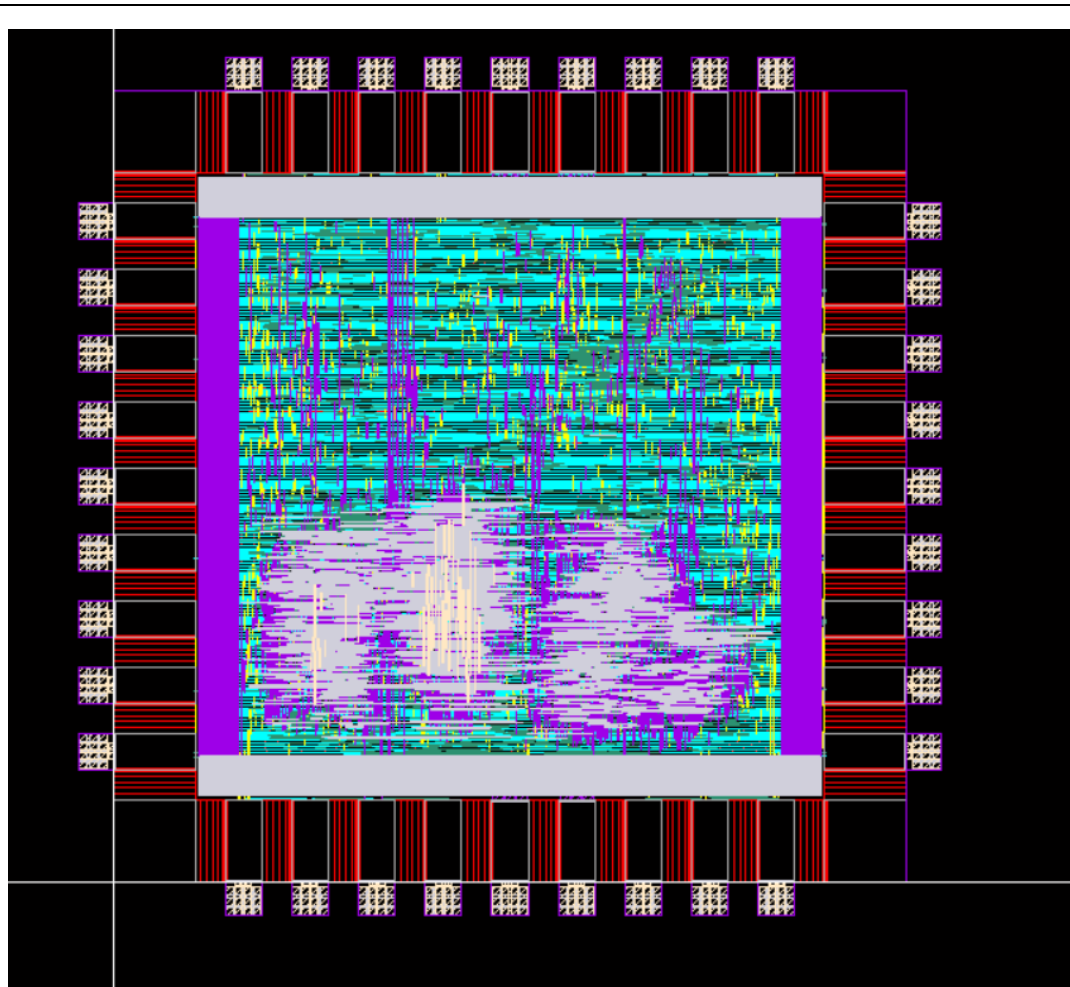
Description	
Process	UMC 0.18um Mixed-Mode and RFCMOS 1.8V/3.3V
Power Supply	3.3V*

	Spec.	Pre-Sim	Post-Sim
Frequency	50Mhz	50MHz	50MHz
Chip size	< 1.5* 1.5 mm^2	0.538 mm^2	2.158 mm^2
Power		7.522mW	46.09mW
PADs	36	36	36

五、結論與討論

我們在測試時發現 Data generator 無法根據我們的 nWave 波形檔輸出正確的 PG 檔,所以我們的測試訊號是根據 testbench 個別設定的,雖然我們有注意 clk cycle 的長度,但測試結果卻還是發生 clk 訊號與其他訊號不同步的現象,推測原因是我們在 timing constraint 上有所失誤

六、圖表(含晶片佈局圖)



*** Chip Features

CAD Tools ***

CKT name	基於 CORDIC 架構的二階方陣奇異值分解計算器 (設計名稱)
Technology	U18(使用製程)
Package	40 S/B(包裝種類)
Chip Size	1.5*1.5(晶片面積； m * m)
Transistor/Gate Count	58162(電晶體 / 邏輯閘數)

Power Dissipation

46.09:(功率消耗； mW)

Max. Frequency

50(最高工作頻率， MHz)

Testing Results

☐ function work ☒ partial work ☐ fail

(partial work 或 fail 時請勾選以下之符合原因)

☐ Layout 佈局考慮不周(電路佈局不對稱或純粹佈局相關失誤)

☒ 量測儀器之量測範圍考量不周詳導致無法量測無考慮量測儀器的負載效應

☐ 佈局考量不周及缺乏完整的 EM 驗證 (Both)

☒ 電路設計考量不周(Design Rule 未仔細閱讀等)

☐ 未考量製程或 bonding 的 variation

☐ 後製程失敗

☐ 其他,請說明： _____

佈局平面圖

