

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA ĐIỆN – ĐIỆN TỬ



BÁO CÁO CUỐI KÌ

MÔN HỌC: THIẾT KẾ MẠCH TÍCH HỢP VLSI

ĐỀ TÀI

TÌM HIỂU VÀ MÔ PHỎNG CẤU TRÚC CỦA SRAM 8T

GVHD: TS. ĐỖ DUY TÂN

SVTH:

MSSV:

ĐỖ TRUNG HẬU

21161121

NGUYỄN QUỲNH ĐÌNH

21161115

VÕ MINH HUY

21142642

NGUYỄN THỊ TRÚC MAI

21161147

PHAN VĂN NGUYỄN

21161160

Tp. Hồ Chí Minh – 11/2023

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA ĐIỆN – ĐIỆN TỬ

BÁO CÁO CUỐI KÌ

MÔN HỌC: THIẾT KẾ MẠCH TÍCH HỢP VLSI

ĐỀ TÀI

*TÌM HIỂU VÀ MÔ PHỎNG
CẤU TRÚC CỦA SRAM 8T*

GVHD: TS. ĐỖ DUY TÂN

SVTH:

MSSV:

ĐỖ TRUNG HẬU

21161121

NGUYỄN QUỲNH ĐÌNH

21161115

VÕ MINH HUY

21142642

NGUYỄN THỊ TRÚC MAI

21161147

PHAN VĂN NGUYỄN

21161160

Tp. Hồ Chí Minh – 11/2023

DANH SÁCH THÀNH VIÊN THAM GIA VIẾT BÁO CÁO

HỌC KỲ 1 NĂM HỌC 2023 – 2024

Lớp học phần: ICDV436264_23_1_05

Giảng viên hướng dẫn: TS Đỗ Duy Tân

Tên đề tài: “TÌM HIỂU VÀ MÔ PHỎNG CẤU TRÚC CỦA SRAM 8T”.

STT	Họ và tên sinh viên	Mã số sinh viên	Số điện thoại
1	Nguyễn Quỳnh Đình	21161115	
2	Đỗ Trung Hậu	21161121	
3	Võ Minh Huy	21142642	
4	Nguyễn Thị Trúc Mai	21161147	
5	Phan Văn Nguyên	21161160	

Nhận xét của giáo viên

.....

.....

.....

.....

.....

.....

.....

Tp. Hồ Chí Minh – Tháng 11 năm 2023



ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HCM
KHOA ĐIỆN - ĐIỆN TỬ
www.utex.hcmute.edu.vn

CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM

Độc lập – Tự do – Hạnh phúc

Tp. Hồ Chí Minh, Tháng 11, Năm 2023

Ý KIẾN CỦA GIÁO VIÊN HƯỚNG DẪN

Nhóm sinh viên:

Nguyễn Quỳnh Đình	- 21161115
Đỗ Trung Hậu	- 21161121
Võ Minh Huy	- 21142642
Nguyễn Thị Trúc Mai	- 21161147
Phan Văn Nguyên	- 21161160

Ngành: Công nghệ kỹ thuật Điện tử - Viễn thông

Năm học: 2022-2023

Lớp: 21161VMVT

Đề tài: “Tìm hiểu và mô phỏng cấu trúc của SRAM 8T”

Giảng viên: TS. Đỗ Duy Tân

Ý kiến

1. Nội dung của đề tài:

.....

2. Ưu điểm:

.....

3. Nhược điểm:

.....

.....

4. Xếp loại:

.....

5. Điểm số:.....(Bằng chữ:).....



ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP.HCM
KHOA ĐIỆN - ĐIỆN TỬ
www.utex.hcmute.edu.vn

CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM

Độc lập – Tự do – Hạnh phúc

Tp. Hồ Chí Minh, Tháng 11, Năm 2023

LỜI CẢM ƠN

Để hoàn thành tốt bài báo cáo này ngoài sự nỗ lực của bản thân thì chúng em còn nhận được sự quan tâm giúp đỡ của Thầy và mọi người xung quanh.

Đặc biệt chúng em xin gửi đến TS Đỗ Duy Tân - người đã tận tình hướng dẫn, giúp đỡ chúng em để hoàn thành bài báo cáo này một lời cảm ơn chân thành và sâu sắc nhất.

Chúng em thực sự biết ơn đến tất cả bạn bè của chúng em, những người đã có những góp ý quý báu trong thời gian chúng em làm dự án. Chúng em cũng phải thừa nhận các nguồn tài nguyên học tập mà chúng em đã nhận được từ nhiều nguồn khác nhau.

Vì thời gian nghiên cứu có hạn, trình độ hiểu biết của bản thân chúng em còn nhiều hạn chế nên bài báo cáo của chúng em không tránh khỏi những thiếu sót, em rất mong nhận được sự góp ý quý báu của tất cả các thầy cô để bài báo cáo của chúng em được hoàn thiện hơn.

Chúng em xin chân thành cảm ơn.

Tp. Hồ Chí Minh, Tháng 11, Năm 2023

Nhóm thực hiện



TÓM TẮT

Trong thế giới ngày nay của công nghệ số, thiết kế mạch tích hợp đang đối mặt với những thách thức ngày càng lớn, đặc biệt là khi nhu cầu về hiệu suất, tiết kiệm năng lượng và diện tích ngày càng cao. Trong bối cảnh này, nghiên cứu và phát triển các cấu trúc ô nhớ trở nên ngày càng quan trọng để đảm bảo sự linh hoạt và hiệu quả trong các ứng dụng từ thiết bị di động đến hệ thống nhúng phức tạp. Một trong những tiến bộ đáng chú ý là cấu trúc SRAM 8T, một lĩnh vực nghiên cứu hứa hẹn đem lại sự đột phá trong thiết kế mạch tích hợp.

SRAM 8T, một biến thể của cấu trúc ô nhớ Static Random Access Memory (SRAM), đang thu hút sự chú ý với khả năng tối ưu hóa hiệu suất và tiết kiệm năng lượng. Được thiết kế với 8 transistor, nó đưa ra những ưu điểm độc đáo trong việc cân bằng giữa hiệu suất đọc/ghi, ổn định năng lượng và diện tích chiếm dụng. Điều này mở ra nhiều tiềm năng trong ứng dụng từ các thiết bị di động thông minh đến các hệ thống tích hợp phức tạp.

Bài báo cáo này sẽ trình bày về cấu trúc, nguyên lý và mô phỏng hoạt động của SRAM 8T, đồng thời đề xuất những phương án giúp tối ưu hiệu suất hoạt động, cũng như những hướng phát triển tiềm năng để làm cho nó trở thành một giải pháp ngày càng linh hoạt và hiệu quả trong thế giới đầy thách thức của thiết kế mạch tích hợp.

Tp. Hồ Chí Minh, Tháng 11, Năm 2023

Nhóm thực hiện

DANH SÁCH CÁC BẢNG

<i>Bảng 1: Thông số thời gian đọc và ghi của một vài bộ nhớ.....</i>	<i>10</i>
<i>Bảng 2: Công suất thay đổi theo nhiệt độ làm việc.....</i>	<i>29</i>

DANH SÁCH CÁC HÌNH ẢNH

<i>Hình 2.1 Các loại bộ nhớ phổ biến EEPROM, SRAM và DRAM (từ trái sang phải)</i>	3
<i>Hình 2.2 Các loại bộ nhớ được sử dụng phổ biến trong cuộc sống</i>	5
<i>Hình 2.3 Hoạt động ghi và đọc của ô nhớ</i>	6
<i>Hình 2.4 Cấu trúc cơ bản của một bộ nhớ SRAM</i>	8
<i>Hình 2.5 Dạng sóng đọc dữ liệu từ bộ nhớ SRAM</i>	9
<i>Hình 2.6 Dạng sóng ghi dữ liệu vào bộ nhớ</i>	10
<i>Hình 2.7 Các khối cơ bản có trong thiết kế SRAM</i>	11
<i>Hình 2.8 Cấu trúc một mạch nạp trước đơn giản</i>	12
<i>Hình 2.9 Dạng khác của mạch nạp trước</i>	12
<i>Hình 2.10 Mạch ghi dữ liệu của bộ nhớ SRAM</i>	13
<i>Hình 2.11 Mạch giải mã theo dạng cổng NOR (trái) và AND (phải)</i>	14
<i>Hình 2.12 Sơ đồ nguyên lý của mạch khuếch đại cảm nhận</i>	15
<i>Hình 2.13 Hai cấu trúc mạch của ô nhớ SRAM</i>	16
<i>Hình 2.14 Cấu trúc ô nhớ SRAM 6T</i>	16
<i>Hình 2.15 Dạng sóng mô phỏng SRAM 6T</i>	17
<i>Hình 3.1 Cấu trúc ô nhớ SRAM 7T</i>	19
<i>Hình 3.2 Cấu trúc ô nhớ SRAM 8T so với ô nhớ SRAM 6T truyền thống</i>	20
<i>Hình 3.3 Quá trình ghi bit 1 của SRAM 8T</i>	21
<i>Hình 3.4 Quá trình ghi bit 0 của SRAM 8T</i>	22
<i>Hình 3.5 Quá trình đọc bit 1 của SRAM 8T</i>	22
<i>Hình 3.6 Quá trình đọc bit 0 của SRAM 8T</i>	23
<i>Hình 3.7 Dạng sóng đọc dữ liệu của SRAM 8T</i>	22
<i>Hình 3.8 Cấu trúc ô nhớ SRAM 8T đề xuất 1</i>	22
<i>Hình 3.9 Cấu trúc ô nhớ SRAM 8T đề xuất 2</i>	24
<i>Hình 4.1 Sơ đồ mạch mô phỏng của SRAM 8T</i>	26
<i>Hình 4.2 Các tín hiệu nguồn xung giả lập</i>	27
<i>Hình 4.3 Dạng sóng mô phỏng của SRAM 8T</i>	27
<i>Hình 4.4 Dạng sóng công suất tức thời ở 27 độ</i>	29
<i>Hình 4.5 Giá trị công suất thay đổi theo nhiệt độ</i>	29
<i>Hình 4.6 Thời gian trễ cạnh lên ở ngõ vào</i>	31
<i>Hình 4.7 Thời gian trễ cạnh xuống ở ngõ vào</i>	31
<i>Hình 4.8 Thời gian trễ cạnh lên ở ngõ ra</i>	32

Hình 4.8 Thời gian trễ cạnh xuống ở ngõ ra	32
Hình 5.1 Đặc tuyến $V - V$ của cổng NOT và Schmitt Trigger	34
Hình 5.2 Ô nhớ SRAM 8T theo cấu trúc Schmitt Trigger	35
Hình 5.3 Ô nhớ SRAM 8T theo cấu trúc đối xứng	35
Hình 5.4 Cấu trúc SRAM 8T dạng chồng chất transistor	36
Hình 5.5 Cấu trúc mạch clock gattting đơn giản	36
Hình 5.6 Ô nhớ SRAM 8T kết hợp với Power Gattting	36
Hình 5.7 Ô nhớ SRAM 8T theo phương pháp đa ngưỡng	37

MỤC LỤC

CHƯƠNG 1: TỔNG QUAN	1
1. Đặt vấn đề.....	1
2. Mục tiêu của đề tài.....	1
3. Nội dung thực hiện	1
4. Bố cục của đề tài	2
5. Giới hạn của đề tài.....	2
CHƯƠNG 2: GIỚI THIỆU VỀ BỘ NHỚ SRAM.....	3
1. Giới thiệu về bộ nhớ	3
2. Phân loại bộ nhớ	4
3. Bộ nhớ RAM	5
3.1. Giới thiệu về bộ nhớ RAM.....	5
3. 2. Hoạt động đọc và ghi của bộ nhớ RAM:	5
3.3 Bộ nhớ DRAM	7
3.4 Bộ nhớ SRAM	7
4. Cấu trúc của một bộ nhớ và ô nhớ SRAM.....	11
4.1 Cấu trúc bộ nhớ RAM.....	11
4.2 Cấu trúc ô nhớ	16
CHƯƠNG 3: THIẾT KẾ Ô NHỚ TRONG SRAM 8T.....	19
3.1 Cấu trúc ô nhớ SRAM 8T tiêu chuẩn	19
3.2 Hoạt động ghi/đọc.....	21
3.2.1 Hoạt động ghi 1	21
3.2.2 Hoạt động ghi 0	21
3 2.1 Hoạt động đọc 1	21
3.2.4 Hoạt động đọc 0	21
3.3 Một số cấu trúc ô nhớ SRAM 8T được đề xuất	22
3.3.1 Cấu trúc 1	22
3.3.2 Cấu trúc 2.....	24
CHƯƠNG 4: MÔ PHỎNG VÀ ĐÁNH GIÁ.....	26
4.1 Sơ đồ mạch nguyên lý	26
4.2 Mô phỏng dạng sóng.....	26
4.3 Tính toán công suất	28

4.4 Tính toán thời gian trễ	30
4.4.1 Thời gian trễ lan truyền trong hoạt động ghi	30
4.4.2 Thời gian trễ lan truyền trong hoạt động đọc.....	32
CHƯƠNG 5: TỐI ƯU HÓA BỘ NHỚ SRAM	34
5.1 Tối ưu trong cấu trúc SRAM.....	34
5.1.1 Sử dụng mạch Schmitt – Trigger	34
5.1.2 Cấu trúc SRAM 8T đối xứng.....	35
5.1.3 Cấu trúc SRAM 8T dạng chồng chất transistor	36
5.2 Các công nghệ làm giảm dòng rò và công suất động.....	36
5.3.1 Clock gating.....	36
5.3.2 Power gating.....	36
5.3.3 Multi Threshold CMOS	37
CHƯƠNG 6: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....	38
6.1 Kết luận	38
6.2 Hướng phát triển	38
TÀI LIỆU THAM KHẢO	

CHƯƠNG 1: TỔNG QUAN

1. Đặt vấn đề

Trong suốt nhiều thập kỷ qua, công nghệ vi mạch CMOS đã thực sự đóng một vai trò to lớn trong công nghiệp sản xuất các bộ nhớ bán dẫn. Trong kiến trúc phân cấp bộ nhớ trên hầu hết các máy tính hiện đại, do ở vị trí gần nhất với bộ xử lý, thiết kế bộ nhớ đệm ảnh hưởng lớn đến hiệu năng của máy tính. Bộ nhớ đệm được chế tạo từ các ô nhớ truy xuất ngẫu nhiên tĩnh (SRAM) để lưu trữ lệnh và dữ liệu tạm thời trước khi được đưa vào bộ xử lý trung tâm nhằm để giảm hiện tượng thất cổ chai sinh ra đối với kiến trúc máy tính Von Neumann. Ngày nay, với nền tảng kết nối vạn vật (IoT) các thiết kế máy tính xuất hiện ở khắp mọi nơi trên hầu hết các thiết bị điện tử nhưng đã đặt ra nhiều thách thức mới về diện tích thiết kế, năng lượng tiêu thụ, và tốc độ hoạt động.

Trong vài năm qua, kích thước đặc trưng của các sản phẩm từ công nghệ CMOS đã được thu nhỏ đáng kể đến các kích thước nhỏ hơn. Bộ nhớ là một phần không thể thiếu của hầu hết các thiết bị kỹ thuật số và do đó việc thiết kế bộ nhớ VLSI đã trở nên rất được mong đợi. Trong thập kỷ qua, thiết kế bộ nhớ với khả năng xử lý mạnh mẽ và năng lượng thấp đã thu hút được nhiều nghiên cứu chú ý đến. SRAM đã trở thành một thành phần quan trọng trong hệ thống phân cấp bộ nhớ của hầu hết các thiết bị nhưng vì nó thống trị hiệu suất tổng thể của hệ thống. SRAM được sử dụng rộng rãi trong nhiều bộ vi xử lý và hệ thống trên chip (SOC) do tốc độ và mức tiêu thụ điện năng thấp. Thiết kế của ô nhớ SRAM thông thường được hình thành từ 6 transistor, các cấu trúc SRAM 7T hoặc cao hơn, các transistor được thêm vào nhằm mục đích điều khiển việc cấp nguồn cho SRAM hoạt động, nhằm tối ưu hóa công suất tiêu thụ của mạch. Với mong muốn được tìm hiểu và nghiên cứu về cấu trúc, nguyên lý hoạt động của một ô nhớ SRAM, nhóm chúng em đã chọn đề tài: *“Tìm hiểu và mô phỏng cấu trúc của SRAM 8T”* làm đề tài báo cáo của mình.

2. Mục tiêu của đề tài

Mục tiêu của đề tài này là tìm hiểu được cấu trúc của SRAM về mạch nạp trước, mạch khuếch đại cảm nhận, mạch giải mã, mạch ghi, mạch đọc và ô nhớ của nó. Phân tích được nguyên lý hoạt động của SRAM 8T ở các hoạt động đọc và ghi. Đồng thời mô phỏng chức năng của một ô SRAM 8T tiêu chuẩn để đánh giá được hoạt động của nó về dạng sóng, công suất tiêu thụ, thời gian trì hoãn dựa trên công cụ Cadence với thư viện công nghệ 130 nm của Samsung. Ngoài ra, đề tài còn đề xuất một vài cấu trúc SRAM 8T mới, cải thiện được những hạn chế còn tồn đọng ở ô nhớ SRAM 8T tiêu chuẩn trước đó, góp phần nâng cao hiệu suất hoạt động của SRAM trong tương lai.

3. Nội dung thực hiện

Để đạt được những mục tiêu trên, đề tài cần phải đạt được những nội dung sau đây:

- + Tìm hiểu sơ lược về các loại bộ nhớ, đặc biệt là bộ nhớ RAM và vai trò của nó trong các hệ thống máy tính. Phân tích được hoạt động đọc và ghi, memory timing trong bộ nhớ SRAM, trình bày được cấu trúc của một bộ nhớ và ô nhớ SRAM. Sơ lược về cấu trúc và hoạt động của ô nhớ SRAM 6T truyền thống.
- + Tìm hiểu về cấu trúc tiêu chuẩn của ô nhớ SRAM 8T, phân tích được cấu tạo và nguyên lý ghi và đọc. So sánh với các ô nhớ truyền thống trước đó, từ đó đưa ra một số cấu trúc đề xuất cho ô nhớ SRAM 8T.
- + Thực hành vẽ mạch nguyên lý, phân tích dạng sóng đọc và ghi, tính toán công suất tiêu thụ của mạch, tính toán thời gian trì hoãn truyền và nhận xét các kết quả. Các thiết kế và tính toán được hỗ trợ bởi phần mềm Cadence và được thực hiện theo công nghệ CMOS 130nm bởi Samsung.
- + Trình bày một số phương pháp tối ưu hiệu suất cho SRAM 8T bao gồm việc thay đổi cấu trúc cũng như kết hợp với các công nghệ tối ưu được sử dụng rộng rãi trong ngày nay như Clock gating, Power Gating,...

4. Bố cục của đề tài

Bài báo cáo được chia thành 6 chương:

- + **Chương 1:** Tổng quan
- + **Chương 2:** Giới thiệu về bộ nhớ SRAM
- + **Chương 3:** Thiết kế ô nhớ trong SRAM 8T
- + **Chương 4:** Mô phỏng và đánh giá
- + **Chương 5:** Tối ưu hóa bộ nhớ SRAM
- + **Chương 6:** Kết luận và hướng phát triển

5. Giới hạn của đề tài

Do còn nhiều giới hạn về kiến thức cũng như thời gian tìm hiểu, chính vì vậy với đề tài: “*Tìm hiểu và mô phỏng cấu trúc của SRAM 8T*”, nhóm em tập trung nghiên cứu về cấu trúc, nguyên lý của các ô nhớ SRAM tiêu chuẩn và đề xuất. Việc mô phỏng và đánh giá chỉ dựa trên mạch nguyên lý của ô nhớ SRAM chứ chưa thực sự là một cấu trúc hoàn chỉnh. Việc đánh giá mang tính chất khách quan, và chưa có nhiều công cụ cũng như kiến thức để phân tích chi tiết hơn về các thông số transistor, thông số hoạt động của ô nhớ.

CHƯƠNG 2: GIỚI THIỆU VỀ BỘ NHỚ SRAM

1. Giới thiệu về bộ nhớ

Tính ưu việt chủ yếu của các hệ thống số so với hệ thống tương tự là khả năng lưu trữ một lượng lớn thông tin số và dữ liệu trong những khoảng thời gian nhất định. Khả năng nhớ này là điều làm cho hệ thống số trở thành đa năng và có thể thích hợp với nhiều tình huống. Thí dụ trong một máy tính số, bộ nhớ trong chứa những lệnh mà theo đó máy tính có thể hoàn tất công việc của mình với sự tham gia ít nhất của con người.

Bộ nhớ bán dẫn được sử dụng làm bộ nhớ chính trong các máy tính nhờ vào khả năng thỏa mãn tốc độ truy xuất dữ liệu của bộ xử lý trung tâm (CPU). Chúng ta đã quá quen thuộc với Flilflop, một linh kiện điện tử có tính nhớ. Chúng ta cũng đã thấy một nhóm các FF hợp thành thanh ghi để lưu trữ và dịch chuyển thông tin như thế nào. Các FF chính là các phần tử nhớ tốc độ cao được dùng rất nhiều trong việc điều hành bên trong máy tính, nơi mà dữ liệu dịch chuyển liên tục từ nơi này đến nơi khác.

Tiến bộ trong công nghệ chế tạo LSI và VLSI cho phép kết hợp một lượng lớn FF trong một chip tạo thành các bộ nhớ với các dạng khác nhau. Những bộ nhớ bán dẫn với công nghệ chế tạo transistor lưỡng cực (BJT) và MOS là những bộ nhớ nhanh nhất và giá thành của nó liên tục giảm khi các công nghệ LSI và VLSI ngày càng được cải tiến.

Dữ liệu số cũng có thể được lưu trữ dưới dạng điện tích của tụ điện, và một loại phần tử nhớ bán dẫn rất quan trọng đã dùng nguyên tắc này để lưu trữ dữ liệu với mật độ cao nhưng tiêu thụ một nguồn điện năng rất thấp.



Hình 2.1 Các loại bộ nhớ phổ biến EEPROM, SRAM và DRAM (từ trái sang phải)

Bộ nhớ bán dẫn được dùng như là bộ nhớ trong chính của máy tính, nơi mà việc vận hành nhanh được xem như ưu tiên hàng đầu và cũng là nơi mà tất cả dữ liệu của chương trình lưu chuyển liên tục trong quá trình thực hiện một tác vụ do CPU yêu cầu.

Mặc dù bộ nhớ bán dẫn có tốc độ làm việc cao, rất phù hợp cho bộ nhớ trong, nhưng giá thành tính trên mỗi bit lưu trữ cao khiến cho nó không thể là loại thiết bị có tính chất lưu trữ khối (mass storage), là loại thiết bị có khả năng lưu trữ hàng tỷ bit mà không cần cung cấp năng lượng và

được dùng như là bộ nhớ ngoài (đĩa từ, băng từ, CD ROM . . .). Tốc độ xử lý dữ liệu ở bộ nhớ ngoài tương đối chậm nên khi máy tính làm việc thì dữ liệu từ bộ nhớ ngoài được chuyển vào bộ nhớ trong.

Băng từ và đĩa từ là các thiết bị lưu trữ khối mà giá thành tính trên mỗi bit tương đối thấp. Một loại bộ nhớ khối mới hơn là bộ nhớ bọt từ (magnetic bubble memory, MBM) là bộ nhớ điện tử dựa trên nguyên tắc từ có khả năng lưu trữ hàng triệu bit trong một chip. Với tốc độ tương đối chậm nó không được dùng như bộ nhớ trong.

2. Phân loại bộ nhớ

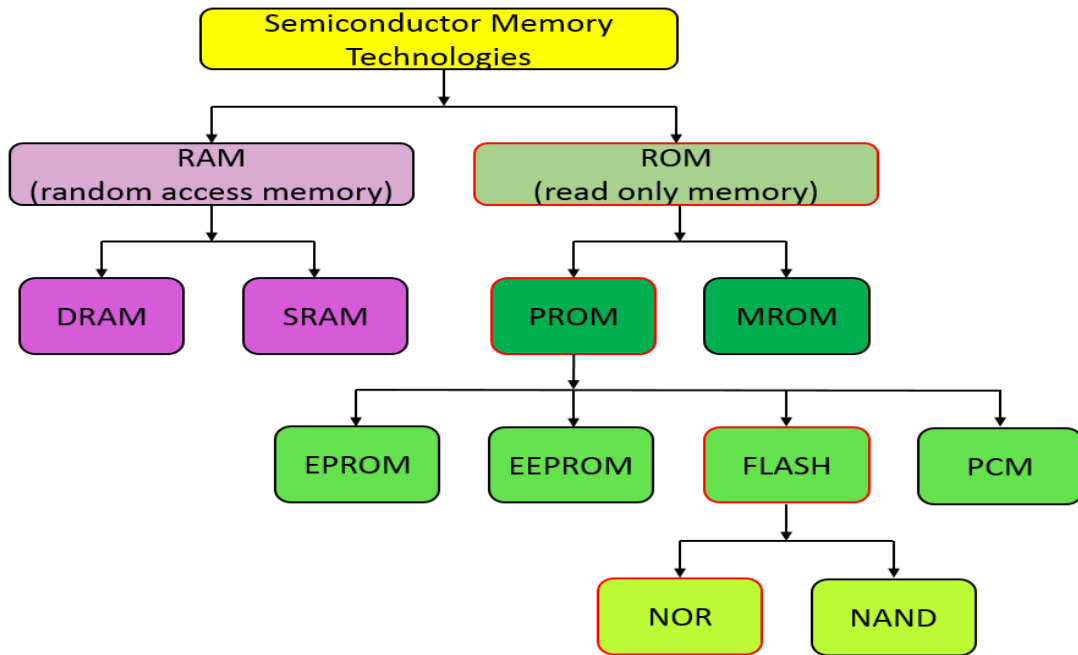
Bộ nhớ bay hơi (Volatile): là bộ nhớ khi lưu trữ dữ liệu thì cần phải duy trì nguồn điện cung cấp thì mới giữ được dữ liệu. Khi ngưng cung cấp nguồn thì dữ liệu lưu trữ trong bộ nhớ sẽ bị mất. Có nhiều bộ nhớ bán dẫn là bộ nhớ bay hơi, các bộ nhớ từ là bộ nhớ không bay hơi. Bộ nhớ không bay hơi là bộ nhớ không cần cung cấp nguồn điện mà vẫn lưu giữ được thông tin đã ghi vào trước đó.

RAM (Random-Access Memory): là bộ nhớ có các từ nhớ có thể ghi hoặc đọc ngẫu nhiên bất kỳ lúc nào và bất cứ vị trí nào. Thời gian truy xuất là bằng nhau cho tất cả các từ nhớ và hầu hết các bộ nhớ bán dẫn là bộ nhớ RAM.

ROM (Read-Only Memory): là bộ nhớ bán dẫn được thiết kế cho các ứng dụng có tỉ lệ thực hiện hoạt động đọc cao hơn nhiều so với hoạt động ghi. Về mặt kỹ thuật, ROM có thể được ghi chỉ một lần, và hoạt động ghi này thường do nhà sản xuất thực hiện. Sau đó, khi sử dụng thì thông tin chỉ được đọc từ bộ nhớ ra bên ngoài. Một số loại bộ nhớ ROM khác thông tin có thể được ghi nhiều hơn một lần, nhưng hoạt động ghi thường phức tạp hơn hoạt động đọc và nó cũng không được thực hiện thường xuyên. Tất cả các bộ nhớ ROM là bộ nhớ không bay hơi và, do đó, dữ liệu lưu trữ sẽ không bị mất khi ngưng cung cấp nguồn.

Bộ nhớ tĩnh (Static Memory): là những bộ nhớ bán dẫn lưu trữ dữ liệu không bị thay đổi khi vẫn còn cung cấp nguồn, và không cần ghi dữ liệu lại khi không cần thay đổi.

Bộ nhớ động (Dynamic Memory): là bộ nhớ mà khi lưu dữ liệu thì dữ liệu không tồn tại vĩnh cửu mặc dù vẫn luôn được cung cấp nguồn, cần phải thực hiện hoạt động ghi lại dữ liệu vào bộ nhớ theo từng chu kỳ nhất định. Hoạt động ghi lại bộ nhớ được gọi là hoạt động “làm tươi” (refresh) bộ nhớ. Nếu không thực hiện làm tươi bộ nhớ theo chu kỳ thì dữ liệu trong bộ nhớ sẽ bị mất.



Hình 2.2 Các loại bộ nhớ được sử dụng phổ biến trong cuộc sống

3. Bộ nhớ RAM

3.1. Giới thiệu về bộ nhớ RAM

RAM (Random-access memory) là một bộ nhớ có thể dễ dàng truy xuất ngẫu nhiên từ bất kỳ địa chỉ nào trong bộ nhớ. Có nhiều bộ nhớ có thể truy ngẫu nhiên, nhưng thuật ngữ RAM được sử dụng cho các bộ nhớ bán dẫn. Nó được sử dụng để đọc ghi liên tục không giống như bộ nhớ ROM chủ yếu để đọc dữ liệu ra.

RAM được sử dụng trong máy tính làm bộ nhớ lưu trữ dữ liệu và chương trình tạm thời. Nội dung trong bộ nhớ RAM được đọc và ghi khi máy tính thực thi chương trình. Một yêu cầu đối với RAM là tốc độ đọc và ghi phải nhanh để không làm hoạt động của máy tính bị chậm lại.

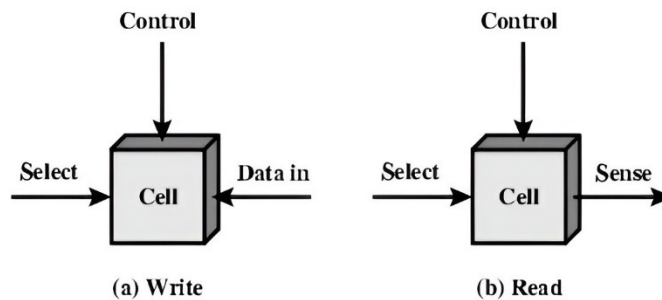
Nhược điểm của RAM là bộ nhớ bay hơi và nó sẽ làm mất toàn bộ thông tin lưu trữ khi tắt nguồn. Một số loại RAM công nghệ CMOS sử dụng một nguồn năng lượng nhỏ ở chế độ standby (khi mà không có hoạt động ghi hoặc đọc), nên có thể sử dụng nguồn pin khi tắt nguồn cung cấp chính. Và dĩ nhiên ưu điểm chính của RAM là có thể ghi dữ liệu vào và đọc dữ liệu ra nhanh và thời gian tương đối bằng nhau.

3.2. Hoạt động đọc và ghi của bộ nhớ RAM:

+ **Hoạt động đọc:** Là hoạt động truy xuất các bit của một từ nhớ tại vị trí cụ thể (địa chỉ) trong bộ nhớ ra ngoài hoặc chuyển sang thiết bị khác.

+ **Hoạt động ghi:** Hoạt động ghi (Write): là hoạt động đưa dữ liệu mới vào trong từ nhớ tại địa chỉ xác định. Nó còn được gọi là hoạt động lưu trữ, và khi dữ liệu mới được ghi vào trong vị trí nào đó của bộ nhớ thì nó sẽ thay thế dữ liệu đã có trước trong bộ nhớ tại vị trí đó.

Giữa ghi (write) và đọc (read) chúng ta có một đường chung là chọn (select) nhưng khác nhau là dữ liệu trong (data in) và cảm nhận (sense).



Hình 2.3 Hoạt động ghi và đọc của ô nhớ

+ **Đường cảm nhận:** Cảm nhận (sense) sẽ cảm nhận thông tin được ghi trên ô nhớ này mức 0 hay mức 1 và từ sense này ta đưa ra các trạng thái logic và đưa vào phần cứng khác hoặc đưa vào bộ xử lý,...

+ **Dữ liệu vào (Data in):** Là khi ta muốn ghi vào ô nhớ ở trạng thái mức cao hay mức thấp, Mức 0 hay mức 1.

+ **Đường lựa chọn (Select):** Ta có một mảng các bộ nhớ (Memory array) chứa nhiều các cell. Để truy cập vào trong các cell này, ta phải có 1 đường dữ liệu chọn (select) để chọn những vùng nhớ đó, ô nhớ đó để bắt đầu thao tác là ghi dữ liệu.

+ **Đường điều khiển (Control):** Điều khiển hoạt động 1 là đọc 2 là ghi.

+ **Chân chọn chip:** Hầu hết các chip nhớ đều có một hoặc nhiều hơn các ngõ vào CS (Chip Select) được sử dụng để cho phép hoặc không cho phép chip hoạt động. Trong chế độ không cho phép thì cả bộ đệm dữ liệu vào và bộ đệm dữ liệu ra đều không cho phép nên cả trạng thái đọc và ghi không thể thực hiện được. Ở chế độ này thì nội dung đã lưu trữ trước đó trong bộ nhớ không bị ảnh hưởng. Đây chính là lý do tại sao người ta sử dụng các ngõ vào CS để ghép các chip nhớ để tạo thành bộ nhớ có dung lượng lớn hơn. Lưu ý, một số nhà sản xuất có thể đặt tên chân này là CE (Chip Enable). Khi ngõ vào CS hoặc CE có mức logic tích cực thì gọi là được chọn, còn ngược lại gọi là không được chọn. Nhiều IC nhớ được thiết kế có chế độ tiêu thụ công suất thấp hơn khi nó không được chọn. Trong một hệ thống nhớ lớn, khi vận hành thì thường một hoặc nhiều chip nhớ được chọn, trong khi các chip khác thì không được chọn để tiết kiệm năng lượng cũng như tận dụng tối đa tốc độ của hệ thống.

3.3 Bộ nhớ DRAM

RAM động được chế tạo với công nghệ MOS có các đặc điểm là dung lượng lớn, công suất thấp và tốc độ không cao. Không giống như RAM tĩnh (tế bào nhớ sử dụng Flip-Flop), RAM động lưu trữ bit 1 và 0 bằng các nạp vào tụ điện (giá trị tụ khoảng vài picofarad). Điện được vào tụ sau một khoảng thời gian điện áp trong tụ sẽ giảm dần do tụ tự xả nên tế bào nhớ của RAM động phải được nạp lại theo chu kỳ gọi là làm tươi RAM. Đối với các loại DRAM mới thì mỗi tế bào nhớ phải được làm tươi lại theo chu kỳ 2, 4, hoặc 8 ms; nếu không dữ liệu sẽ bị mất.

Vì cần phải làm tươi nên DRAM thường sẽ thêm mạch hỗ trợ bên ngoài khi sử dụng. Một số DRAM có tích hợp sẵn mạch điều khiển làm tươi bên trong nên cũng không cần phải thêm mạch điện bên ngoài nhưng phải cấp tín hiệu điều khiển vào ngõ vào điều khiển của chip. Thêm vào đó, việc điều khiển DRAM phức tạp hơn so với SRAM cho nên việc thiết kế hệ thống sử dụng DRAM phức tạp hơn so với sử dụng SRAM. Tuy nhiên, dung lượng nhớ lớn và công suất tiêu thụ thấp làm cho DRAM được chọn sử dụng trong các hệ thống cần nhỏ gọn, giá thành thấp và công suất thấp.

DRAM có mật độ tích hợp gấp 4 lần so với SRAM vì cấu trúc tế bào nhớ đơn giản. Bộ nhớ chính trong máy tính cá nhân thường sử dụng DRAM bởi vì dung lượng lớn và công suất tiêu thụ thấp. Tuy nhiên, trong máy tính cũng sử dụng bộ nhớ SRAM tại các vị trí cần tốc độ cao như card đồ họa và bộ nhớ cache.

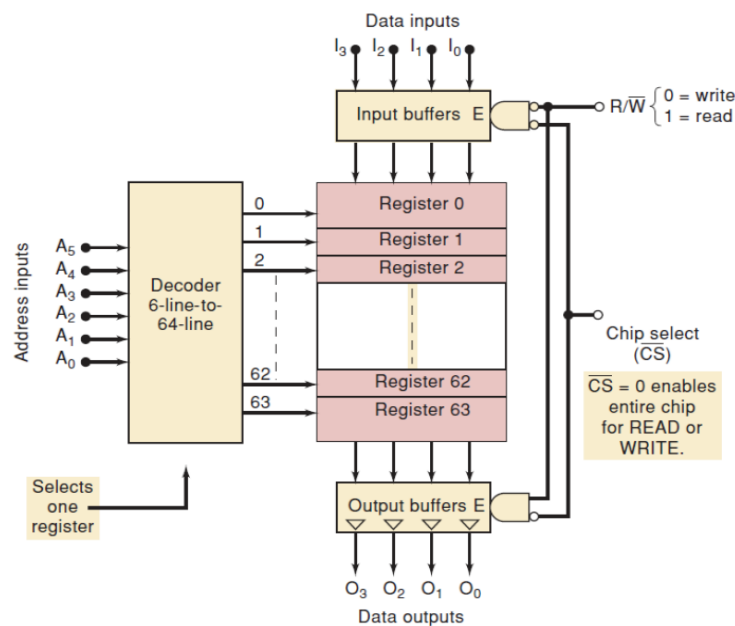
3.4 Bộ nhớ SRAM

Bộ nhớ truy cập ngẫu nhiên tĩnh là một loại RAM được sử dụng trong các ứng dụng điện tử khác nhau bao gồm đồ chơi, máy tính, thiết bị kỹ thuật số và ô tô. RAM tĩnh hoặc SRAM chỉ giữ nội dung của nó trong khi cấp nguồn. Một ô SRAM giữ dữ liệu di động miễn là bật nguồn bật vì nó bao gồm một thao tác chốt và làm mới không cần thiết cho ô SRAM. Sự khác biệt của nó từ RAM động là DRAM phải sử dụng chu kỳ làm mới để giữ cho nội dung của nó tồn tại. Như được chỉ ra bởi tên, SRAM giữ dữ liệu/bộ nhớ dưới dạng hình ảnh tĩnh cho đến khi bị ghi đè hoặc bị mất do tắt nguồn. SRAM là chủ yếu được sử dụng cho bộ nhớ đệm bộ nhớ trong bộ vi xử lý, máy tính lớn, kỹ thuật máy trạm và bộ nhớ trong các thiết bị cầm tay do tốc độ cao và tiêu thụ điện năng thấp. Mỗi bit trong một SRAM được lưu trữ trên bốn bóng bán dẫn tạo thành hai cổng NOT ghép chéo.

Bộ nhớ truy cập ngẫu nhiên tĩnh (SRAM) thường được nhúng vào thiết kế hệ thống trên chip (SoC) để lưu trữ các chương trình và dữ liệu. Nhiều nỗ lực đã được thực hiện để cải thiện hiệu quả của SRAM. Những cải tiến đang giảm dần độ trễ, tiêu thụ điện năng và tăng độ ổn định. Đã có một sự gia tăng đáng kể về nhu cầu về VLSI kỹ thuật số hiệu suất cao và năng lượng thấp. Các

nhà thiết kế đang thực hiện những yêu cầu rất cao mở rộng cả kích thước thiết bị và nguồn cung cấp. Mật độ và chức năng của bóng bán dẫn trên chip được cải thiện bằng cách mở rộng quy mô. Việc mở rộng quy mô cũng giúp tăng tốc độ và tần suất hoạt động và do đó hiệu suất cao hơn.

Trong kiến trúc phân cấp bộ nhớ trên hầu hết các máy tính hiện đại, do ở vị trí gần nhất với bộ xử lý, thiết kế bộ nhớ đệm ảnh hưởng lớn đến hiệu năng của máy tính. Bộ nhớ đệm được chế tạo từ các ô nhớ truy xuất ngẫu nhiên tĩnh (SRAM) để lưu trữ lệnh và dữ liệu tạm thời trước khi được đưa vào bộ xử lý trung tâm nhằm để giảm hiện tượng thất cổ chai sinh ra đối với kiến trúc máy tính Von Neumann. Ngày nay, với nền tảng kết nối vạn vật (IoT) các thiết kế máy tính xuất hiện ở khắp mọi nơi trên hầu hết các thiết bị điện tử nhưng đã đặt ra nhiều thách thức mới về diện tích thiết kế, năng lượng tiêu thụ, và tốc độ hoạt động.



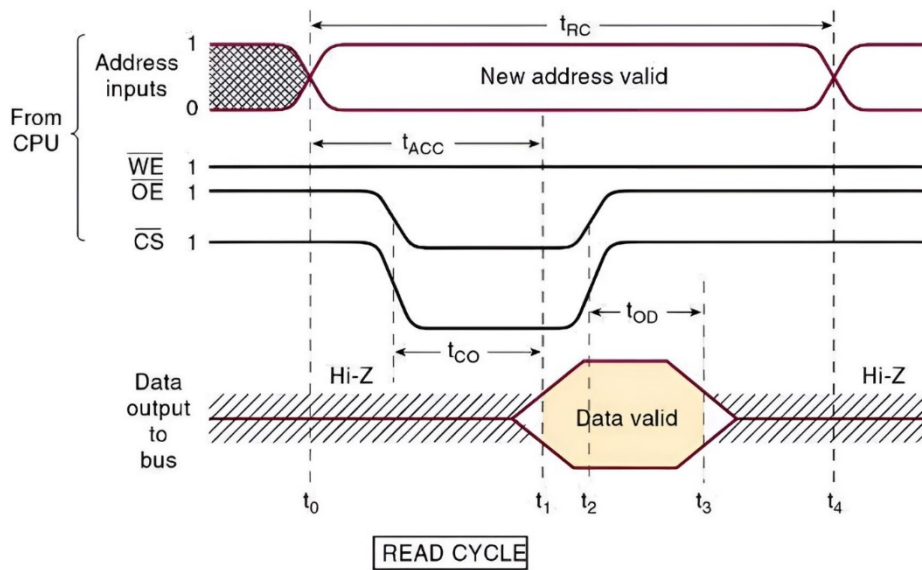
Hình 2.4 Cấu trúc cơ bản của một bộ nhớ SRAM

Các IC nhớ RAM thường được sử dụng làm bộ nhớ trong máy tính. CPU thực hiện đọc và ghi liên tục trên bộ nhớ này với tốc độ rất nhanh được xác định bằng tốc độ CPU. Các chip nhớ giao tiếp với CPU cũng phải có tốc độ đủ nhanh để đáp ứng yêu cầu đọc ghi của CPU, những người thiết kế máy tính cần phải quan tâm đến các đặc điểm về thời gian của RAM.

Không phải tất cả các RAM đều có thời gian hoạt động giống nhau nhưng về cơ bản là tương tự nhau nên chúng ta sẽ lấy một đặc tính điển hình làm ví dụ. Tên gọi cho các thông số thời gian thay đổi tùy thuộc vào nhà sản xuất, nhưng ý nghĩa của các thông số này thường rất dễ xác định dựa vào datasheet của RAM. Một giản đồ thời gian trong một chu kỳ đọc và ghi của một loại RAM điển hình được trình bày như trong Hình 2.5.

- **Chu kỳ đọc của SRAM** : Dạng sóng trong hình trình bày bao gồm địa chỉ, R/W, và tín hiệu ngõ vào chọn chip trong quá trình đọc bộ nhớ. Lưu ý rằng các tín hiệu ngõ vào này được cung cấp từ CPU khi cần đọc dữ liệu từ một địa chỉ cụ thể.

Chu kỳ đọc bắt đầu tại t_0 , trước t_0 cũng có địa chỉ đặt vào bus địa chỉ của chu kỳ hoạt động trước. Vì ngõ vào chọn chip CS không tích cực nên RAM sẽ không đáp ứng với địa chỉ cũ. Chú ý ngõ vào R/W cũng đang ở mức cao của chu kỳ đọc trước khi đến t_0 nó cũng được duy trì mức cao cho chu kỳ đọc tiếp theo. Hầu hết trong các hệ thống nhớ, tín hiệu R/W thường được giữ ở mức cao và khi nào cần ghi thì cho tín hiệu này xuống mức thấp. Lúc này ngõ ra dữ liệu ở trạng thái Hi-Z vì $\overline{CS} = 1$.



Hình 2.5 Dạng sóng đọc dữ liệu từ bộ nhớ SRAM

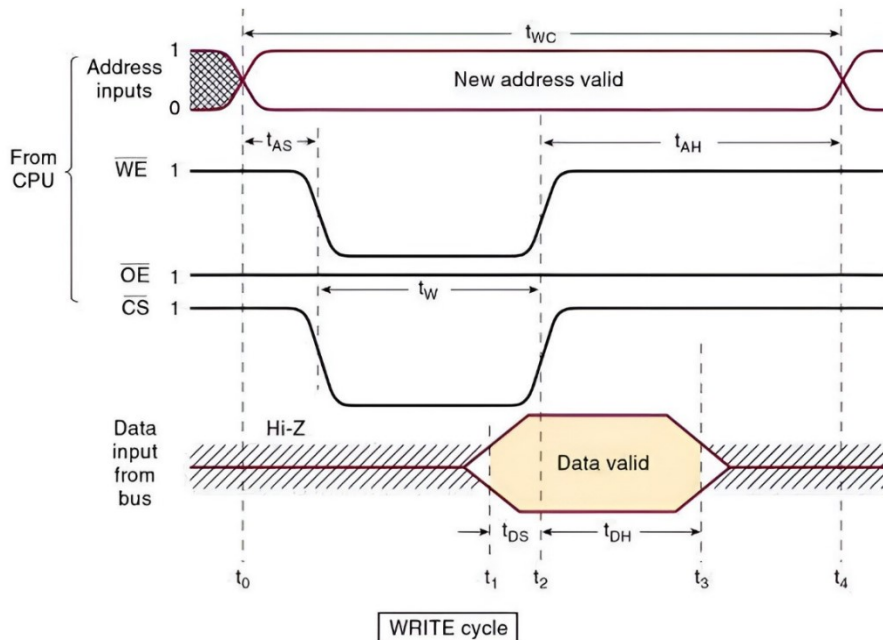
Tại thời gian t_0 , CPU đặt địa chỉ mới đến ngõ vào địa chỉ của RAM, địa chỉ này để xác định vị trí đọc. Sau khoảng thời gian ổn định địa chỉ thì kích hoạt tín hiệu CS. RAM phản hồi bằng cách đưa dữ liệu từ địa chỉ đã chọn ra ngõ ra dữ liệu tại thời gian t_1 . Thời gian giữa t_0 và t_1 gọi là thời gian truy xuất (t_{acc}). Thông số thời gian t_{CO} là thời gian ngõ ra của RAM chuyển từ trạng thái Hi-Z sang trạng thái dữ liệu khi CS được kích hoạt.

Tại thời gian t_2 , tín hiệu CS chuyển sang mức cao và ngõ ra của RAM trở về trạng thái Hi-Z sau một khoảng thời gian t_{OD} . Vì thế, dữ liệu ngõ ra của RAM chỉ tồn tại trên bus trong khoảng thời gian giữa t_1 và t_3 . CPU có thể lấy dữ liệu từ bus dữ liệu trong khoảng thời gian này, CPU thường sử dụng cạnh lên của tín hiệu CS tại thời gian t_2 để chốt dữ liệu vào thanh ghi của CPU. Một chu kỳ đọc hoàn chỉnh t_{RC} được tính từ t_0 đến t_4 , tiếp theo CPU đổi địa chỉ khác cho chu kỳ đọc hoặc ghi tiếp theo.

- **Chu kỳ ghi của SRAM:** Hình 2.6 trình bày các tín hiệu hoạt động trong chu kỳ ghi bắt đầu khi CPU đưa địa chỉ mới đến RAM tại thời gian t_0 . CPU điều khiển tín hiệu R/W và CS xuống mức thấp sau khi chờ một khoảng thời gian t_{AS} , t_{AS} được gọi là thời gian thiết lập địa chỉ. Thời gian này sử dụng để giải mã địa chỉ trong RAM để thay đổi vị trí thanh ghi. Các tín hiệu R/W và CS phải tồn tại mức thấp một khoảng thời gian t_w gọi là thời gian ghi.

Trong khoảng thời gian ghi, tại thời điểm t_1 , CPU đưa dữ liệu lên bus dữ liệu để ghi vào RAM. Dữ liệu phải được đưa đến RAM trước một khoảng thời gian t_{DS} , và phải tồn tại ít nhất một khoảng thời gian t_{DH} sau đó, các tín hiệu R/W và CS được cho về mức cao tại thời điểm t_2 . Thời gian t_{DS} được gọi là thời gian thiết lập dữ liệu và t_{DH} gọi là thời gian giữ dữ liệu. Tương tự, địa chỉ cũng phải được giữ ổn định trong khoảng thời gian giữ địa chỉ t_{AH} sau thời gian t_2 . Nếu bất kỳ một thời gian thiết lập hoặc giữ không đáp ứng thì quá trình ghi không đạt độ tin cậy.

Hình 2.6 Dạng sóng ghi dữ liệu vào bộ nhớ



Một chu kỳ ghi hoàn chỉnh t_{WC} là thời gian từ t_0 đến t_4 , tiếp theo CPU đổi địa chỉ khác cho chu kỳ đọc hoặc ghi tiếp theo. Chu kỳ đọc tục và chu kỳ ghi twc là những thông số sử dụng để xác định tốc độ của RAM. Ví dụ như, trong một ứng dụng cụ thể, CPU đọc liên tục các từ nhớ trong bộ nhớ RAM. Nếu bộ nhớ có $t_{RC} = 50 \text{ ns}$, nghĩa là cứ mỗi từ nhớ mất 50 ns để đọc thì CPU sẽ đọc được 20 triệu từ nhớ trong 1 s. Nếu $t_{RC} = 10 \text{ ns}$ thì CPU có thể đọc được 100 triệu từ nhớ mỗi giây. Thời gian ghi và đọc của một số loại RAM tĩnh như trong bảng sau:

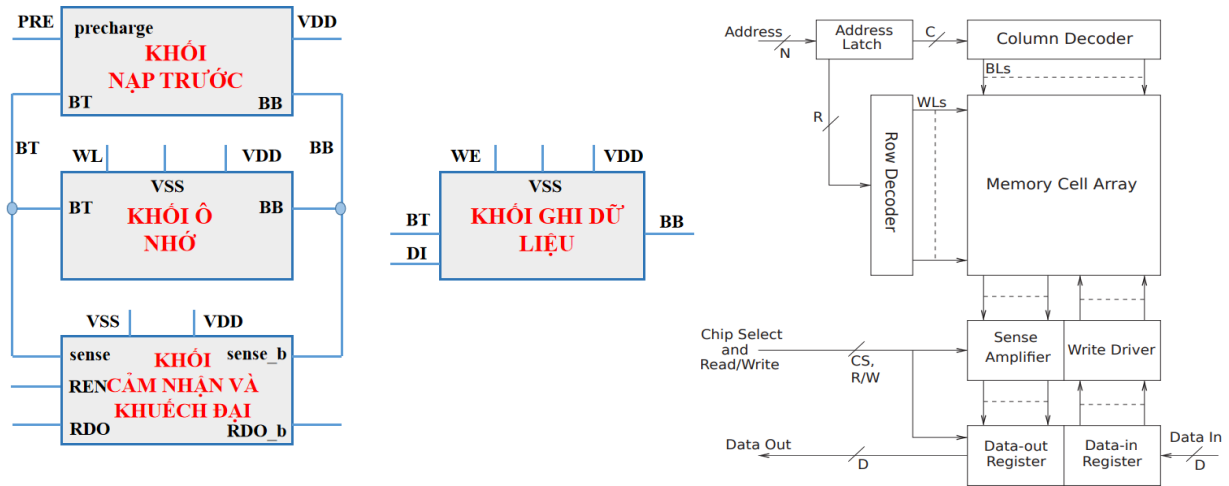
Bảng 1: Thông số thời gian đọc và ghi của một vài bộ nhớ

Bộ nhớ	t_{RC} (min)	t_{WC} (min)
CMOS MCM6206, 32Kx8	15ns	15ns
NMOS 2147, 4Kx1	35ns	35ns
BiCMOS MCM6708, 64Kx64	8ns	8ns

4. Cấu trúc của một bộ nhớ và ô nhớ SRAM

4.1 Cấu trúc bộ nhớ RAM

Bộ nhớ SRAM hoàn chỉnh bao gồm một mảng các ô nhớ đi kèm với các khối ngoại vi như khối giải mã hàng, giải mã cột, khối cảm nhận và khuếch đại (sense amplifier - SA), khối ghi dữ liệu (write driver) và khối nạp trước (precharge circuit). Các khối đi kèm cho phép việc ghi/đọc dữ liệu vào/ra ô nhớ. Hình 2.7 thể hiện sơ đồ khối thực thi hoạt động ghi/đọc dữ liệu lên ô nhớ SRAM. Thiết kế bao gồm 4 khối cơ bản: khối nạp trước; khối đọc dữ liệu với nguyên lý cảm nhận và khuếch đại tín hiệu; khối ghi dữ liệu vào ô nhớ; và khối lưu trữ dữ liệu là các ô nhớ.



Hình 2.7 Các khối cơ bản có trong thiết kế SRAM

Các khối cơ bản trong thiết kế SRAM được liên kết với nhau thông qua các đường BT (bitline true) và BB (bitline bar) tương ứng. VDD và VSS là đường cấp nguồn trên các khối. Tín hiệu PRE (precharge) cho phép mạch nạp trước hoạt động, khi đó các đường tín hiệu BT và BB sẽ được kéo lên VDD. Các đường sense và sense_b được kết nối tương ứng với BT và BB. Tín hiệu REN (read enable) trong khối cảm nhận và khuếch đại cho phép dữ liệu được lưu trữ trong ô nhớ SRAM được đọc ra ở hai đường dữ liệu tương ứng là RDO (read out) và RDO_b (read out bar). Trong khối ghi dữ liệu, tín hiệu ngõ vào DI (data input) qui định giá trị của bit dữ liệu cần ghi vào ô nhớ. WE (write enable) là tín hiệu cho phép khối ghi dữ liệu hoạt động. Trong khối ô nhớ SRAM, tín hiệu WL (wordline) được điều khiển bởi bộ giải mã địa chỉ nhằm cho phép truy cập vào ô nhớ xác định trong bộ nhớ SRAM để thực hiện hoạt động ghi/đọc.

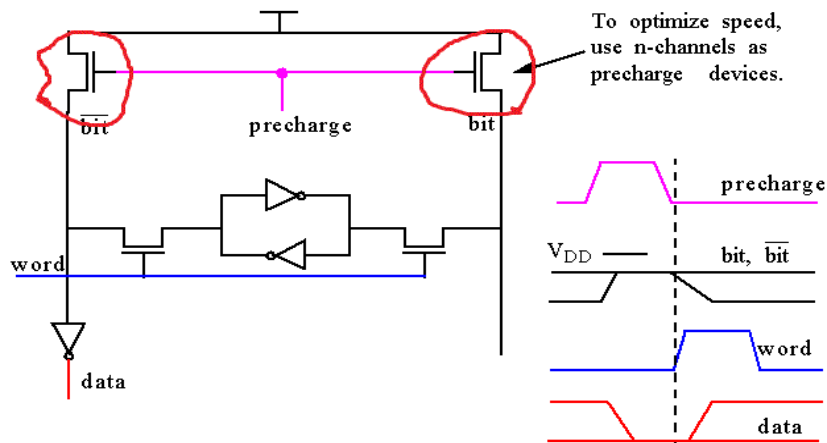
- **Mạch nạp trước:**

Mạch nạp trước rất quan trọng trong SRAM bộ nhớ để đảm bảo rằng các ô nhớ ổn định và đáng tin cậy.

Trong SRAM, mỗi ô nhớ có một cặp cổng NOT để lưu trữ dữ liệu. Khi chúng ta muốn đọc hoặc ghi dữ liệu, các dòng bit kết nối với các ô nhớ cần được sạc hoặc xả tương ứng. Cần phải nạp trước để đặt mức điện áp đã biết và ổn định khi hoạt động ghi bit diễn ra. Bằng cách nạp trước các đường bit đến một điện áp cụ thể (thường là $V_{DD} / 2$), các ô nhớ đã được chuẩn bị sẵn sàng và ở trạng thái đã biết, sẵn sàng nhận hoặc truyền dữ liệu.

Nếu không có mạch nạp trước, độ chênh lệch điện áp tối đa trong kết quả đọc là từ "0" đến "1" (hoặc ngược lại) sẽ mất nhiều thời gian hơn khi có mạch nạp trước.

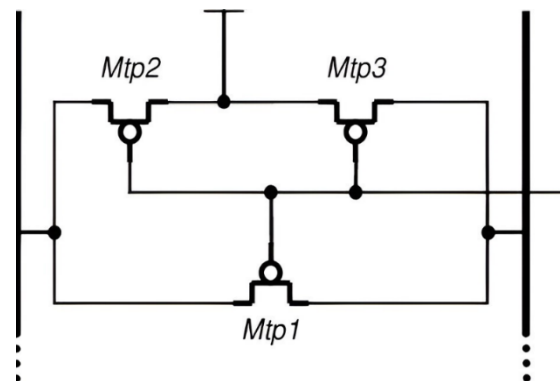
Việc nạp trước đảm bảo rằng đường truyền bit được điều khiển đến điện áp ở giữa "0" và "1", do đó khi đọc ô thực tế, đường truyền chỉ cần được điều khiển từ điện áp ở giữa đến "0" hoặc "1". Điều này dẫn đến khoảng một nửa thời gian chuyển tiếp và mang lại bộ nhớ nhanh hơn.



Hình 2.8 Cấu trúc một mạch nạp trước đơn giản

Vì vậy, thay vì bắt đầu các dòng bit ở mức thấp và để chúng kéo lên qua NMOS (chậm hơn và yếu hơn, chỉ có thể kéo đến $V_{DD} - V_T$), họ sẽ bắt đầu các dòng bit ở mức cao và để chúng kéo xuống qua NMOS có thể kéo xuống mạnh hơn và chắc chắn hơn với mức logic 0.

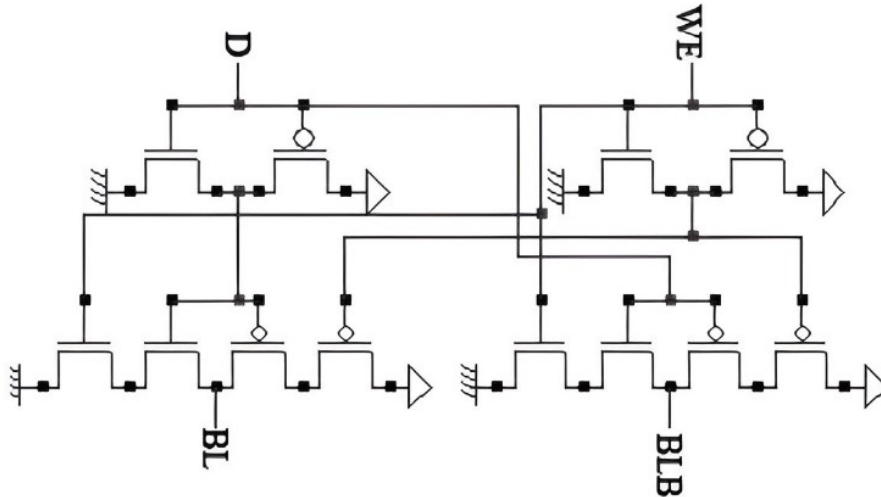
Một cấu trúc phổ biến của mạch nạp trước bao gồm 3 transistor pMOS như hình bên. Các transistor 2 và 3 đóng vai trò nạp cho hai đường bit dữ liệu, còn transistor 1 chịu trách nhiệm cân bằng điện áp giữa hai đường bitline.



Hình 2.9 Dạng khác của mạch nạp trước

- **Mạch ghi dữ liệu:** Trong SRAM, để ghi dữ liệu vào một ô nhớ cụ thể, một mạch ghi (write driver) được sử dụng để đưa dữ liệu từ dòng dữ liệu vào ô nhớ. Mạch này thường bao gồm các transistor và các linh kiện điện tử khác để tạo ra tín hiệu cần thiết để lưu trữ dữ liệu. Quá trình ghi

dữ liệu vào SRAM thường bao gồm các bước như chuẩn bị dữ liệu, kích thích mạch ghi để đưa dữ liệu vào ô nhớ, và sau đó là quá trình xác nhận việc ghi. Một mạch ghi hiệu quả trong SRAM đóng vai trò quan trọng để đảm bảo hiệu suất và độ tin cậy của bộ nhớ. Nó cũng phải đảm bảo rằng dữ liệu được ghi vào ô nhớ một cách đúng đắn và không bị mất khi không cần thiết. Điều này đặt ra các yêu cầu cao về thiết kế và kỹ thuật của mạch ghi trong SRAM.



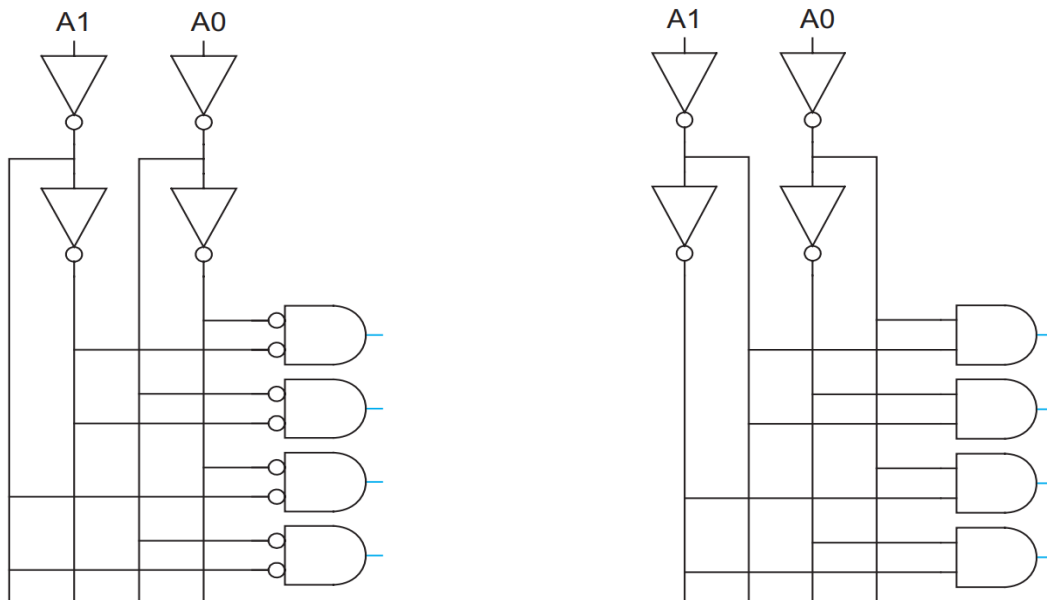
Hình 2.10 Mạch ghi dữ liệu của bộ nhớ SRAM

Chức năng của trình điều khiển ghi SRAM là ghi dữ liệu đầu vào vào các dòng bit khi tín hiệu kích hoạt ghi (WRITE_EN) được bật; ngược lại khi tín hiệu WE không được kích hoạt thì dữ liệu sẽ không được ghi vào đường Bit line.

- **Mạch giải mã:**

Mảng bộ nhớ lớn có thể có hàng trăm hàng khác nhau của ô nhớ. Vì mỗi lần chỉ có một từ dữ liệu được chọn, có mỗi địa chỉ được gán cho chỉ một mã pin là một sự lãng phí không gian. Để giảm số lượng chân cần thiết để chọn một địa chỉ, hầu hết các chip bộ nhớ đều sử dụng bộ giải mã địa chỉ. Địa chỉ bộ giải mã sử dụng sự kết hợp của logic 1 và 0 ở đầu vào để chọn một địa chỉ duy nhất. Điều này cho phép n chân truy cập vào $2n$ địa điểm. Trong một số trường hợp nhất định, bộ tiền giải mã cũng có thể được thêm vào tiếp tục giảm số lượng chân cần thiết để truy cập vào từng chân địa chỉ. Một số chip đồng bộ cũng sẽ tích hợp xung nhịp tín hiệu với bộ giải mã địa chỉ để các ô chỉ được chọn trong một phần nhất định của chu kỳ xung đồng hồ.

Bộ giải mã đơn giản nhất là tập hợp các cổng AND sử dụng phiên bản đúng và bổ sung của các bit địa chỉ. Cấu trúc này hữu ích cho tối đa 5–6 đầu vào trở lên nếu tốc độ không quan trọng. Các bóng bán dẫn NAND thường được thiết kế ở kích thước tối thiểu để giảm tải cho các dòng địa chỉ được đệm vì có $2n - k$ bóng bán dẫn trên mỗi dòng địa chỉ đúng và bổ sung trong bộ giải mã hàng. Hoặc một phiên bản mạch giải mã khác dựa trên các cổng NOR cũng có thể được triển khai.



Hình 2.11 Mạch giải mã theo dạng cổng NOR (trái) và AND (phải)

- **Mạch khuếch đại cảm nhận:**

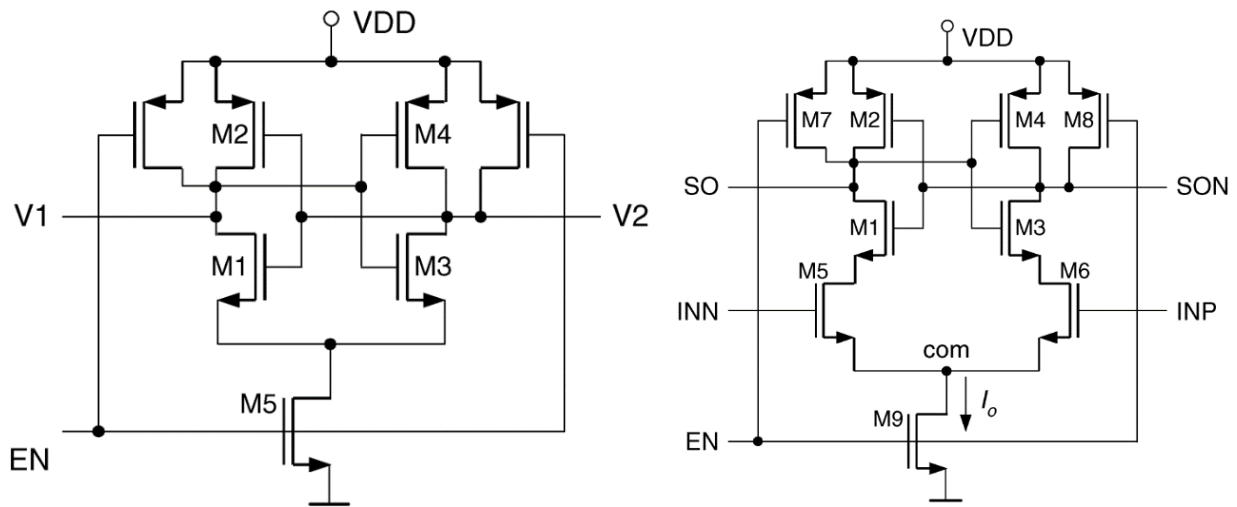
Mạch khuếch đại cảm nhận trong SRAM thường được sử dụng để cải thiện khả năng đọc dữ liệu từ các ô nhớ SRAM và là một phần quan trọng trong quá trình đọc dữ liệu đúng đắn. Điều này liên quan đến việc cải thiện độ nhạy của mạch đọc SRAM đối với biến động nhỏ trong mức logic của dữ liệu lưu trữ.

Mạch khuếch đại cảm nhận thường đi kèm với các yếu tố như bộ so sánh (sense amplifier), có nhiệm vụ so sánh mức logic của bit line và bit line bar (được mô tả trong câu trước) để xác định giá trị của bit được đọc từ ô nhớ. Các mạch khuếch đại này có thể tăng cường tín hiệu và làm cho chúng trở nên đủ lớn để có thể được đọc chính xác bởi các mạch logic tiếp theo.

Bộ khuếch đại cảm giác là thành phần quan trọng trong bộ nhớ thiết kế. Công việc chính của bộ khuếch đại cảm giác là thực hiện khuếch đại sự chênh lệch điện áp đang được tạo ra trên đường bit line và bit line bar tại thời điểm hoạt động. Nó cảm nhận bit-line bar và bit-line để theo dõi hoạt động. Nó cải thiện tốc độ đọc và ghi của bộ nhớ. Một công việc khác là giảm bớt năng lượng cần thiết cho hoạt động. Một bộ khuếch đại cảm giác có mặt trong mỗi cột của mảng SRAM.

Hình 2.12 cho thấy hai dạng mạch thông thường nổi tiếng. Hai cổng NOT ghép chéo cung cấp phản hồi tích cực. Tín hiệu kích hoạt EN bật bộ khuếch đại và bắt đầu hoạt động cảm biến. Tùy thuộc vào cực tính chênh lệch điện áp giữa nút V1 và V2, bộ khuếch đại cảm biến sẽ lật theo hướng này hoặc hướng khác. Điều quan trọng đối với các bộ khuếch đại cảm giác kiểu chốt nói chung là khi quá trình quyết định kết thúc, dòng điện sẽ tự động dừng lại. Do đó, không có tiêu thụ năng lượng tĩnh. Việc chuyển EN sang mức logic thấp sẽ đặt lại chốt trước khi lần đọc tiếp theo có thể bắt đầu. Các nút V1 và V2 là các đầu vào và đầu ra tại cùng một lúc. Do đó, mạch không thể được

kết nối trực tiếp tới đường bit vì mạch sẽ cố gắng phóng điện dung của đường bit trong giai đoạn quyết định và sẽ tăng độ trễ và công suất.



Hình 2.12 Sơ đồ nguyên lý của mạch khuếch đại cảm nhận

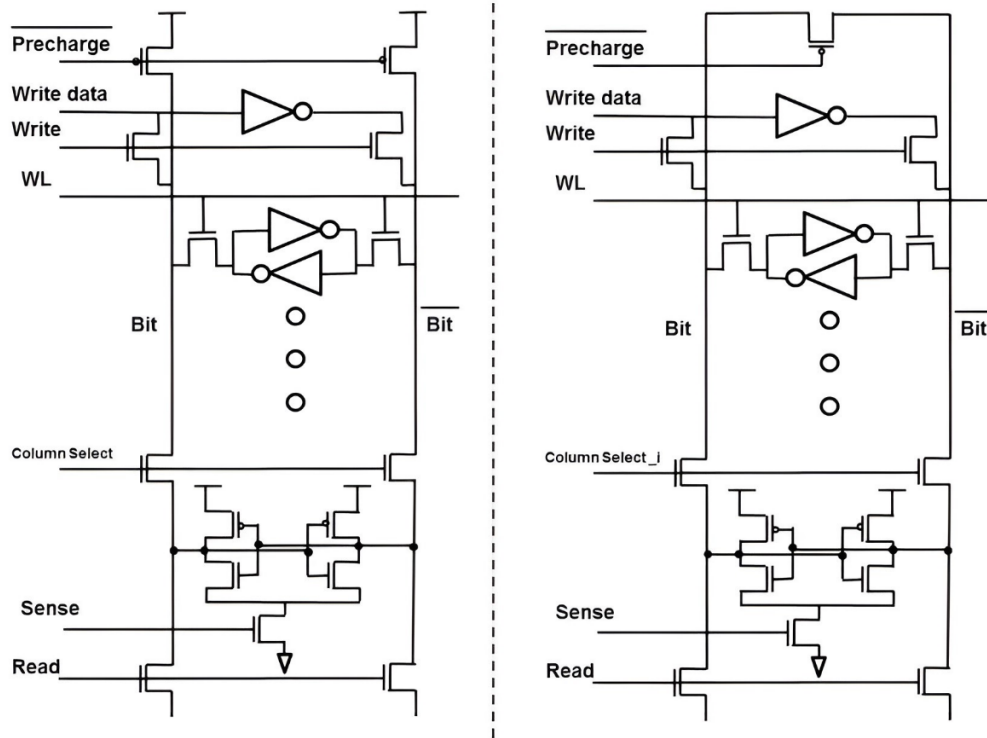
Nhược điểm này không xảy ra đối với mạch chốt được trình bày ở hình 2.12 do tăng vi phân đầu vào có trở kháng cao. Nó được giới thiệu bởi Kobayashi và cộng sự vào năm 1993. Bộ khuếch đại cảm giác này kết hợp phản hồi tích cực mạnh mẽ với đầu vào có điện trở cao. Dòng điện của các bóng bán dẫn đầu vào vi sai M5 và M6 điều khiển mạch chốt được kết nối nối tiếp. Một sự khác biệt nhỏ giữa dòng điện qua M5 và M6 chuyển thành điện áp đầu ra lớn.

- **Mạch đọc:**

Trong mạch nhớ SRAM (Static Random Access Memory), "read driver" là một phần của mạch đọc, chịu trách nhiệm cho việc đọc dữ liệu từ ô nhớ SRAM. Khi một yêu cầu đọc được tạo ra, read driver được kích thích để đọc giá trị từ ô nhớ và đưa nó ra khỏi mạch nhớ để sử dụng.

Quá trình đọc dữ liệu trong SRAM thường liên quan đến việc so sánh mức logic trên bit line và bit line bar (đối lập của bit line) bằng cách sử dụng mạch so sánh (sense amplifier). Sau đó, read driver sẽ chuyển dữ liệu đọc được đến các phần khác của hệ thống.

Hoạt động đọc được thực hiện bằng cách sử dụng các bộ khuếch đại cảm biến để lấy dữ liệu và tạo ra đầu ra. Bộ giải mã hàng được sử dụng để chọn ô hoặc các ô thích hợp mà từ đó dữ liệu sẽ được đọc và được cung cấp cho các bộ khuếch đại cảm biến.

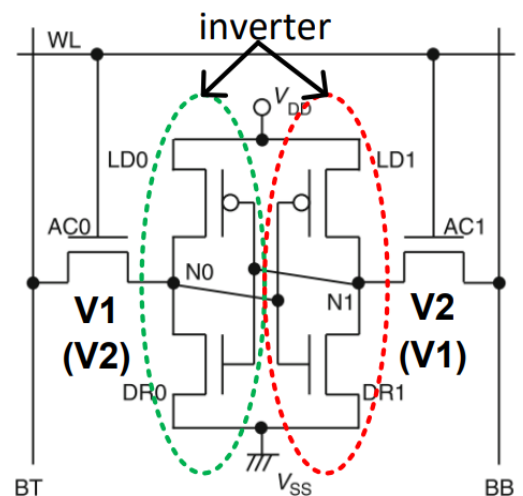


Hình 2.13 Hai cấu trúc mạch của ô nhớ SRAM

4.2 Cấu trúc ô nhớ

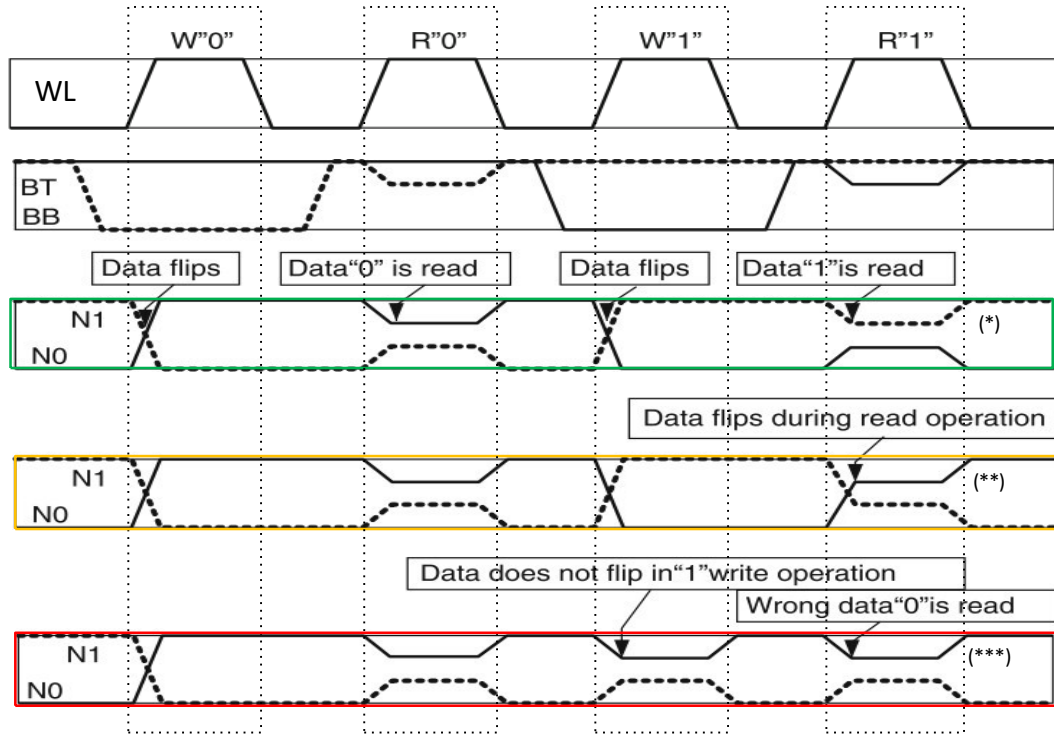
Thiết kế của ô nhớ SRAM thông thường được hình thành từ 6 transistor như thể hiện trên hình. Trong đó, 4 transistor gồm LD0, DR0, LD1, DR1 được sử dụng để tạo nên 2 cổng đảo; 2 transistor AC0 và AC1 được điều khiển bởi tín hiệu WL cho phép kết nối điểm N0 và N1 với đường BT và BB tương ứng khi WL = '1'. Ngõ vào/ra của 2 cổng đảo được thiết kế kết nối dạng hồi tiếp dương tạo thành thiết kế flip-flop để lưu trữ dữ liệu nhị phân tại các vị trí N0 và N1. Giá trị dữ liệu được lưu trữ sẽ được đưa đến các đường BT và BB thông qua việc đóng/ngắt các transistor AC0 và AC1 tương ứng.

Bộ nhớ truy xuất ngẫu nhiên tĩnh có 3 chế độ hoạt động cơ bản gồm ghi, đọc và giữ dữ liệu. Trong chế độ giữ dữ liệu, thì đường tín hiệu WL sẽ không được kích hoạt. Điều này dẫn đến các transistor AC0 và AC1 ngừng dẫn, đường tín hiệu BT và BB bị cách ly hoàn toàn với ô nhớ lưu trữ dữ liệu. Do đó, ô nhớ SRAM sẽ lưu trữ trạng thái dữ liệu được ghi trước đó. Dạng sóng các hoạt động cơ bản của SRAM gồm 4 giai đoạn nhằm thể hiện một số trường hợp ghi và đọc dữ liệu lên ô nhớ SRAM được minh họa trong hình 2.14 trong đó, trường hợp các hoạt



Hình 2.14 Cấu trúc ô nhớ SRAM 6T

động ghi/đọc không phát sinh lỗi được thể hiện ở khung đánh dấu (*). Các khung đánh dấu (**) và (***) tương ứng thể hiện trường hợp phát sinh lỗi ở hoạt động đọc và ghi trên bộ nhớ SRAM.



Hình 2.15 Dạng sóng mô phỏng SRAM 6T

Tại giai đoạn 1, khi ghi dữ liệu '0' vào ô nhớ, điểm N1 và N0 sẽ được mạch ghi dữ liệu thiết lập giá trị '0' và '1' tương ứng.

Ở giai đoạn 2, khi dữ liệu '0' được đọc từ ô nhớ, cả 2 đường BT và BB được nạp một điện áp mức cao thông qua mạch nạp trước và sau đó đường tín hiệu WL sẽ được kích hoạt mức cao. Lúc này, dữ liệu được lưu trữ trong ô nhớ sẽ được đưa ra đường BT/BB. Điều này sẽ tạo ra một sự khác biệt điện áp trên đường dữ liệu BT/BB. Sự khác biệt về mặt điện áp này sẽ được khuếch đại bởi mạch khuếch đại và cảm nhận sau đó dữ liệu được lưu trữ trong ô nhớ sẽ truy xuất ra bên ngoài. Như vậy, hoạt động đọc trên thiết kế 6T có thể ảnh hưởng đến dữ liệu được lưu trữ trên ô nhớ khi đường WL được kích hoạt.

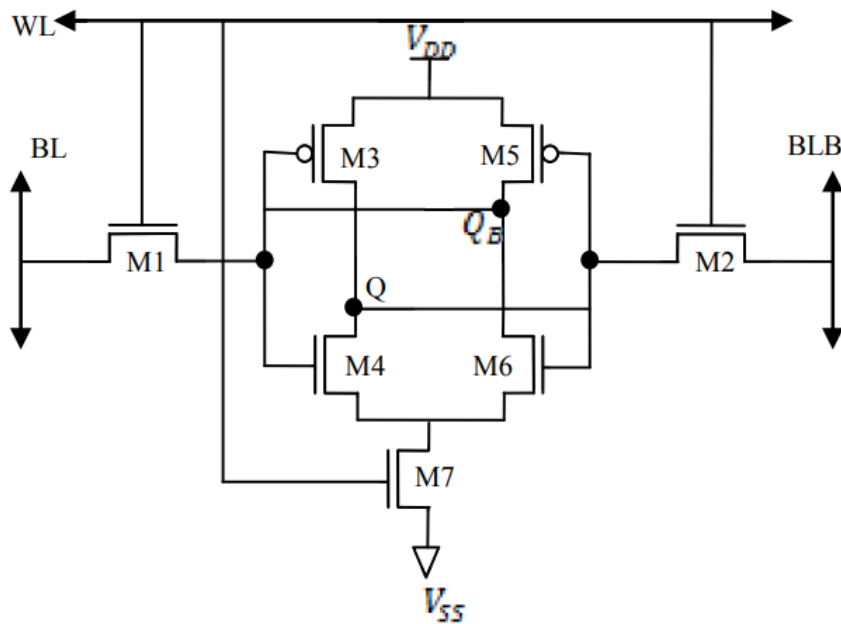
Trong giai đoạn 3 và 4 thể hiện hai trường hợp lỗi phát sinh trong quá trình ghi và đọc dữ liệu ô nhớ SRAM. Trong quá trình đọc dữ liệu thể hiện trong khung đánh dấu (**), lỗi phát sinh là do dữ liệu đọc ra tại điểm N0/N1 bị thay đổi so với dữ liệu được ghi vào trước đó. Trong quá trình ghi dữ liệu, lỗi phát sinh khi tại điểm N0/N1 dữ liệu không được thiết lập đúng mức điện áp ghi mong muốn, như được minh họa trong khung đánh dấu (***) của hình 2.15.

Sự ổn định trong hoạt động đọc của ô nhớ là một tham số rất quan trọng trong thiết kế SRAM. Một số phương pháp đã được đề xuất để nâng cao độ ổn định cho tham số này bao gồm thay đổi thiết kế trong mạch đọc dữ liệu, giảm thời gian cần thiết để cảm nhận dữ liệu được lưu trữ trên ô

nhớ hoặc tăng giá trị điện áp ngưỡng V_{TH} . Tuy nhiên, giá trị điện áp ngưỡng thường bị giới hạn trong một phạm vi nhất định để đảm bảo sự hoạt động ổn định của các transistor. Bên cạnh thiết kế tiêu chuẩn với 6 transistor cho mỗi ô nhớ SRAM, nhiều thiết kế đã được đề xuất nhằm xây dựng nên các ô nhớ SRAM thỏa mãn được tham số ổn định trong các hoạt động cơ bản cũng như các ràng buộc về mật độ tích, công suất, và thời gian trễ truy xuất. Ngoài đánh giá hoạt động của thiết kế 6T, nghiên cứu này khảo sát một giải pháp thay thế với ô nhớ được tạo thành từ 8 transistor (thiết kế 8T) được đề cập ở **chương 3**. Các cấu trúc SRAM 7T hoặc cao hơn, các transistor được thêm vào nhằm điều khiển việc cấp nguồn cho SRAM hoạt động, nhằm tối ưu hóa công suất tiêu thụ của mạch.

CHƯƠNG 3: THIẾT KẾ Ô NHỚ TRONG SRAM 8T**3.1 Cấu trúc ô nhớ SRAM 8T tiêu chuẩn**

Để cải thiện hiệu suất và độ ổn định của dữ liệu, một số cấu trúc ô nhớ đã được đề xuất tại cấp độ tế bào. Ví dụ: một ô 7T mới được đề xuất giúp cải thiện tính ổn định của ô nhớ SRAM và giảm mức tiêu tán năng lượng trung bình trong quá trình đọc ghi và giảm rò rỉ điện ở chế độ chờ. Trong cấu trúc ô SRAM 7T, ô bao gồm một bóng bán dẫn bổ sung được đặt trong đường dẫn đất của SRAM 6T để giảm rò rỉ trong khi ô nhớ ở chế độ chờ. Bên trong chế độ chờ, bóng bán dẫn phía dưới có mục đích cắt điện đường dẫn trên mặt đất và để loại bỏ các đường dẫn rò rỉ qua nguồn bóng bán dẫn nhưng ô nhớ này không thể tăng được tốc độ đọc.

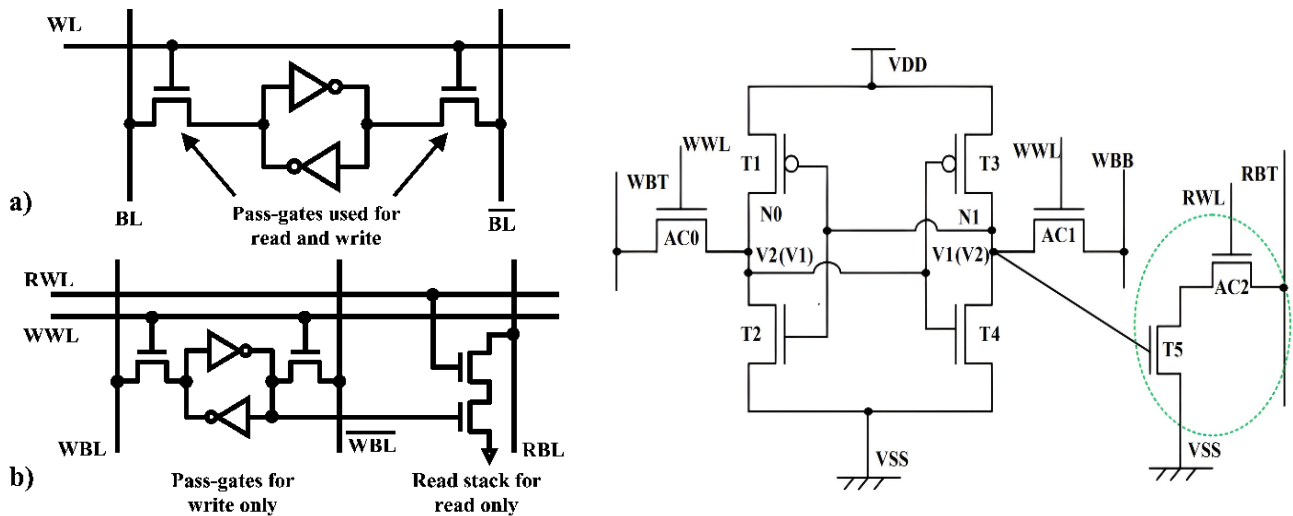


Hình 3.1 Cấu trúc ô nhớ SRAM 7T

Có những hạn chế chính xác về kích thước của bóng bán dẫn để có thể duy trì tính ổn định của dữ liệu và chức năng của các ô SRAM 6T và 7T. Để duy trì độ ổn định khi đọc, ô SRAM 8T được sử dụng. Độ ổn định của các ô SRAM 6T và 7T được đặc trưng bởi tỷ lệ β kích thước của các bóng bán dẫn kéo xuống so với các bóng bán dẫn truy cập. β cao hơn dẫn đến tăng cường độ ổn định của dữ liệu nhưng phải trả giá bằng khả năng rò rỉ tăng lên và diện tích tế bào lớn hơn. Để khắc phục vấn đề phá hủy lưu trữ dữ liệu trong quá trình đọc, người ta đã sử dụng triển khai ô 8T, trong đó các đường tín hiệu từ và bit đọc/ghi riêng biệt được sử dụng để phân tách phần tử lưu giữ dữ liệu và phần tử đầu ra dữ liệu. Đổi lại, việc triển khai ô nhớ cung cấp hoạt động không bị xáo trộn khi đọc.

Trong cấu trúc 8 ô SRAM được nghiên cứu dựa trên công nghệ FinFET 5nm. Kỹ thuật này làm tăng đáng kể lề ghi và không có ảnh hưởng xấu đến việc đọc SNM. Ngoài ra, các nhà nghiên cứu đã phát triển các phương pháp mới để giảm công suất sự tiêu thụ. Một ô SRAM 8T mới được trình

bày trong bài này, sử dụng dòng bit đơn để đọc và ghi hoạt động. Những đóng góp chính của bài báo được liệt kê như sau. Đầu tiên, ô nhớ được đề xuất cải thiện cả biên độ nhiễu đọc và ghi so với ô SRAM 6T thông thường. Thứ hai, thiết kế chỉ sử dụng một dòng bit. Cuối cùng, so với ô SRAM 6T, ô SRAM 8T được đề xuất có mức tiêu thụ điện năng thấp hơn.



Hình 3.2 Cấu trúc ô nhớ SRAM 8T so với ô nhớ SRAM 6T truyền thống

Thiết kế 8T cơ bản được dựa trên thiết kế SRAM chuẩn với ô nhớ gồm 6 transistor. Trong đó, thiết kế 8T tách biệt 2 phần ghi và đọc dữ liệu lên ô nhớ SRAM. Ưu điểm việc tách biệt 2 phần ghi và đọc trên thiết kế 8T làm cải thiện đáng kể SNM trong hoạt động đọc khi không ảnh hưởng đến hoạt động ghi dữ liệu cũng như dữ liệu được ghi trước đó lên ô nhớ. So sánh với thiết kế 6T, thiết kế mới được xem là bất đối xứng vì chỉ sử dụng đường RBT để đọc dữ liệu. Trong hoạt động đọc, trước tiên đường RBT sẽ được kéo lên mức điện áp VDD, sau đó phụ thuộc vào giá trị bit được lưu trữ trong ô nhớ mà đường RBT sẽ được kéo xuống mức 0 hoặc giữ nguyên trạng thái. Mạch đọc dữ liệu trong thiết kế 8T cũng được thay đổi so với thiết kế 6T để phù hợp cho thiết kế bất đối xứng của ngõ ra đọc dữ liệu.

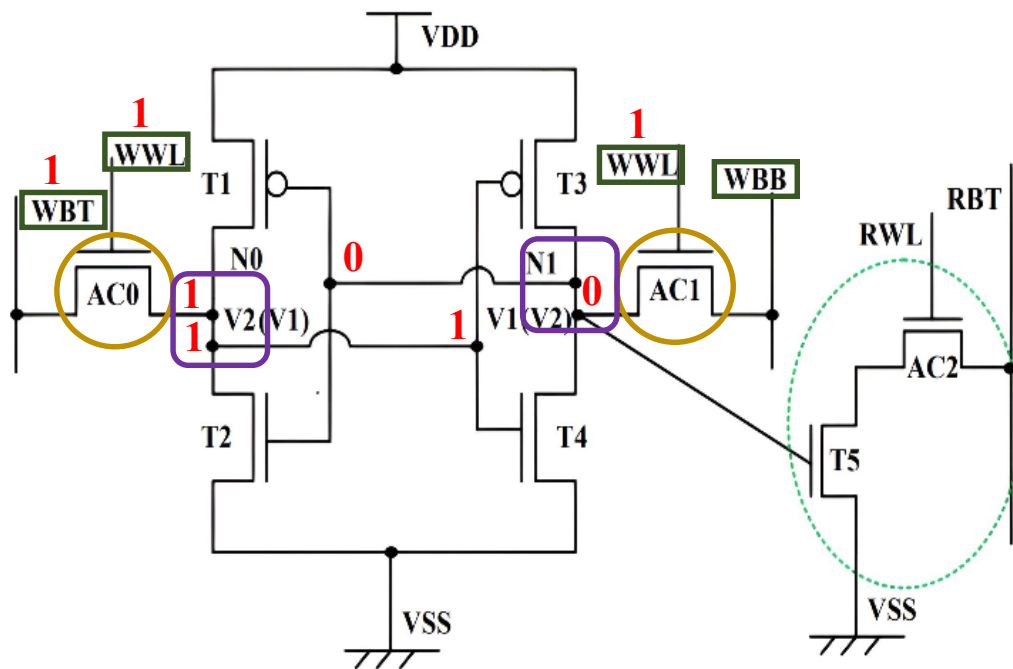
Sơ đồ của ô SRAM 8T được đề xuất được trình bày trong hình trên, sử dụng dòng bit đơn để đọc và ghi nhưng có thêm một dòng Read word line (RWL) để đọc. Đối với ô nhớ 6T thông thường, trường hợp xấu nhất của biên nhiễu tĩnh (SNM) xảy ra trong điều kiện đọc. Sự thay đổi cơ cấu này nhằm cải thiện độ ổn định của ô nhớ và loại bỏ hiện tượng nhiễu đọc hiện có trong SRAM 6T thông thường ô nhớ. Trong thiết kế ô SRAM này, bóng bán dẫn P3 được sử dụng để tăng cường biên độ ghi và mức tiêu thụ điện năng thấp của mạch bằng cách ngắt vòng phản hồi của cặp cổng NOT.

Thiết kế 8T cơ bản được dựa trên thiết kế SRAM chuẩn với ô nhớ gồm 6 transistor. Trong đó, thiết kế 8T tách biệt 2 phần ghi và đọc dữ liệu lên ô nhớ SRAM được thể hiện bằng đường tròn

đứt nét như minh họa trong hình 3.2. Các transistor AC0 và AC1 được điều khiển bởi các tín hiệu truy cập ghi ký hiệu là WWL (write wordline), AC2 được điều khiển bởi tín hiệu truy cập đọc RWL (read wordline). Các đường WBT (write bitline), WBB (write bitline bar) là đường để đưa dữ liệu ghi vào ô nhớ SRAM. Trong khi đó, đường tín hiệu RBT (read bitline) là để đọc dữ liệu từ ô nhớ SRAM. Ưu điểm việc tách biệt 2 phần ghi và đọc trên thiết kế 8T làm cải thiện đáng kể SNM trong hoạt động đọc khi không ảnh hưởng đến hoạt động ghi dữ liệu cũng như dữ liệu được ghi trước đó lên ô nhớ. So sánh với thiết kế 6T, thiết kế mới được xem là bất đối xứng vì chỉ sử dụng đường RBT để đọc dữ liệu. Trong hoạt động đọc, trước tiên đường RBT sẽ được kéo lên mức điện áp VDD, sau đó phụ thuộc vào giá trị bit được lưu trữ trong ô nhớ mà đường RBT sẽ được kéo xuống mức 0 hoặc giữ nguyên trạng thái. Mạch đọc dữ liệu trong thiết kế 8T cũng được thay đổi so với thiết kế 6T để phù hợp cho thiết kế bất đối xứng của ngõ ra đọc dữ liệu.

3.2 Hoạt động ghi/đọc

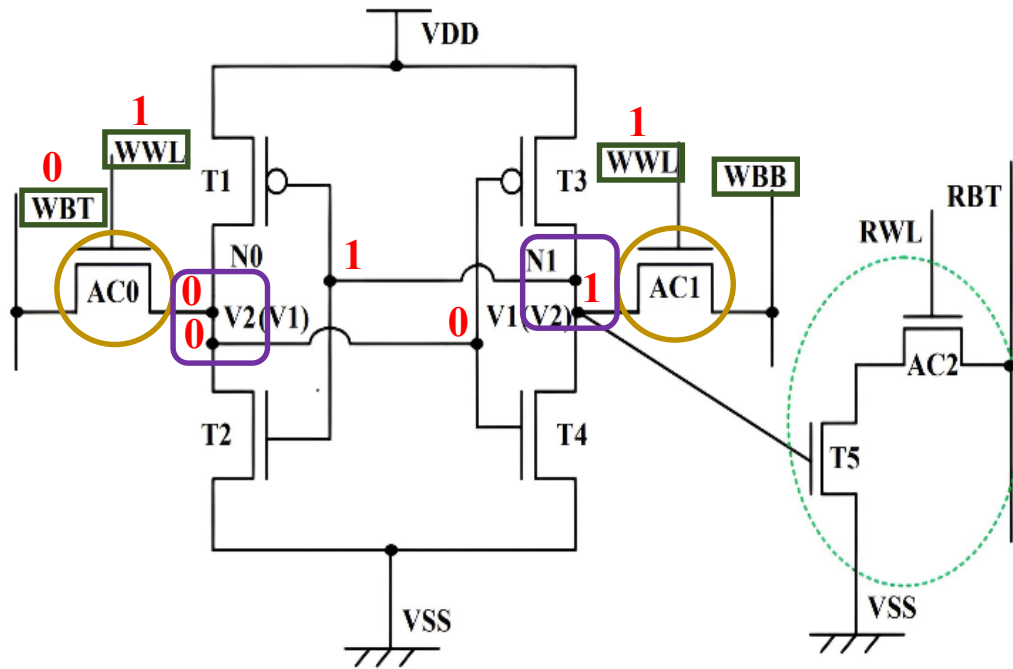
3.2.1 Hoạt động ghi 1



Hình 3.3 Quá trình ghi bit 1 của SRAM 8T

Để bắt đầu hoạt động ghi bit 1, thì đường WWL được kéo lên 1 như là một tín hiệu cho phép để transistor AC0 dẫn, và đường WBT cũng ở mức 1 tương ứng bit 1 được đưa vào. Khi đó các transistor AC0 và AC1 dẫn, nên tại nút V1 lên 1, và transistor T3 ngắt và transistor T4 dẫn → kéo xuống GND → V1 lúc này bằng 0. Vì V1 bằng 0, nên xét transistor T1 dẫn và transistor T2 ngắt → V2 lên 1. Như vậy hoạt động ghi 1 đã hoàn tất.

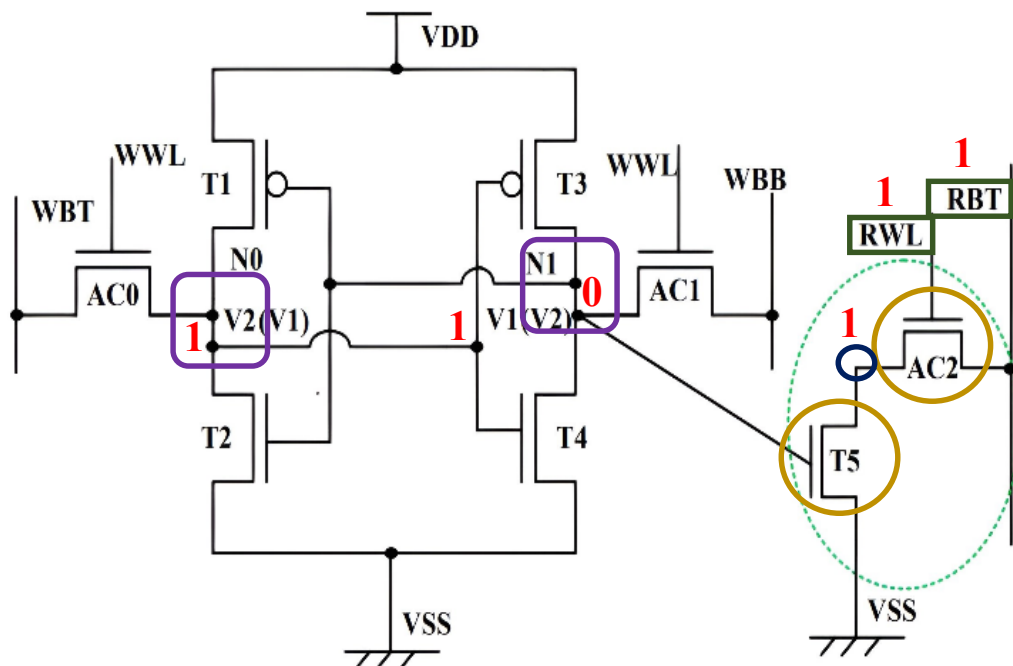
3. 2.2 Hoạt động ghi 0



Hình 3.4 Quá trình ghi bit 0 của SRAM 8T

Tương tự hoạt động ghi 1, để bắt đầu hoạt động ghi bit 0, thì đường WWL được kéo lên 1, và đường WBT lúc này về 0. Khi đó các transistor AC0 và AC1 dẫn, nên tại nút V1 bằng 0, và transistor T3 dẫn và transistor T4 ngắt → kéo lên VDD → V1 lúc này bằng 1. Vì V1 bằng 0, nên xét transistor T1 ngắt và transistor T2 dẫn → V2 về lại 0. Như vậy hoạt động ghi 0 đã hoàn tất.

3. 2.1 Hoạt động đọc 1

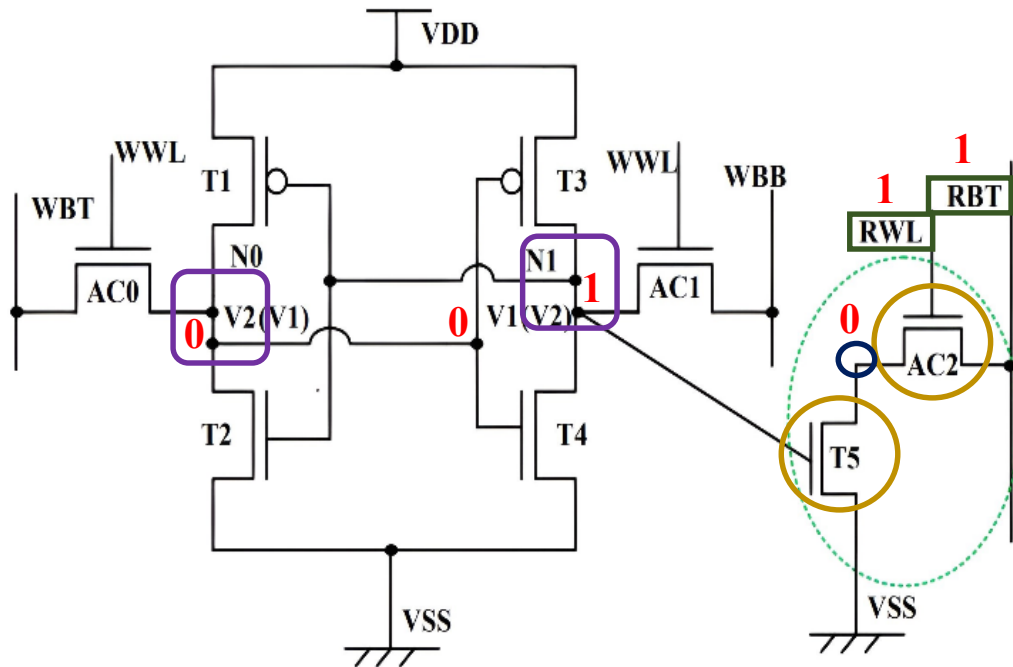


Hình 3.5 Quá trình đọc bit 1 của SRAM 8T

Đối với hoạt động đọc 1, khi này tín hiệu cho phép đọc RWL lên mức 1 để sẵn sàng đọc dữ liệu tức là transistor AC2 dẫn. Do có mạch đặt trước nên tín hiệu RBT luôn ở mức 1, và do đọc bit 1

nên lúc này tại V2 bằng 1 và V1 sẽ bằng 0. Vì V1 bằng 0 nên transistor T5 không dẫn → RBT vẫn tiếp tục bằng 1 → Ngõ ra OUT vẫn bằng 1. Như vậy hoạt động đọc 1 đã hoàn tất.

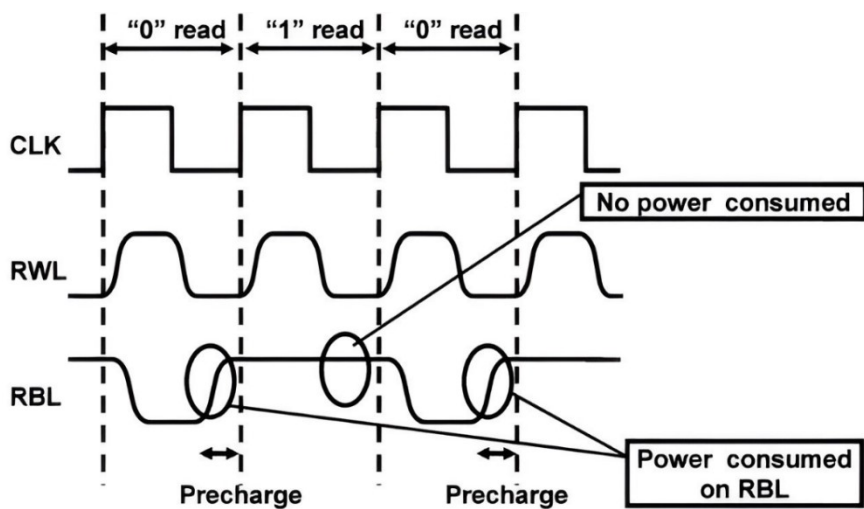
3.2.4 Hoạt động đọc 0



Hình 3.6 Quá trình đọc bit 0 của SRAM 8T

Đối với hoạt động đọc 0, khi này tín hiệu cho phép đọc RWL lên mức 1 để sẵn sàng đọc dữ liệu. Do có mạch đặt trước nên tín hiệu RBT luôn ở mức 1, và do đọc bit 1 nên lúc này tại V2 bằng 0 và V1 sẽ bằng 1. Vì V1 bằng 1 nên transistor T5 dẫn xuống GND, lúc này điện áp tại RBT bị sụt áp → Ngõ ra OUT lúc này giảm về 0. Như vậy hoạt động đọc 0 đã hoàn tất.

3.2.5 Hoạt động giữ



Hình 3.7 Quá trình giữ trạng thái của SRAM 8T

Khi không nhận được tín hiệu ghi hay tín hiệu đọc, khi đó trạng thái tiếp theo của SRAM 8T sẽ được giữ lại giống với trạng thái trước đó.

3.3.1 Cấu trúc 1

Do đó, việc đề xuất một ô SRAM mới để cải thiện cả biên độ đọc và ghi trong điều kiện điện áp nguồn được điều chỉnh là rất quan trọng đối với các ứng dụng tiêu thụ điện năng cực thấp với mức phạt thấp về diện tích, thời gian truy cập và mức tiêu thụ điện năng rò rỉ. Trong chương này, một ô 8T-SRAM mới được sử dụng được trình bày nhằm cải thiện cả lẽ hoạt động đọc và ghi. Ô SRAM được đề xuất cải thiện biên độ nhiễu ghi và đọc tương ứng ít nhất là 22% và 2,2 lần so với ô 6T-SRAM tiêu chuẩn. Hơn nữa, phương pháp này làm giảm rò rỉ cổng trong khi tăng rò rỉ dưới ngưỡng so với tế bào 6T-SRAM tiêu chuẩn trong công nghệ CMOS 65nm. Nhìn chung, công suất rò rỉ của pin đề xuất tăng 67% ở $V_{DD} = 1V$ và 5,6% ở $V_{DD} = 300mV$. Thiết kế đề xuất cải thiện công suất rò thêm 3% tại $V_{DD} = 200mV$.

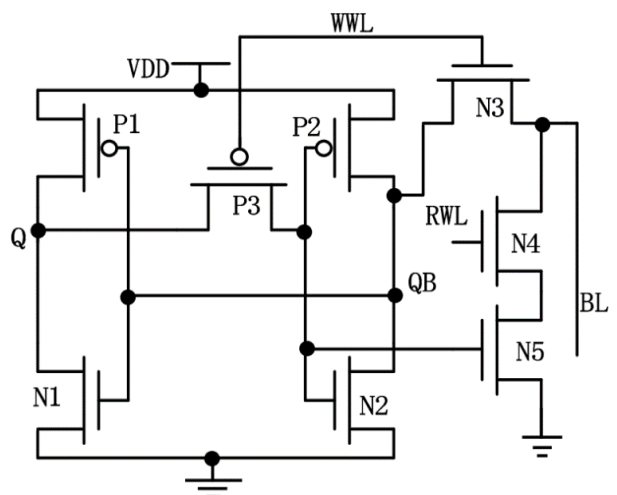
24

đặt ở mức cao. Trong cấu trúc ô SRAM này, bóng bán dẫn PUC được sử dụng để cải thiện biên độ ghi của mạch khi số “1” được lưu trữ trên nút lưu trữ Q. Trong chế độ này, khi giá trị trên QB là “0”, điện áp trên cổng của NF tăng lên làm suy yếu khả năng dẫn động của PUC. Do đó, việc ghi “0” trên nút lưu trữ trở nên dễ dàng hơn. Tuy nhiên, khi QB giữ “1”, biên độ ghi dự kiến sẽ không được cải thiện. Trong trường hợp này, để cải thiện lề ghi của ô SRAM, PUR có kích thước nhỏ hơn PUL, dẫn đến lề ghi được cải thiện ở chế độ này. Trong quá trình đọc, ACL bật trong khi ACR được giữ ở vùng cắt. Khi Q giữ giá trị “0”, các bóng bán dẫn PDL và NF giúp xả điện dung đường truyền bit đến mức mà bộ khuếch đại cảm nhận có thể cảm nhận được. Ở chế độ này, các bóng bán dẫn PDR, PUL và ACR TẮT. Giảm kích thước của bóng bán dẫn PDR sẽ cải thiện biên độ đọc do đường phóng điện của QB xuống đất bị suy yếu.

Lưu ý, hiệu ứng xếp chồng làm giảm dòng điện qua bóng bán dẫn PDR. Trong trường hợp nút Q giữ giá trị “1”, bóng bán dẫn NF TẮT. Do đó, không có đường phóng điện nào tồn tại từ nút Q xuống đất dẫn đến cải thiện đáng kể biên độ nhiễu tĩnh khi đọc (RSNM). Nhìn chung, RSNM của mạch đề xuất được cải thiện ít nhất 2,2 lần so với ô 6T-SRAM tiêu chuẩn và tương tự như ô 8T-SRAM tiêu chuẩn vì thực tế này là lề ghi không được cải thiện trong tế bào 8T-SRAM tiêu chuẩn. Trong thời gian giữ, cả hai tín hiệu RWL và WWL đều được đặt ở mức thấp để tắt các bóng bán dẫn truy cập. Việc lưu giữ dữ liệu của ô này phụ thuộc vào bit được lưu trữ trên ô. Khi Q giữ số “1”, nút QB sẽ nổi và điều này sẽ gây ra sự không chắc chắn cho mạch. Mặc dù mức điện áp trên nút QB không bằng 0, do hiệu ứng xếp chồng của PDR-NF trong đó mức tiêu hao của bóng bán dẫn NF chuyển sang mức bằng với điện áp trên nút QB, bóng bán dẫn PDR sẽ tắt hoàn toàn. Tuy nhiên, khi nút lưu trữ đang giữ “0”, việc lưu giữ dữ liệu được cải thiện do thực tế là cả NF và PDR đều BẬT giúp giữ “0” tại nút QB.

3.3 Cấu trúc 2

Sơ đồ của ô SRAM 8T được đề xuất được trình bày trong hình 3.9, sử dụng dòng bit đơn cho các hoạt động đọc và ghi nhưng có thêm một dòng (RWL) để đọc. Đối với ô 6T thông thường, biên nhiễu tĩnh (SNM) trong trường hợp xấu nhất xảy ra ở điều kiện đọc. Sự thay đổi cấu trúc này nhằm cải thiện tính ổn định của ô và loại bỏ hiện tượng nhiễu đọc hiện có trong ô SRAM 6T thông thường. Trong thiết kế ô SRAM này, bóng bán dẫn P3 được sử dụng để tăng cường biên độ ghi và mức tiêu thụ điện năng thấp của mạch bằng cách ngắt vòng hồi tiếp của cặp cổng đảo.

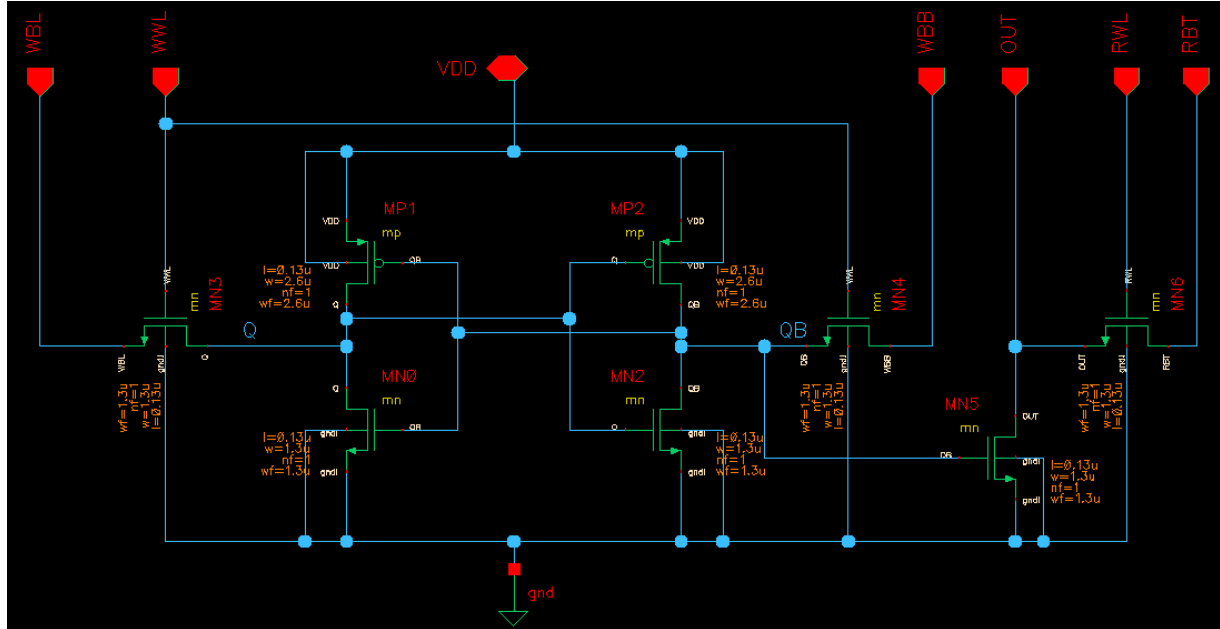


Hình 3.9 Cấu trúc ô nhớ SRAM 8T đề xuất 2

CHƯƠNG 4: MÔ PHỎNG VÀ ĐÁNH GIÁ

4.1 Sơ đồ mạch nguyên lý

Sơ đồ mạch nguyên lý của một ô nhớ SRAM 8T dạng tiêu chuẩn, sử dụng công nghệ CMOS 130nm của Samsung được trình bày như sau:



Hình 4.1 Sơ đồ mạch mô phỏng của SRAM 8T

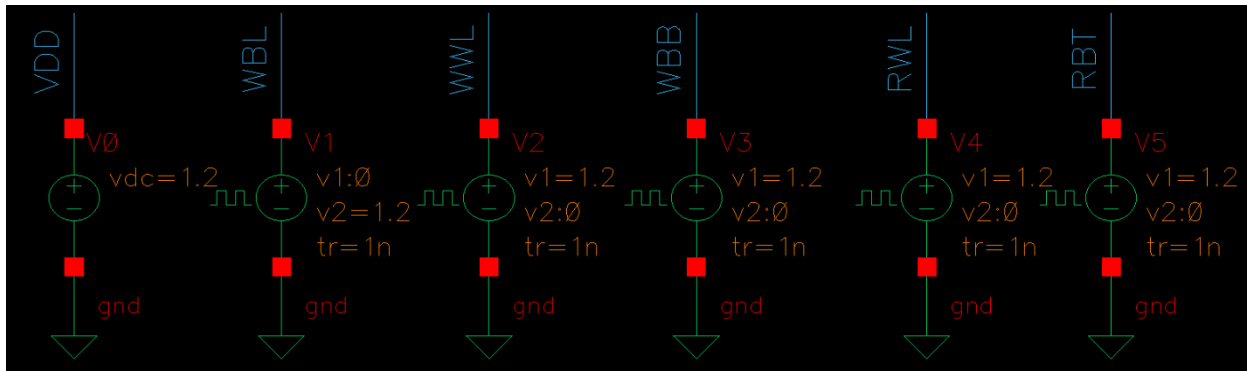
+ Cấu trúc của ô nhớ SRAM 8T trên được tạo thành từ 8 transistor, trong đó 4 transistor MP1, MP2, MN0, MN2 tạo thành 2 cặp cổng NOT ghép đối xứng với nhau. Các transistor MN3 và MN4 đảm nhiệm điều khiển quá trình ghi dữ liệu và các transistor MN5, MN6 đảm nhiệm điều khiển cho quá trình đọc dữ liệu.

+ Tín hiệu Write Word Line (WWL) là tín hiệu cho phép việc ghi dữ liệu vào ô nhớ thông qua hai đường dữ liệu là Write Bit Line (WBL) và Write Bit Bar (WBB) tương ứng hai dữ liệu đảo của nhau. Các nút Q và QB đóng vai trò lưu trữ dữ liệu vừa được ghi vào ở hoạt động ghi, và đều là tín hiệu đảo của nhau.

+ Tín hiệu Read Word Line (RWL) là tín hiệu cho phép việc đọc dữ liệu từ nút Q, và đường tín hiệu Read Bit Line (RBT) sẽ đọc dữ liệu từ ô nhớ để đưa đến ngõ ra OUT. Đường tín hiệu RBT thông thường được kéo lên mức 1, tùy thuộc vào dữ liệu đọc được mà điện áp tại đó có bị kéo về 0 hay không.

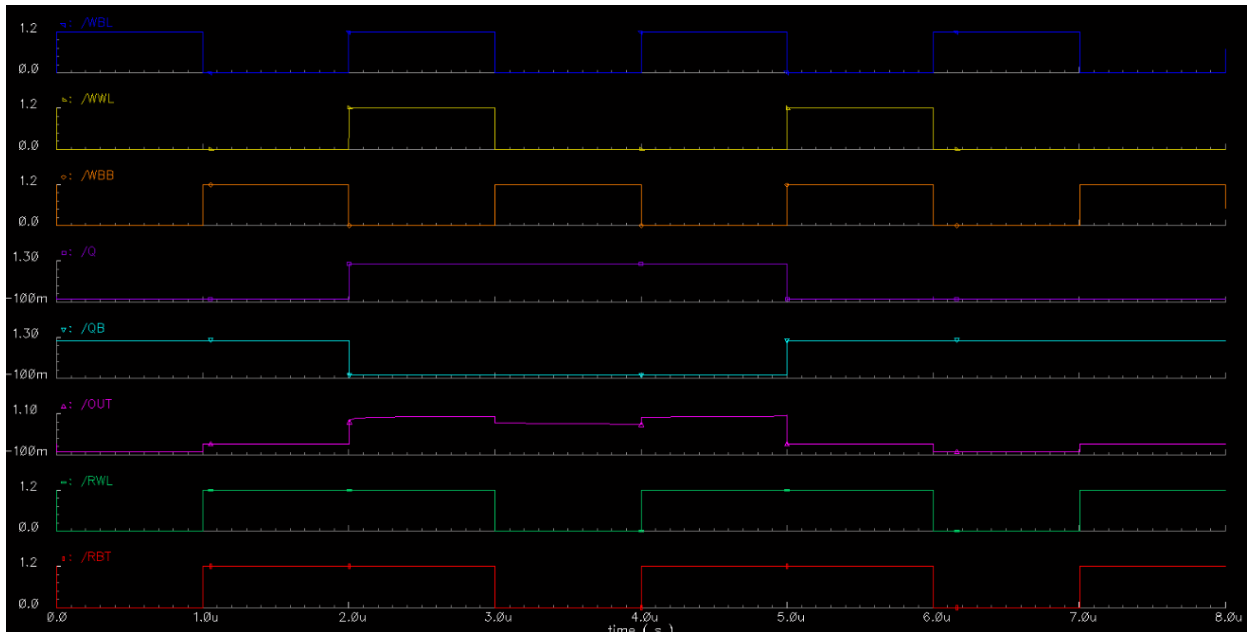
4.2 Mô phỏng dạng sóng

Với nguồn cung cấp VDD là nguồn DC, điện áp 1,2V theo công nghệ CMOS 130nm của Samsung. Các tín hiệu RBT, RWL, WBB, WBL, WWL được giả lập bởi các nguồn xung, với các thông số giúp bao quát được tất cả các trạng thái đọc và ghi của SRAM.



Hình 4.2 Các tín hiệu nguồn xung giả lập

Dạng sóng sau khi mô phỏng được thể hiện như hình bên dưới.



Hình 4.3 Dạng sóng mô phỏng của SRAM 8T

+ Như đã trình bày ở các phần trước, để ghi được dữ liệu thì đường WWL phải lên 1. Trong chu kỳ đầu tiên của WBL, tín hiệu WWL ở mức 0 do đó không cho phép việc ghi dữ liệu vào ô nhớ. Trạng thái Q ban đầu bằng 0 hay QB bằng 1 vẫn được giữ mức logic tương ứng. Tại thời điểm từ 0 đến 1 us, tín hiệu RWL ở mức 0 có nghĩa rằng việc đọc cũng không được cho phép. Cho đến thời điểm 1 us, các tín hiệu RWL và RBT lên mức 1 báo hiệu việc đọc được cho phép, do đó sẽ có sự tăng áp nhẹ xảy ra ở ngõ ra OUT như trên hình chúng ta thấy để đảm bảo mức logic đọc được là bit 0 của nút Q hiện tại.

+ Tại thời điểm 2 us, lúc này tín hiệu WWL và WBL đều bằng 1, điều này có nghĩa rằng việc ghi bit 1 sẽ được thực hiện. Lúc này, ngõ ra Q chuyển từ 0 lên 1 để lưu lại giá trị bit 1 mới từ WBL, đồng thời tín hiệu RWL vẫn được duy trì ở mức 1 báo hiệu việc đọc dữ liệu vẫn tiếp tục diễn ra. Do đó bit 1 vừa được ghi vào nút Q lập tức cũng được đọc và đưa đến ngõ ra ô nhớ là OUT.

+ Từ thời điểm 3 us đến 4 us, tín hiệu WWL đã trở về mức 0, tức là trong giai đoạn này không có bit nào trên WBL được phép ghi vào ô nhớ. Giá trị tại nút Q trước đó bằng 1 vẫn được duy trì

trong suốt khoảng thời gian này. Do cấu trúc SRAM 8T này có chức năng là giữ trạng thái trước đó khi tín hiệu ghi không được kích hoạt, điều này giúp tiết kiệm năng lượng và công suất tiêu thụ cho SRAM. Đồng thời trong giai đoạn từ 3 us đến 4 us, tín hiệu RWL về 0 không cho phép đọc dữ liệu từ nút Q, thì ngõ ra OUT cũng vẫn giữ được trạng thái trước đó của nút Q là 1.

+ Từ 4 us đến 5 us thì vẫn chưa có tín hiệu ghi được kích hoạt, nút Q vẫn lưu giữ lại giá trị cũ trước đó là 1. Tuy nhiên lúc này, tín hiệu đọc được kích hoạt sẽ đọc lấy giá trị bit 1 từ nút Q.

+ Từ 5 us đến 6 us, tín hiệu WWL lên 1 và WBL về 0, việc này ám chỉ hoạt động ghi 0. Khi đó nút Q chuyển trạng thái từ 1 về lại 0 để lưu trữ giá trị bit 0 mới này. Đồng thời trong giai đoạn này, tín hiệu RWL vẫn được duy trì ở mức 1, do đó bit 0 vừa được lưu sẽ được truy xuất ngay và đưa đến ngõ ra OUT chuyển trạng thái từ 1 về 0.

+ Tại thời điểm 6 us đến 7 us, các tín hiệu đọc và ghi đều về lại mức 0. Nên trạng thái đọc và ghi đều không được cho phép, lúc này SRAM sẽ vẫn duy trì trạng thái trước đó của nó cho đến khi có sự thay đổi của các tín hiệu điều khiển trên.

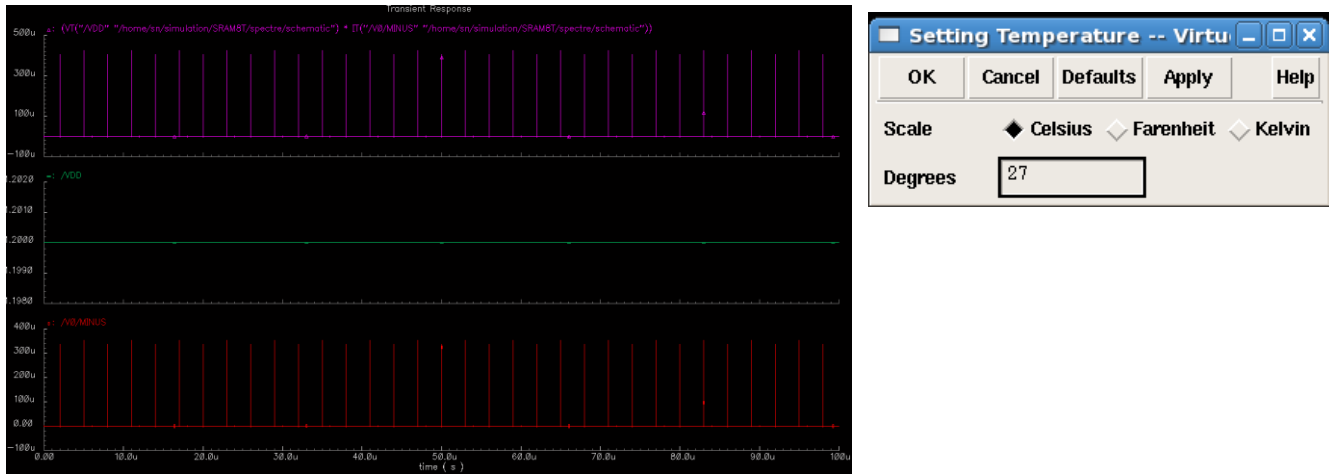
Như vậy, các hoạt động đọc và ghi của SRAM 8T đã được trình bày một cách rõ ràng và trực quan bởi hình ảnh. Ta nhận thấy rằng, SRAM 8T đã tiết kiệm được một phần năng lượng hơn so với SRAM 6T, cụ thể là quá trình giữ trạng thái khi các tín hiệu điều khiển không được kích hoạt. Chẳng hạn, là hoạt động giữ bit 1 vẫn duy trì thay vì giảm về 0 như SRAM 6T đã góp phần nào giảm bớt được thời gian nạp lại từ đầu của nó, giúp giảm bớt công suất tiêu thụ đi phần nào.

4.3 Tính toán công suất

Công suất tiêu thụ của thiết kế bao gồm thành phần công suất tĩnh và công suất động. Trong đó, công suất động là thành phần ảnh hưởng chính đến tổng công suất tiêu thụ của thiết kế trong trạng thái hoạt động. Thành phần này bị ảnh hưởng bởi các yếu tố như điện áp (VDD), điện dung tải (C) và tần số hoạt động của thiết kế (f) theo công thức sau: $P_{dyn} = CV_{DD}^2 f$

Dựa vào công thức trên có thể thấy được sự thay đổi của điện áp hoạt động (VDD) sẽ làm thay đổi đáng kể công suất tiêu thụ. Bên cạnh đó, khi xét về sự ổn định của hệ thống sử dụng công nghệ CMOS thì sự thay đổi của nhiệt độ làm việc cũng cần được phân tích. Nếu nhiệt độ có chiều hướng tăng sẽ làm cho dòng điện đi qua transistor giảm. Ngược lại, biên độ điện áp ngưỡng (VTH) của các transistor cũng sẽ giảm gần như tuyến tính với sự thay đổi giảm của nhiệt độ hoạt động. Vì thế, để phân tích cả 2 yếu tố về sự biến thiên của điện áp hoạt động và sự tác động của nhiệt độ làm việc, chúng em đã khảo sát 3 trường hợp mô phỏng gồm nhiệt độ thấp (-10°C), nhiệt độ trung bình (27°C) và nhiệt độ cao (100°C) cũng như các giá trị nhiệt độ xung quanh lên công suất tiêu thụ và thời gian trì hoãn của các hoạt động ghi và đọc dữ liệu đối với thiết kế SRAM 8T.

- Ở nhiệt độ phòng 27 độ C:



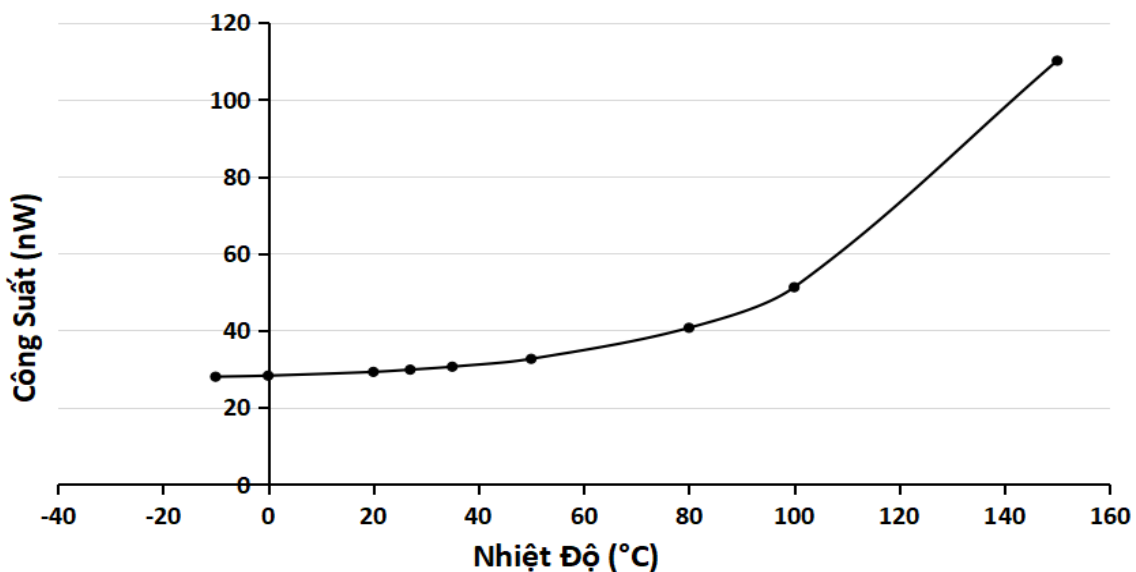
Hình 4.4 Dạng sóng công suất tức thời ở 27 độ C

+ Ở nhiệt độ 27 độ C, giá trị công suất trung bình thu được là 29.82 nW, một giá trị khá là nhỏ.

- Ở nhiệt độ -10 độ C: Giá trị công suất thu được là 27.98 nW, giá trị công suất đã giảm đi phần nào nhưng không đáng kể.
- Ở nhiệt độ phòng 100 độ C: Giá trị công suất thu được là 51.24 nW, giá trị công suất đã tăng lên 1.8 lần phản ánh được sự gia tăng công suất khi làm việc ở điều kiện môi trường ở nhiệt độ cao. Và con số này còn tăng lên nữa nếu làm việc trong thời gian dài.

Bảng 2: Công suất thay đổi theo nhiệt độ làm việc

Nhiệt độ (°C)	-10	0	20	27	35	50	80	100	150
Công suất (nW)	27.98	28.27	29.24	29.82	30.59	32.63	40.69	51.24	110.1



Hình 4.5 Giá trị công suất thay đổi theo nhiệt độ

Như vậy, nhiệt độ ảnh hưởng trực tiếp đến công suất làm việc của SRAM, nhiệt độ càng cao công suất tiêu thụ càng lớn và có thể dẫn đến hư hỏng vi mạch. Do đó, cần đảm bảo nhiệt độ làm việc của SRAM ở mức quy định nằm ổn định tính lâu dài và hiệu năng của nó. Công suất động phụ thuộc vào tần số hoạt động cũng như giá trị của tụ điện ký sinh trên các đường dữ liệu. Thông thường, thiết kế SRAM sử dụng chung đường BT/BB để ghi và đọc dữ liệu. Các đường này được chia sẻ trong cấu trúc mảng ô nhớ SRAM, vì thế tồn tại các tụ điện ký sinh với giá trị nhất định. Trong thiết kế 6T, mỗi chu kỳ ghi/đọc dữ liệu vào ô nhớ, các tụ điện này được nạp xả phụ thuộc vào giá trị ghi/đọc. Thiết kế SRAM 8T sử dụng 2 đường ghi và đọc dữ liệu riêng. Sự khác biệt về mặt công suất nằm ở hoạt động đọc trong thiết kế 8T. Trước khi diễn ra hoạt động đọc, các đường bitline đã được đưa lên giá trị mức cao từ hoạt động nạp trước (precharge). Việc xả tụ điện ký sinh trên các đường bitline phụ thuộc vào giá trị lưu trữ trong ô nhớ SRAM muốn đọc ra ngoài. Trong trường hợp ngược lại, thì không có hiện tượng xả trên tụ ký sinh. Điều này góp phần làm cho công suất tiêu thụ trên thiết kế 8T giảm so với 6T.

4.4 Tính toán thời gian trễ

Để đánh giá được thời gian trễ lan truyền của SRAM, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống và sau đó tính trung bình thông qua công thức:

$$t_{PD} = \frac{t_{PDF} + t_{PDR}}{2}$$

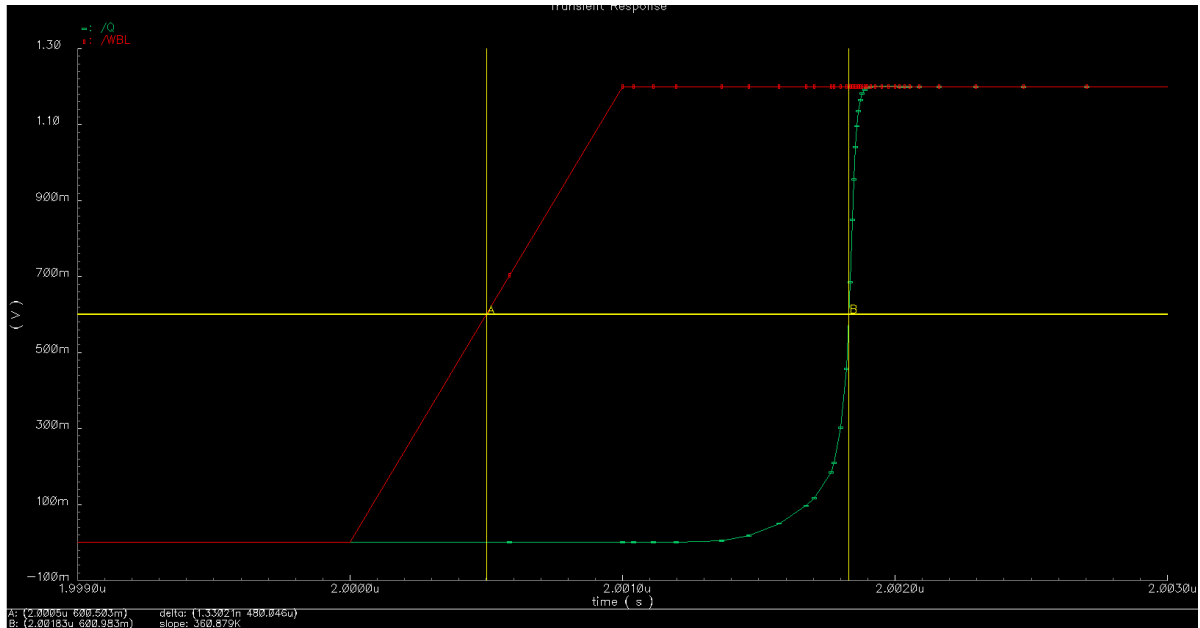
Trong đó:

- t_{PDR} là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD} / 2$
- t_{PDF} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD} / 2$

4.4.1 Thời gian trễ lan truyền trong hoạt động ghi

Để đánh giá độ trễ ở ngõ vào, ta tiến hành đo độ trễ cạnh lên và cạnh xuống ở các ngõ WBL và Q. Tức là từ lúc dữ liệu ghi được đưa vào cho đến khi nó được lưu trữ lại vào trong ô nhớ. Thời gian trễ được tính từ thời điểm cả hai ngõ vào đều ở trạng thái cạnh lên hoặc cạnh xuống và mức điện áp đánh dấu là $V_{DD} / 2$. Đối với công nghệ thiết kế trong bài báo cáo này, giá trị điện áp cung cấp là 1,2 V nên ta sẽ dựa trên mức điện áp 600 mV để đánh dấu thời gian ở hai ngõ và sau đó tính độ chênh lệch về thời gian.

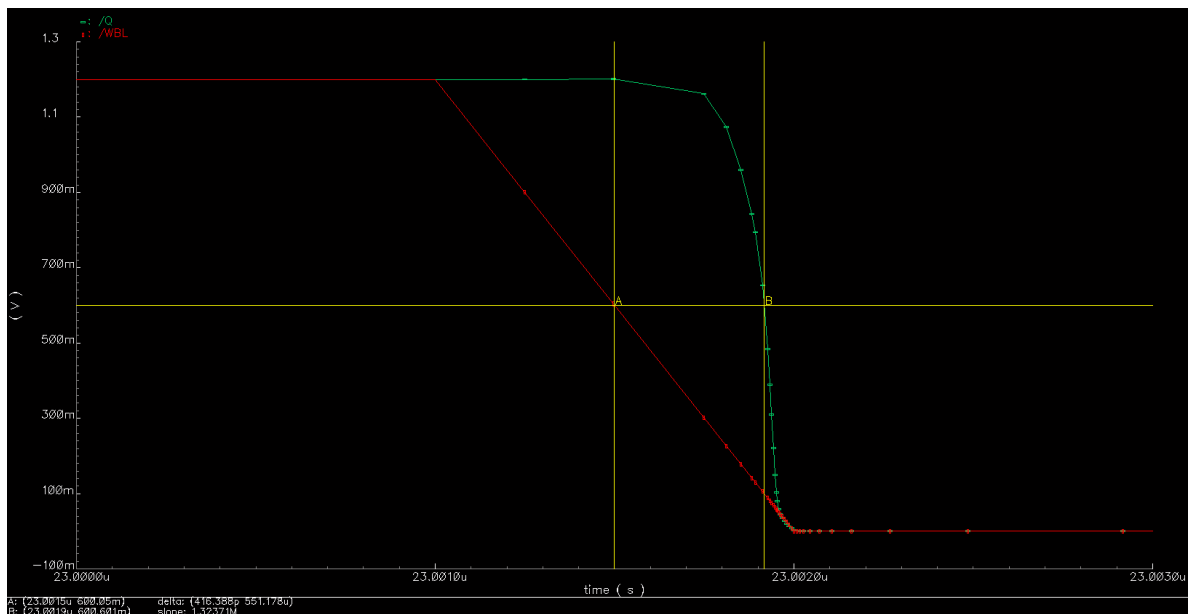
• Thời gian trễ cạnh lên:



Hình 4.6 Thời gian trễ cạnh lên ở ngõ vào

+ Tại thời điểm cả hai ngõ vào đều đạt mức điện áp 600 mV, ta có được thời gian trễ trong trường hợp này là $t_{pdr} = 1.3302 \text{ ns}$.

• Thời gian trễ cạnh xuống:



Hình 4.7 Thời gian trễ cạnh xuống ở ngõ vào

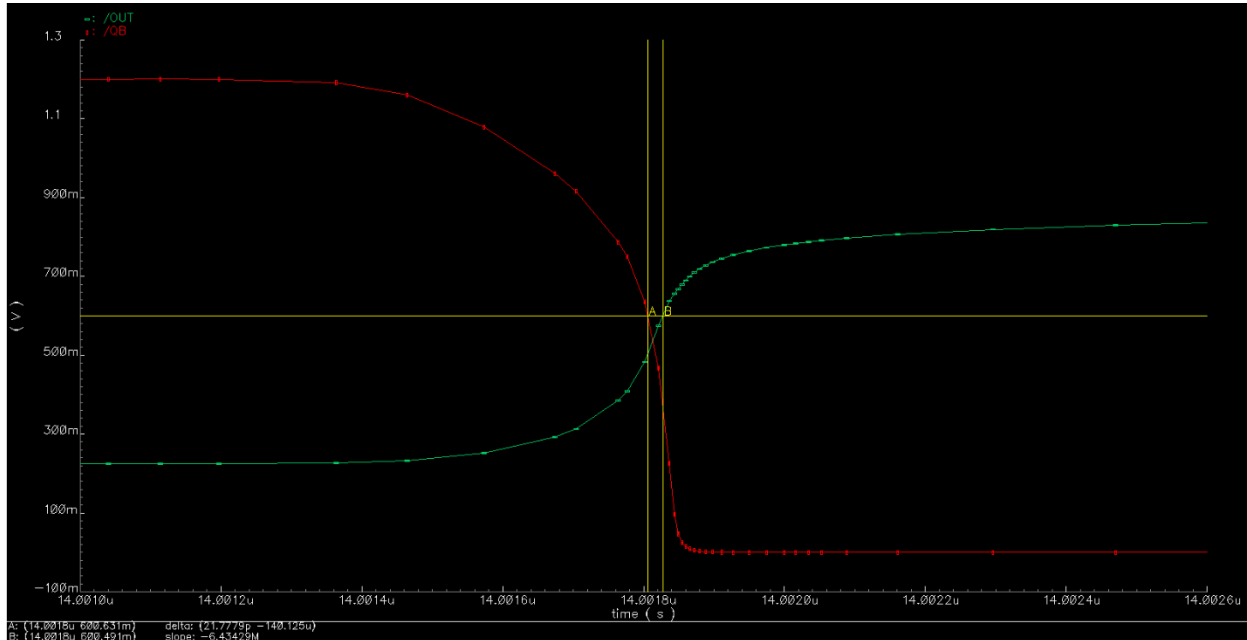
+ Tại thời điểm cả hai ngõ vào đều đạt mức điện áp 600 mV, ta có được thời gian trễ trong trường hợp này là $t_{pdf} = 416.388 \text{ ps}$. Từ đó, ta tính được độ trễ lan truyền ở ngõ vào là:

$$t_{pd} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{1330.2 + 416.388}{2} = 873.294 \text{ ps}$$

4.4.2 Thời gian trễ lan truyền ở ngõ ra

Để đánh giá độ trễ ở ngõ ra, ta tiến hành đo độ trễ cạnh lên và cạnh xuống ở các ngõ QB và OUT. Tức là từ lúc dữ liệu được lưu trữ lại trong ô nhớ được truy xuất ra ngoài ngõ ra OUT.

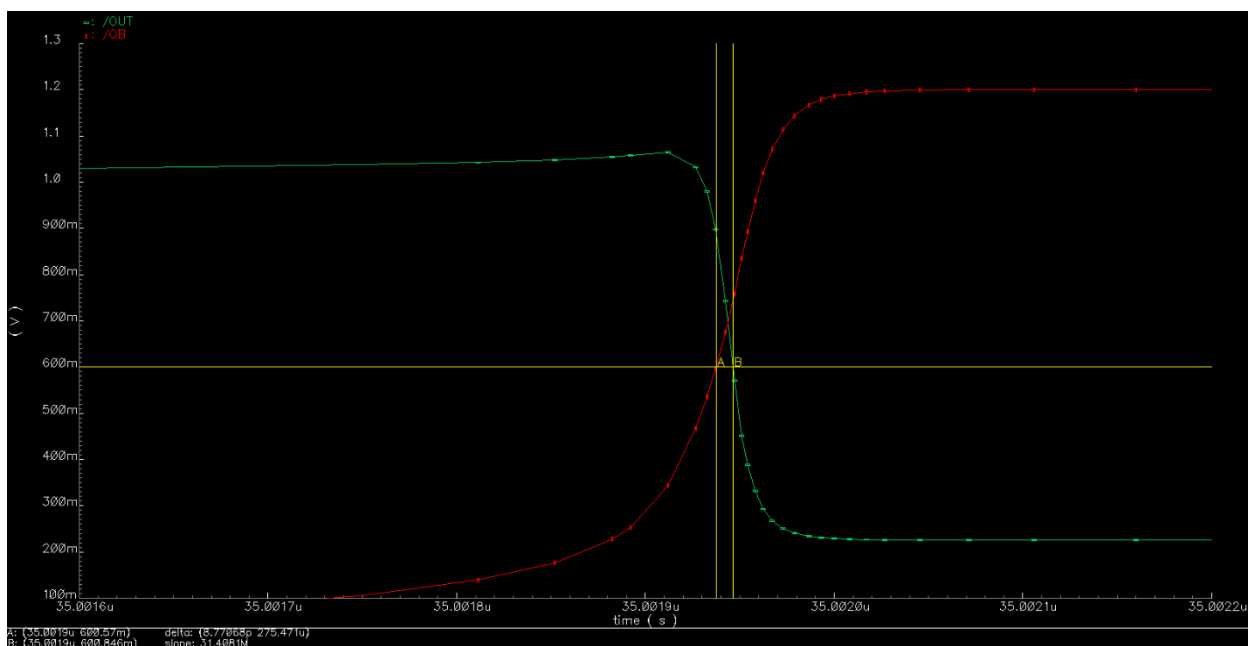
- **Thời gian trễ cạnh lên:**



Hình 4.8 Thời gian trễ cạnh lên ở ngõ ra

+ Tại thời điểm cả hai ra vào đều đạt mức điện áp 600 mV, ta có được thời gian trễ trong trường hợp này là $t_{pdr} = 21.7779 \text{ ps}$.

- **Thời gian trễ cạnh xuống:**



Hình 4.9 Thời gian trễ cạnh xuống ở ngõ ra

+ Tại thời điểm cả hai ngõ vào đều đạt mức điện áp 600 mV, ta có được thời gian trễ trong trường hợp này là $t_{pdf} = 8.77068 \text{ ps}$. Từ đó, ta tính được độ trễ lan truyền ở ngõ vào là:

$$t_{pd} = \frac{t_{pdf} + t_{pdr}}{2} = \frac{21.7779 + 8.77068}{2} = 15.27 \text{ ps}$$

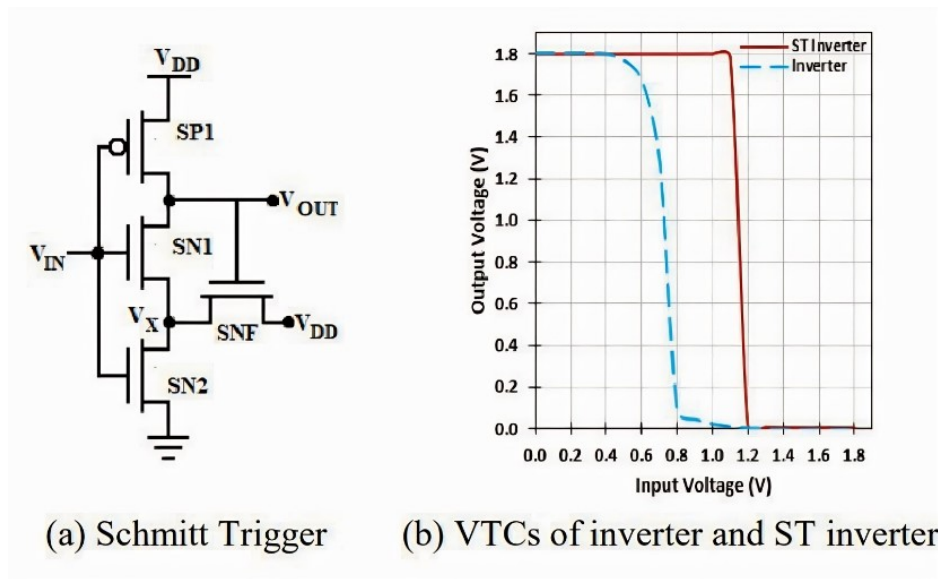
→ Đối với các ứng dụng yêu cầu tốc độ xử lý cao như xử lý và giải mã video thì hoạt động đọc trên bộ nhớ SRAM diễn ra thường xuyên hơn so với các hoạt động ghi. Độ tin cậy của dữ liệu đọc và độ trễ đọc là các yếu tố để đánh giá hiệu năng trong thiết kế bộ nhớ SRAM.

CHƯƠNG 5: TỐI ƯU HÓA BỘ NHỚ SRAM

5.1 Tối ưu trong cấu trúc SRAM

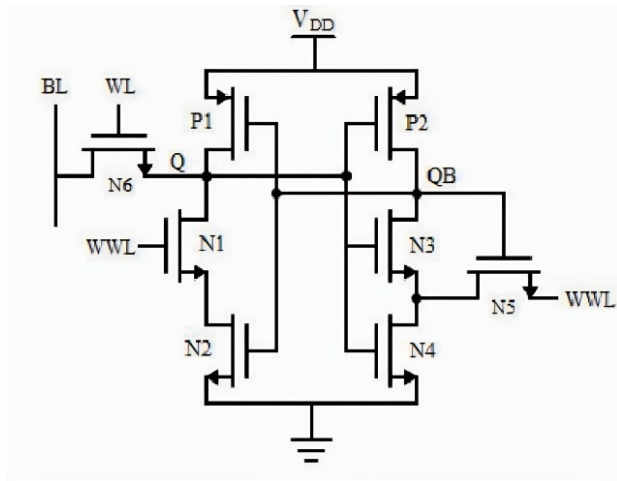
5.1.1 Sử dụng mạch Schmitt – Trigger

Thiết kế cấp cổng NOT ghép chéo truyền thống được sử dụng trong ô nhớ SRAM 6T thông thường không ổn định lắm khi nguồn cung cấp điện áp thấp. Do đó, công suất tiêu thụ của ô nhớ bị suy giảm do đặc tính của cổng NOT bị suy giảm. Schmitt-Trigger (ST) như mô tả trong hình bên được sử dụng trong phương án đề xuất thiết kế của ô SRAM để thay đổi các đặc tính của cổng NOT. Đặc tính truyền điện áp (VTC) của cổng NOT và Schmitt-Trigger được hiển thị trong Hình 3b. Khi đầu vào điện áp chuyển từ mức logic '0' sang mức logic '1', Transistor phản hồi SNF có điện áp ngưỡng V_{TH} , duy trì mức đầu ra của biến tần ở mức logic '1', nâng cao điện áp tại nút 'VX' nơi điện áp hiện tại là $V_{DD} - V_{TH}$. Điều này sẽ làm tăng điện áp đầu vào tối thiểu cần thiết ở đầu vào của Schmitt-Trigger để chuyển mạch cao hơn V_{TH} . Kết quả này trong đặc tính chuyển mạch của Schmitt-Trigger trở nên hiệu quả hơn so với cấp cổng NOT thông thường. Do đó, Schmitt-Trigger có thể được sử dụng để cải thiện hiệu suất của ô nhớ SRAM.



Hình 5.1 Đặc tuyến $V - V$ của cổng NOT và Schmitt Trigger

Thiết kế đề xuất của ô nhớ SRAM bao gồm bộ Schmitt-Trigger (ST) và bộ cổng NOT CMOS tiêu chuẩn được ghép chéo với transistor điều khiển nguồn N1. Bên phải là Schmitt-Trigger được hình thành bằng cách sử dụng transistor PMOS P2 và transistor NMOS N3, N4 và N5. Cổng NT bên trái được hình thành bởi transistor P1 và transistor N2 với transistor N1 ở giữa đó có chức năng như một transistor cấp điện. Transistor hồi tiếp N5 và transistor điều khiển nguồn N1 được điều khiển bởi tín hiệu WWL. Transistor NMOS N6 được sử dụng để đọc hoặc ghi dữ liệu từ hoặc vào ô bằng cách sử dụng bitline và được điều khiển bởi tín hiệu điều khiển WL. Một dòng bit duy nhất BL được sử dụng để đọc hoặc ghi dữ liệu được kiểm soát bởi transistor N6.

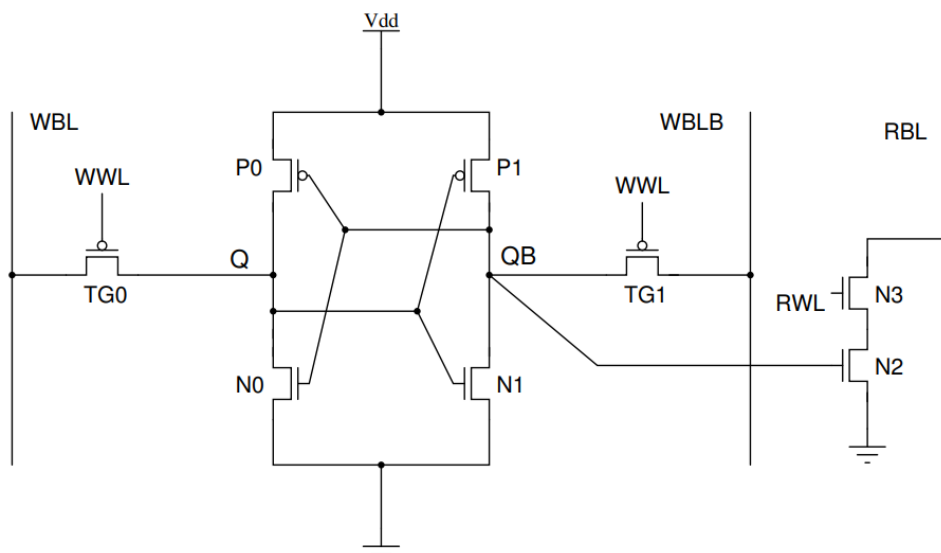


Operation	WL	WWL	BL
Write '0'	1	1	0
Write '1'	1	0	1
Read	1	1	1
Hold	0	1	X

Hình 5.2 Ô nhớ SRAM 8T theo cấu trúc Schmitt Trigger

5.1.2 Cấu trúc SRAM 8T đối xứng

Các ô nhớ SRAM được thiết kế để ổn định trong cả quá trình đọc và ghi các hoạt động và đảm bảo cả hai chức năng trên cho mỗi hoạt động trong ô nhớ. Trong các ô nhớ SRAM 6T truyền thống tỷ lệ các transistor được cân bằng để duy trì biên độ nhiễu tĩnh và biên độ ghi trong giới hạn hợp lý. Việc mở rộng quy mô công nghệ đang ảnh hưởng đến SRAM 6T. Thiết kế ô SRAM vì những ràng buộc như vậy khó thực hiện hơn đáp ứng chủ yếu do thang đo điện áp và sự thay đổi tham số. Người ta đã thấy trước rằng các ô 6T-SRAM có thể không phù hợp với các công nghệ CMOS ngoài nút 32nm. Từ đó, cho ra thiết kế ô nhớ SRAM 8T mới sử dụng các transistor pMOS được điều khiển bởi tín hiệu WWL. Ưu điểm chính của thiết kế này là thành phần của một ô SRAM 8T cân bằng có bốn transistor nMOS và bốn transistor pMOS cho phép bố trí nhỏ gọn hơn và giảm diện tích. Một phân tích toàn diện về tác động lên chính các thông số như dòng rò, độ ổn định lè ghi và đọc, thời gian trễ cho hoạt động đọc cũng như hoạt động ghi. Sự cân bằng mang lại khả năng giảm diện tích ô nhớ và cải thiện biên độ nhiễu ghi, trong khi phần còn lại của các thông số không bị ảnh hưởng.

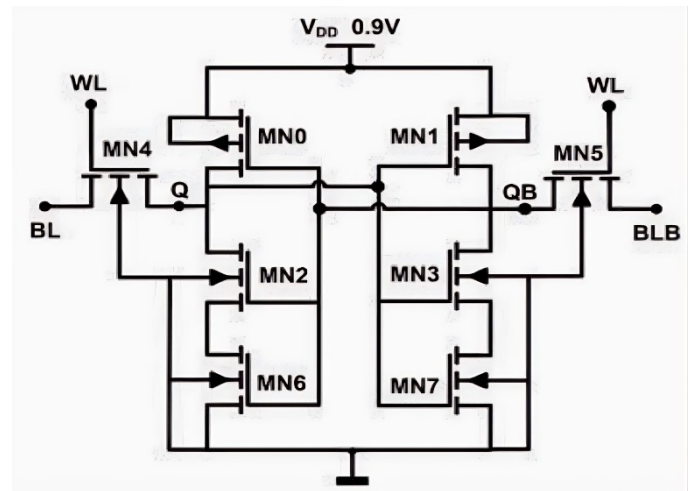


Hình 5.3 Ô nhớ SRAM 8T theo cấu trúc đối xứng

5.1.3 Cấu trúc SRAM 8T dạng chồng chất transistor

Theo nghiên cứu, dòng điện rò trong một transistor sẽ cao hơn so với hai transistor xếp chồng lên nhau, điều này là do điện áp ngưỡng V_{TH} lúc này được tăng lên. Ngoài ra, dòng rò của các transistor phụ thuộc vào số lượng các transistor và các mẫu đầu vào. Điện áp ngưỡng được tăng lên khi điện áp giữa cổng và nguồn V_{bs} của các transistor xếp bên dưới có giá trị âm. Việc giảm dòng điện rò dẫn đến việc giảm điện áp giữa cực Drain và Source.

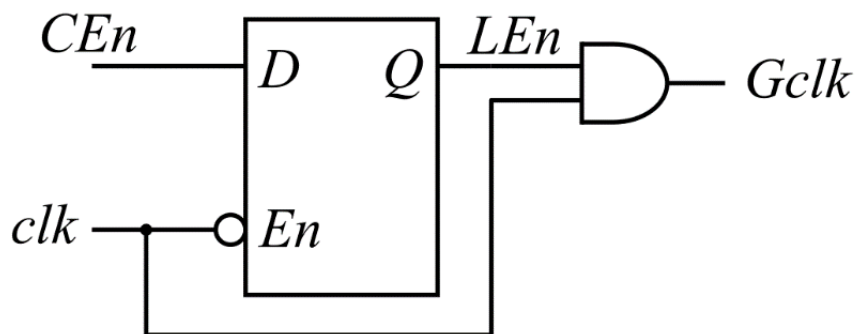
Tế bào SRAM 8T được đề xuất giúp giảm dòng rò bằng cách sử dụng phương pháp xếp chồng transistor, dẫn đến điện áp ngưỡng tăng lên từ đó làm giảm dòng rò dưới ngưỡng. Giảm thiểu dòng rò dưới ngưỡng sẽ giảm mức tiêu thụ điện năng của thiết bị. Các transistor MN6 và MN7 được sử dụng để tạo ra hiệu ứng ngăn xếp trong lần lượt làm giảm dòng rò dưới ngưỡng.



Hình 5.4 Cấu trúc SRAM 8T dạng chồng chất transistor

5.2 Các công nghệ tối ưu được sử dụng**5.3.1 Clock gating**

Clock gating là một phương pháp tắt xung clock cho một khối cụ thể khi không cần thiết và được hầu hết các thiết kế SoC ngày nay sử dụng như một kỹ thuật hiệu quả để tiết kiệm năng lượng.

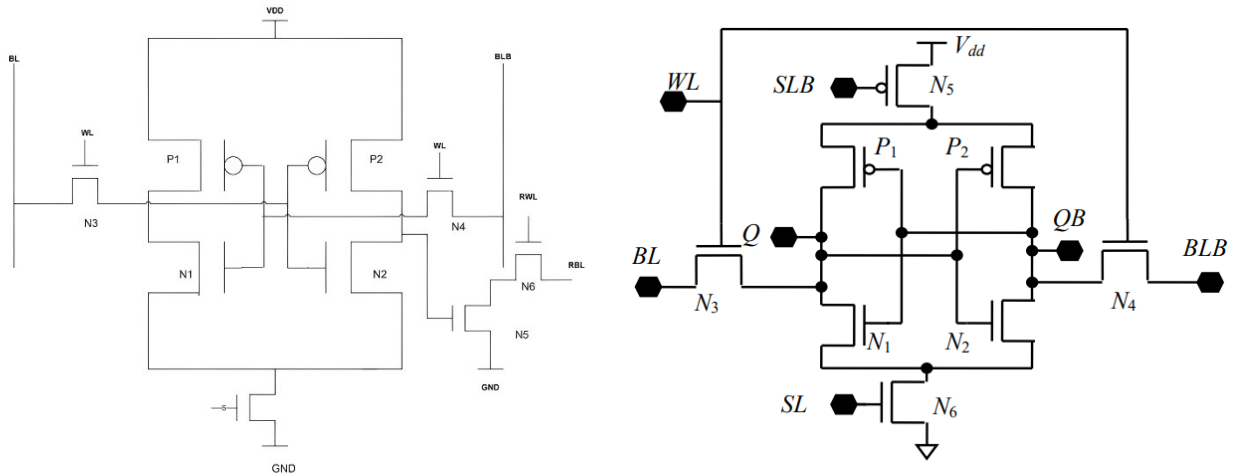


Hình 5.5 Cấu trúc mạch clock gating đơn giản

Một thiết kế đề xuất của SRAM và mạch đếm tuần tự được áp dụng bằng cách sử dụng kỹ thuật Clock gating. Ở đây, bộ nhớ SRAM được thiết kế với kỹ thuật Clock gating bằng cách sử dụng mạch chốt D để giảm bớt công suất tiêu tán trong mạch.

5.3.2 Power gating

Power gating là quá trình cắt nguồn điện khi mạch không hoạt động. Power gating là một phương pháp cực kỳ hiệu quả để giảm công suất rò rỉ của các khối mạch không hoạt động. Nguồn điện (V_{dd}) đến các khối mạch không sử dụng tạm thời được tắt để giảm công suất rò rỉ. Khi khối mạch được yêu cầu để hoạt động, nguồn điện được cấp lại. Trong thời gian tắt tạm thời, khối mạch không hoạt động, nó ở chế độ tiết kiệm điện hoặc chế độ không hoạt động. Do đó, mục tiêu của power gating là giảm thiểu công suất rò rỉ bằng cách tạm thời cắt nguồn điện cho các khối được chọn không hoạt động.



Hình 5.6 Ô nhớ SRAM 8T kết hợp với Power Gating

Ô SRAM được đề xuất ổn định hơn so với ô SRAM 6-T thông thường. Mặc dù số lượng bóng bán dẫn và diện tích tăng lên so với tế bào SRAM thông thường nhưng mức tiêu tán điện năng thấp và độ ổn định cao hơn có thể dễ dàng khắc phục nhược điểm này. Ô nhớ SRAM 8T được đề xuất đạt được mức tiết kiệm điện năng 60% và PDP 78,7% khi so sánh với SRAM 6T thông thường với chi phí bóng bán dẫn rất nhỏ.

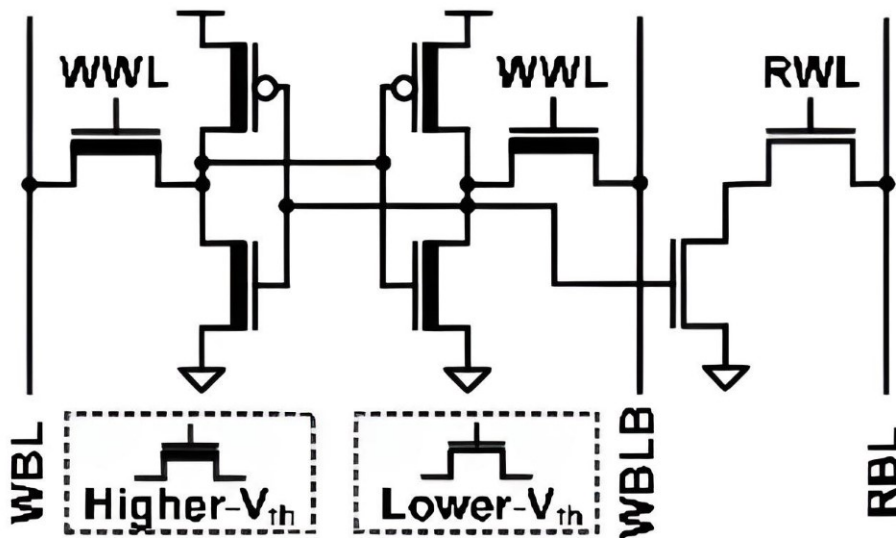
5.3.3 Multi Threshold CMOS

Multi Threshold CMOS (Complementary Metal-Oxide-Semiconductor) là một kỹ thuật thiết kế trong lĩnh vực điện tử và mạch tích hợp. Trong CMOS, có hai loại transistor chính: PMOS (Positive Metal-Oxide-Semiconductor) và NMOS (Negative Metal-Oxide-Semiconductor). Mỗi loại transistor này có một ngưỡng nguồn điện áp cụ thể, được gọi là ngưỡng nguồn điện áp (V_{th}).

Trong Multi Threshold CMOS, các transistor được sản xuất với nhiều ngưỡng nguồn điện áp khác nhau để cung cấp sự linh hoạt trong việc tối ưu hóa hiệu suất và tiêu thụ năng lượng của mạch tích hợp. Các transistor có thể có ngưỡng nguồn điện áp cao (high V_{th}) hoặc ngưỡng nguồn điện áp thấp (low V_{th}), tùy thuộc vào yêu cầu của mạch và cấu trúc của nó.

Các transistor có ngưỡng nguồn điện áp cao thường được sử dụng trong các khu vực của mạch không yêu cầu tốc độ cao, như trong các bộ nhớ, để giảm công suất rò rỉ. Ngược lại, các transistor có ngưỡng nguồn điện áp thấp thường được sử dụng trong các khu vực đòi hỏi tốc độ cao, như trong các bộ xử lý, để cải thiện hiệu suất.

Do đó, Multi Threshold CMOS mang lại sự linh hoạt trong việc cân bằng giữa hiệu suất và tiêu thụ năng lượng trong mạch tích hợp.



Hình 5.7 Ô nhớ SRAM 8T theo phương pháp đa ngưỡng

CHƯƠNG 6: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN**6.1 Kết luận**

Trong quá trình nghiên cứu về cấu trúc SRAM 8T, chúng em đã nhận ra một loạt các ưu điểm và tính năng độc đáo của nó. Cấu trúc này không chỉ mang lại hiệu suất đáng kể và tính ổn định trong quá trình đọc và ghi dữ liệu, mà còn thể hiện tính linh hoạt đáng kể trong việc tối ưu hóa năng suất và tiêu thụ năng lượng. Khả năng thích ứng với nhiều điều kiện khác nhau trong môi trường mạch tích hợp là một đặc điểm quan trọng, giúp SRAM 8T trở thành một lựa chọn hấp dẫn trong thiết kế chip.

Tuy nhiên, những thách thức không hề nhỏ đã xuất hiện trong việc triển khai SRAM 8T, đặc biệt là khi chúng ta đối mặt với hiệu ứng của giảm kích thước công nghệ. Các ràng buộc về sức mạnh của transistor và hiệu năng của ô nhớ đã đặt ra những thách thức đáng kể, yêu cầu sự đổi mới trong quy trình thiết kế để vượt qua những hạn chế này. Tuy nhiên, những giải pháp như sử dụng công nghệ multiple-threshold và các kỹ thuật thiết kế tiên tiến khác đã xuất hiện, giúp chúng ta vượt qua những rắc rối này và nâng cao khả năng triển khai của SRAM 8T.

So sánh với cấu trúc SRAM truyền thống, những nỗ lực nghiên cứu trên đã chỉ ra rằng SRAM 8T có những ưu điểm đáng kể trong việc tối ưu hóa diện tích mạch tích hợp, đồng thời duy trì hiệu suất ổn định. Điều này đặt ra một câu hỏi quan trọng về tương lai của công nghệ SRAM, khi mà các thiết kế mạch tích hợp ngày càng đòi hỏi sự cân bằng giữa hiệu suất, tiêu thụ năng lượng, và diện tích. SRAM 8T, với những ưu điểm độc đáo của mình, hứa hẹn mở ra những cơ hội mới và thúc đẩy sự tiến bộ trong lĩnh vực này.

6.2 Hướng phát triển

Hướng phát triển của cấu trúc SRAM 8T mở ra những cơ hội đầy hứa hẹn trong ngành thiết kế mạch tích hợp và công nghệ chip. Đối mặt với những thách thức ngày càng tăng về hiệu suất, tiêu thụ năng lượng và kích thước, SRAM 8T nổi bật như một phương tiện linh hoạt và tiên tiến có thể đáp ứng đa dạng các yêu cầu của thị trường.

Trong bối cảnh không ngừng phát triển của công nghệ chip, sự tập trung vào tối ưu hóa năng suất và tiêu thụ năng lượng của SRAM 8T là cực kỳ quan trọng. Các nghiên cứu tiên tiến nhằm cải thiện hiệu suất của SRAM 8T đồng thời giảm tiêu thụ năng lượng khi không hoạt động sẽ đóng một vai trò quan trọng trong việc định hình tương lai của công nghệ này. Các kỹ thuật linh hoạt như chuyển đổi giữa các chế độ hoạt động và quản lý linh hoạt năng lượng sẽ trở thành yếu tố chính để đảm bảo sự linh hoạt và hiệu quả.

Ngoài ra, việc xem xét khả năng ứng dụng SRAM 8T trong các lĩnh vực mới cũng là một hướng phát triển quan trọng. Trong môi trường ngày càng kết nối và thông minh, SRAM 8T có thể tìm thấy ứng dụng trong các lĩnh vực như giao tiếp không dây và Internet of Things (IoT), nơi mà sự tiết kiệm năng lượng và độ ổn định cao là yếu tố quyết định.

Bên cạnh đó, tích hợp SRAM 8T với các công nghệ mới như các công nghệ 3D-IC mở ra một tầm nhìn mới về khả năng mở rộng và tích hợp với các thành phần khác. Sự phát triển này có thể là chìa khóa để tối ưu hóa diện tích mạch tích hợp và cải thiện hiệu suất tổng thể.

Cuối cùng, việc đánh giá khả năng tích hợp SRAM 8T với các công nghệ ghi nhớ phi volatile như Resistive RAM (RRAM) hoặc Magnetoresistive RAM (MRAM) mở ra những cơ hội mới về khả năng lưu trữ và truy xuất dữ liệu. Sự linh hoạt trong việc sử dụng và tích hợp với các công nghệ mới sẽ đóng góp vào việc làm cho SRAM 8T trở thành một phần quan trọng trong tương lai của công nghệ chip và thiết kế mạch tích hợp.

TÀI LIỆU THAM KHẢO

- [1] Neil H. E. Weste, David Money Harris, “*CMOS VLSI Design: A Circuits and Systems Perspective*”, Addison Wesley, 2010.
- [2] Ram Murti Rawat, Vinod Kumar, “*A Comparative Study of 6T and 8T SRAM Cell With Improved Read and Write Margins in 130 nm CMOS Technology*”, 2020.
- [3] Aastha Singh¹, Preet Jain¹, Tarun Kumar Gupta, “*A Comparative Analysis of Improved 8T SRAM Cell With Different SRAM Cell*”, 2015.
- [4] P. Raikwalli, V. Neema and A. Verma, “*A New 8T SRAM Circuit with Low Leakage and High Data Stability Idle Mode at 70nm Technology*”, 2017.
- [5] A. S. S. Trinadh Kumar, B. V. V. Satyanarayana, “*Low voltage high speed 8T SRAM cell for ultra-low power applications*”, 2018.
- [6] Urvashi Chaudhary, Rajendra Bahadur Singh, “*A Low Power CMOS 8T SRAM Cell for High Speed VLSI Design Using Transmission Gate Mode*”, 2016.
- [7] Song li, Zhiting Lin, Jiubai Zhang, Yuchun Peng and Xiulong Wu, “*A Novel 8T SRAM Cell with Improved Read and Write Margins*”, 2015.
- [8] K. Dhanumjaya, M. Sudha, Dr.MN.Giri Prasad, Dr.K.Padmaraju, “*CELL STABILITY ANALYSIS OF CONVENTIONAL 6T DYNAMIC 8T SRAM CELL IN 45NM TECHNOLOGY*”, 2012.
- [9] J. S. ashwin, J. S. Praveen and N. Manoharan, “*Optimization of Sram array Structure for Energy Efficiency Improvement in advanced CMOS Technology*”, 2014.
- [10] Phạm Văn Khoa, Nguyễn Duy Thông, “*PHÂN TÍCH HIỆU NĂNG CỦA CÁC THIẾT KẾ SRAM TRÊN CÔNG NGHỆ TSMC 90NM CMOS*”, 2022.