

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA ĐIỆN – ĐIỆN TỬ



BÁO CÁO MÔN HỌC
**THỰC TẬP THIẾT KẾ
MẠCH TÍCH HỢP
VLSI**

Giảng viên: ThS. TRẦN THỊ QUỲNH NHƯ

Sinh viên: Đỗ Trung Hậu

MSSV: 21161121

Tp. Hồ Chí Minh – 5/2024

MỤC LỤC

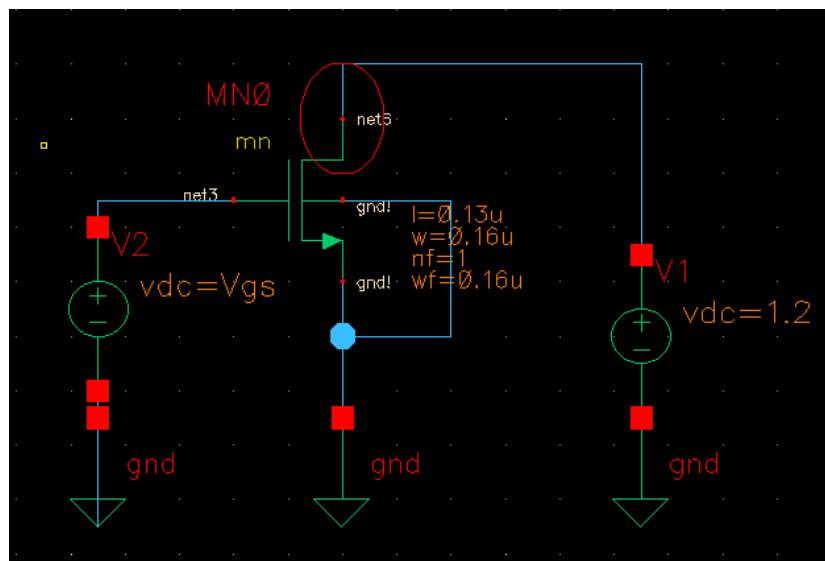
BÀI 1: KHẢO SÁT ĐẶC TUYẾN CMOS – CỘNG NOT – CỘNG NAND.....	1
1.1 Đặc tuyén nMOS	1
1.2 Đặc tuyén pMOS	4
1.3 Đặc tuyén công NOT	5
1.4 Thiết kế công NAND 2 ngõ vào	10
BÀI 2: THIẾT KẾ CỘNG LOGIC	13
2.1 Cổng NAND 2	13
2.2 Cổng AND 2	15
2.3 Cổng NOR 2	17
2.4 Cổng OR 2	19
2.5 Cổng EXOR 2	21
2.6 Cổng EXNOR 2	23
BÀI 3: THIẾT KẾ MẠCH TỔ HỢP	25
3.1 IC 4023	25
3.2 Mạch cộng toàn phần 1 bit	27
3.3 Mạch cộng 4 bit	29
BÀI 4: THIẾT KẾ MẠCH TỔ HỢP (tiếp theo).....	31
4.1 Mạch trừ 4 bit	31
4.2 Mạch nhân 2 bit	33
4.3 Mạch giải đa hợp 1 sang 8	35
BÀI 5: THIẾT KẾ MẠCH TUẦN TỰ	37
5.1 Flip Flop D	37
5.2 Flip Flop T	39
5.3 Mạch đếm MOD 10	41
BÀI 6: THIẾT KẾ MẠCH TUẦN TỰ (tiếp theo).....	43
6.1 Mạch đếm MOD60	43
6.2 IC 4017	45

BÀI 1: ĐẶC TUYẾN CMOS – CÔNG LOGIC

I. KHẢO SÁT ĐẶC TUYẾN CMOS

1.1. Đặc tuyến nMOS

a) Mạch điện mô phỏng



b) Các bước tiến hành

- ❖ **Tiến hành khảo sát đặc tuyến IV trong trường hợp:** $V_{gs} =$ và V_{dc} chạy từ 0 đến 1.8 V.
 - + Nguồn V_1 có giá trị điện áp ban đầu là 1.2 V.
 - + Nguồn V_2 có giá trị bằng một biến V_{gs} .

Property	Value	Display
Library Name	analogLib	off
Cell Name	vdc	off
View Name	symbol	off
Instance Name	v2	off

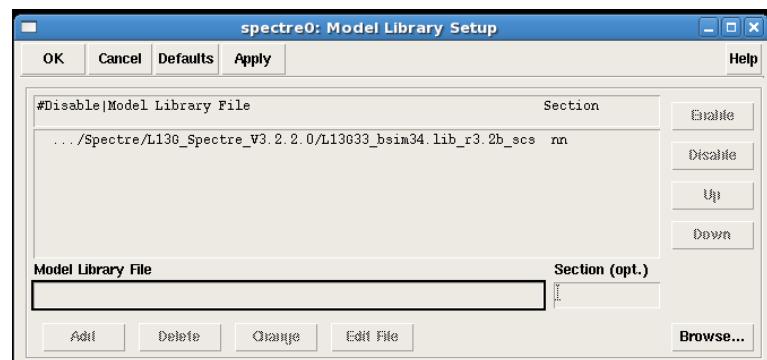
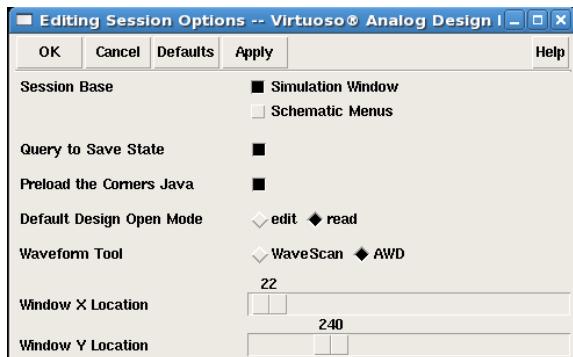
CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	V_{gs}	off
Noise file name		off

Property	Value	Display
Library Name	analogLib	off
Cell Name	vdc	off
View Name	symbol	off
Instance Name	v1	off

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2 V	off

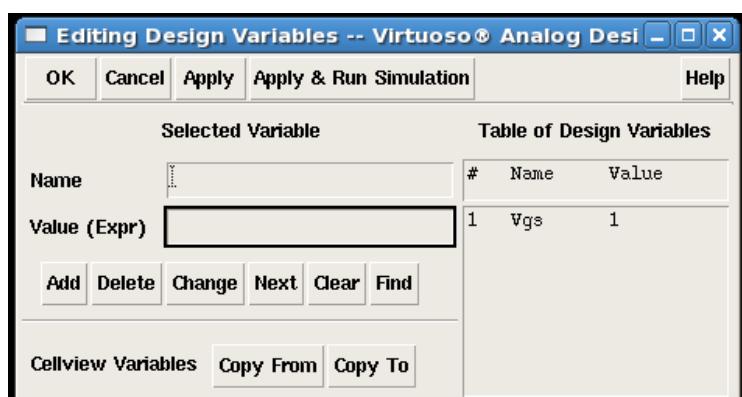
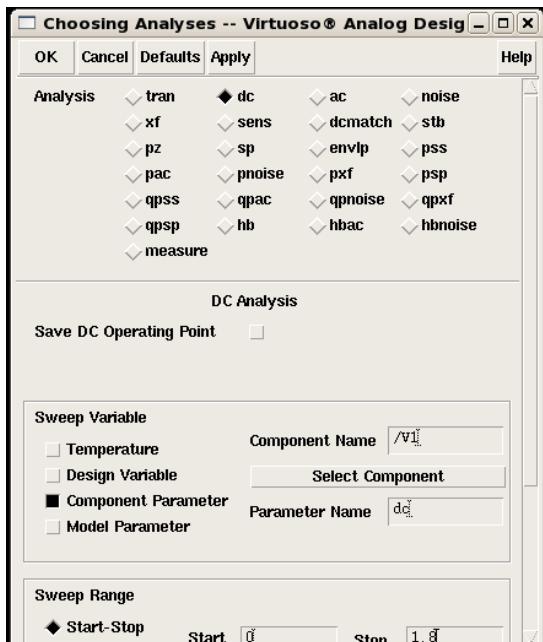
- + Mở hộp thoại Tools → Analog Environment → Session → Option → AWD để chọn chế độ mô phỏng AWD.

+ Chọn mô hình mô phỏng theo công nghệ SamSung: Setup → Model Library → nn → chọn đường dẫn đích → Add.

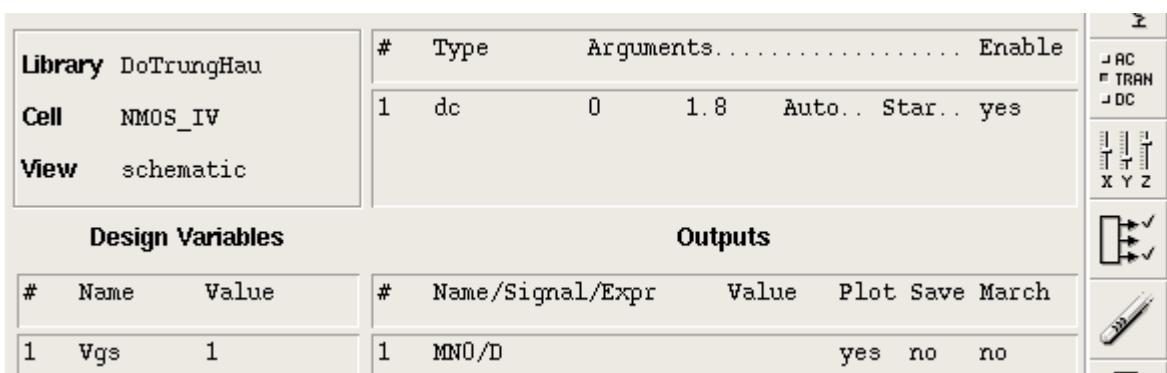


+ Cài đặt chế độ mô phỏng DC và set giá trị cho V_{dc} chạy từ 0 đến 1.8: Analyses → Choose → DC → Component Parameter → Select Component (Sau đó click vào nguồn áp V1 và chọn dc và nhấn OK) → Start 0 → Stop 1.8.

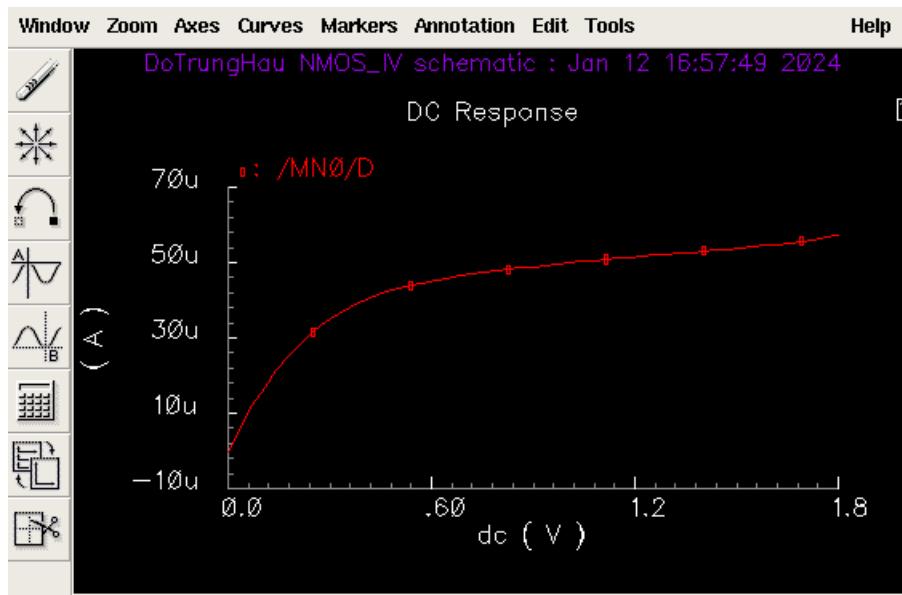
+ Gán giá trị cho V_{gs} ban đầu bằng 1 V: Variables → Edit → Name (nhập tên biến Vgs) → Giá trị ban đầu là 1 V → Add → OK.



+ Chọn tín hiệu cần vẽ sóng: Outputs → To be plotted → Select on Schematic → Nhập vào phần cực D của nMOS (hoặc ngay nút đỏ ngay nguồn V1) → Trở lại hộp thoại Analog thấy MN0/D là đúng (kiểm tra đã có vòng tròn đỏ bao quanh điểm đã chọn hay chưa).

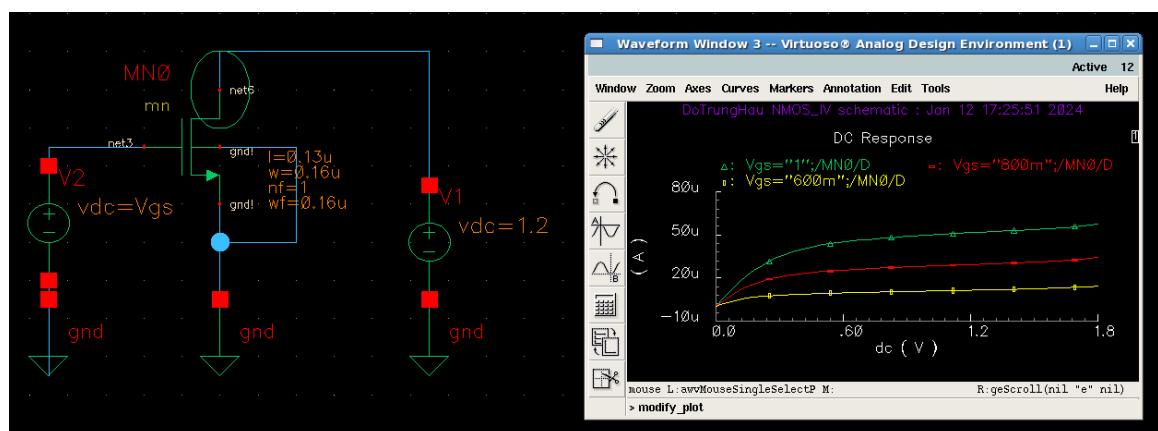
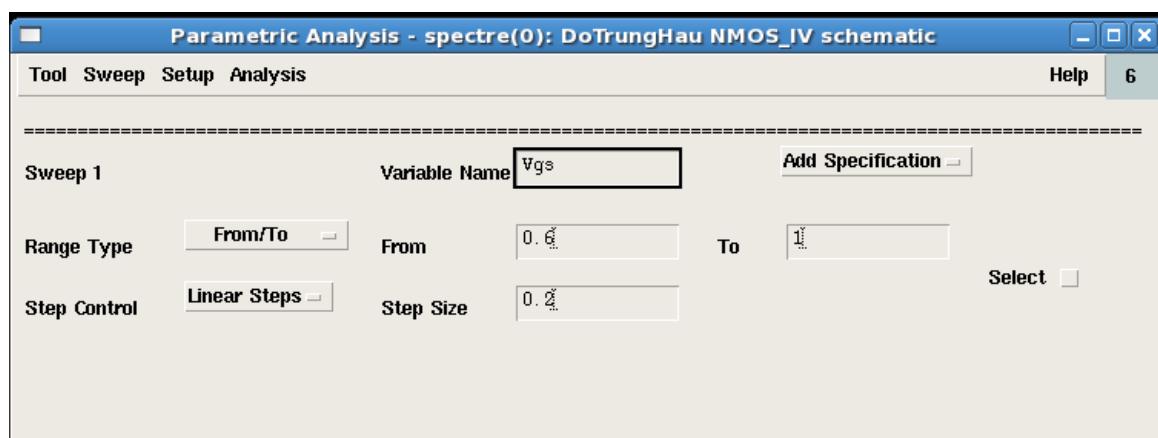


+ Chạy mô phỏng: Nest list and Run:



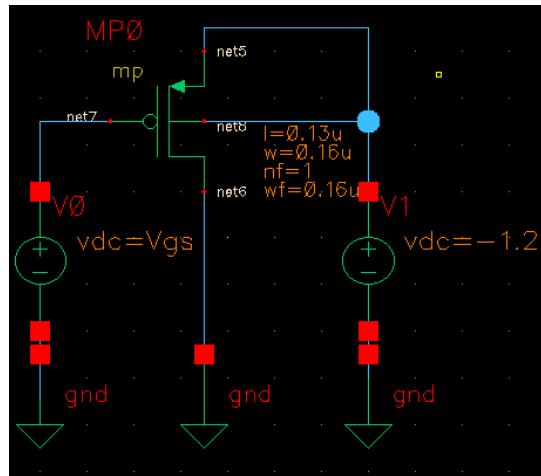
- ❖ Tiến hành thay đổi giá trị V_{gs} từ 0.6V đến 1V, bước nhảy 0.2V để thấy được ba đường đặc tuyến.

+ Thay đổi giá trị: Tools → Parametric Analysis → Nhập tên biến (V_{gs} chính xác) → From 0.6V → To 1 V → Step size 0.2V → Step control (Linear Steps) → Analysis → Start:



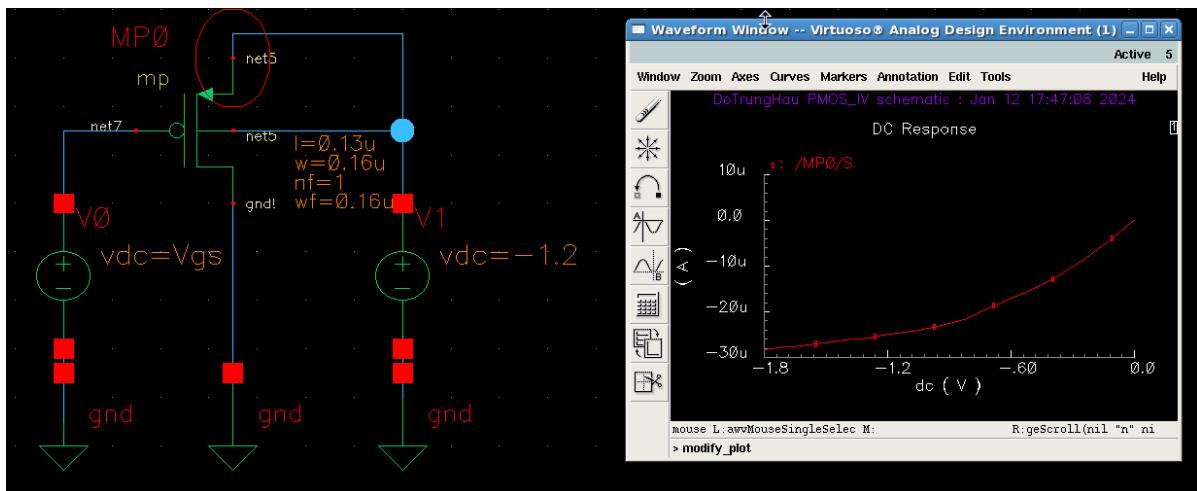
1.2. Đặc tuyến PMOS

a) Mạch điện mô phỏng

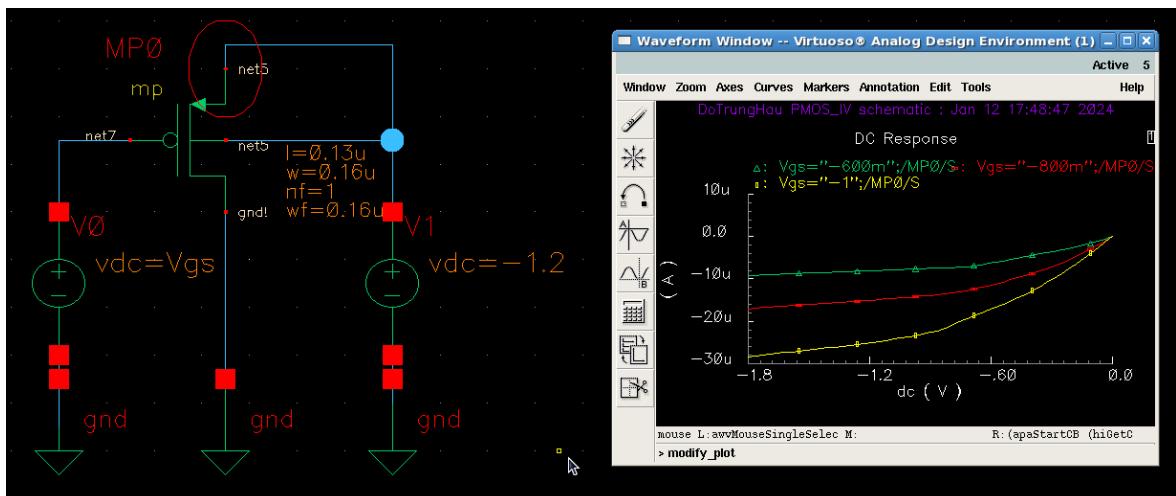


b) Các bước tiến hành

- ❖ Tiến hành khảo sát đặc tuyến IV trong trường hợp: $V_{gs} = -1.8V$ và V_{dc} chạy từ $-1.8V$ đến $0V$.

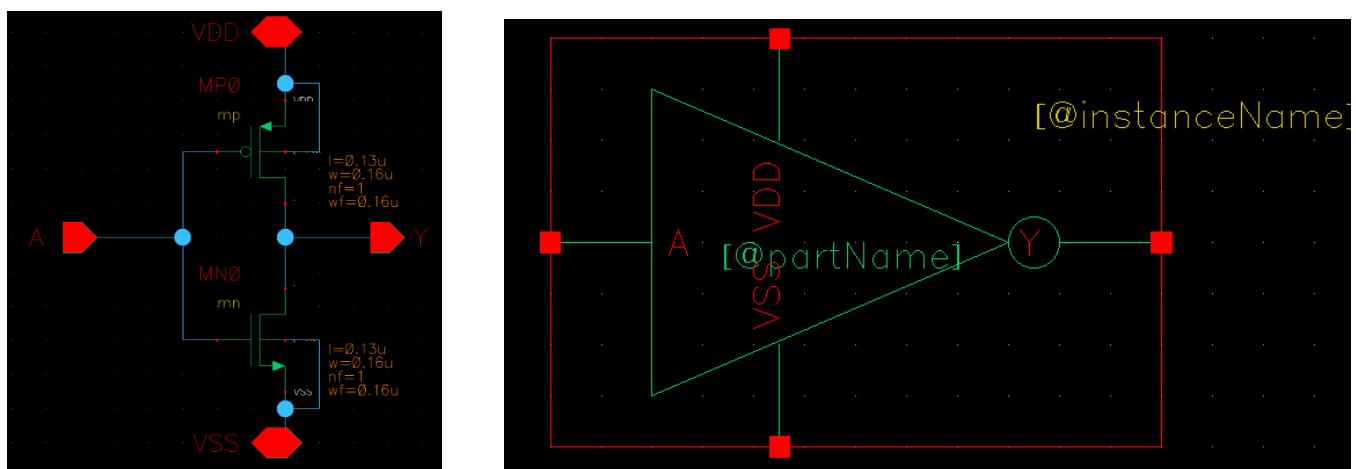


- ❖ Tiến hành thay đổi giá trị V_{gs} từ $-1V$ đến $-0.6V$, bước nhảy $0.2V$ để thấy được ba đường đặc tuyến.



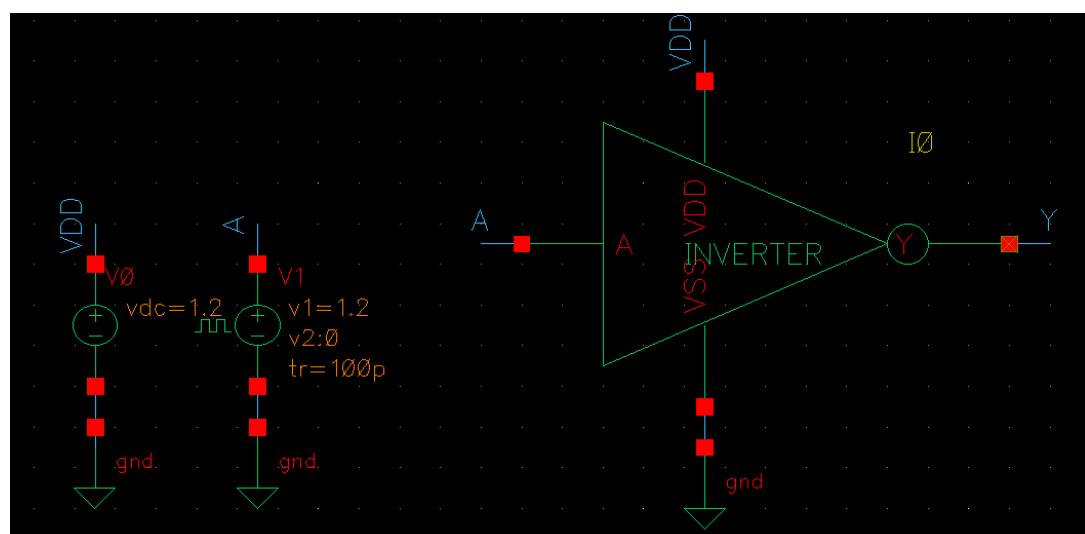
II. THIẾT KẾ CÔNG NOT

a) Thiết kế và đóng gói công NOT

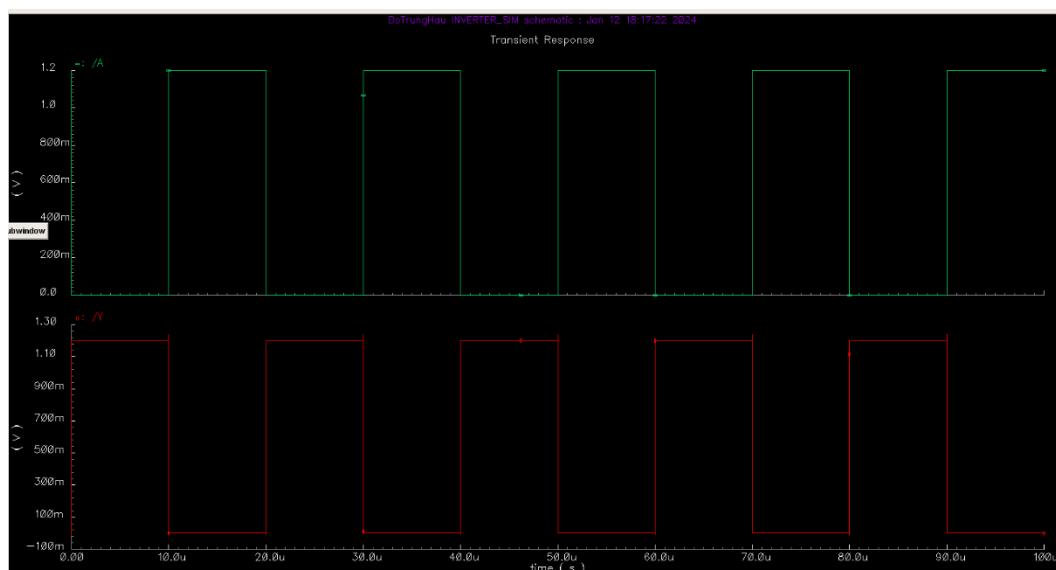


b) Mô phỏng logic, đặc tuyến công NOT

- Mạch điện mô phỏng:**

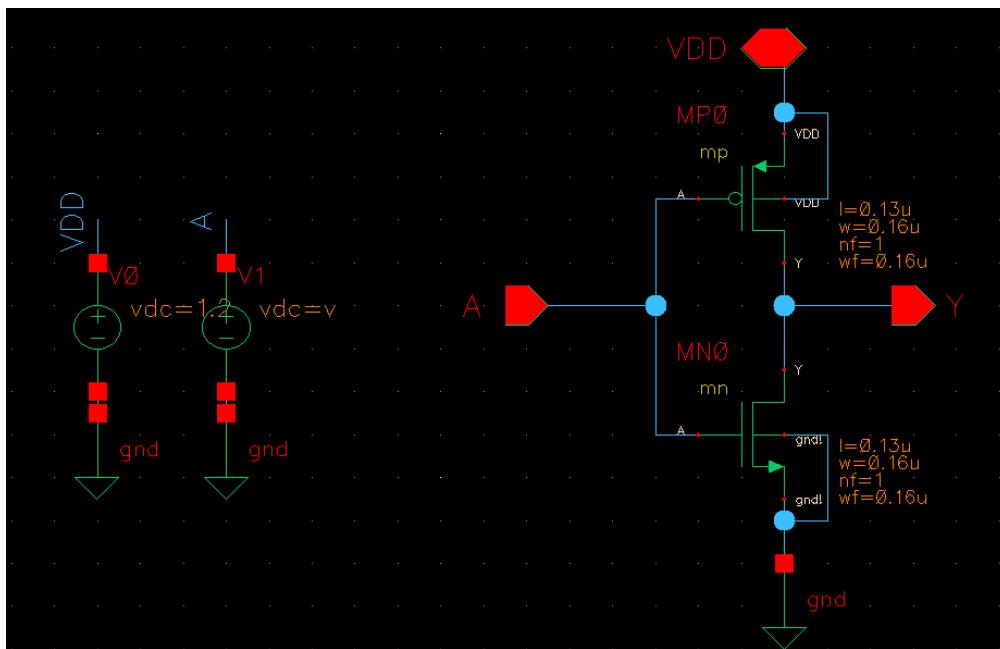


- Dạng sóng logic:**

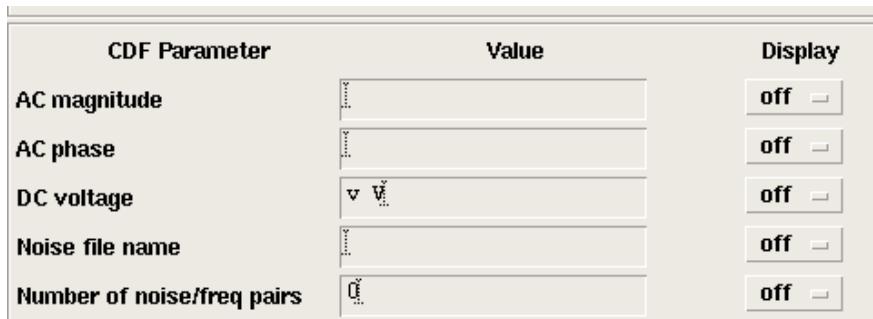


▪ Đặc tuyến cổng NOT:

+ Mạch điện:



+ Thay đổi nguồn xung thành nguồn DC với giá trị là một biến điện áp theo v .

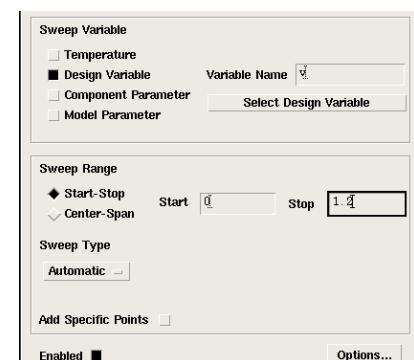
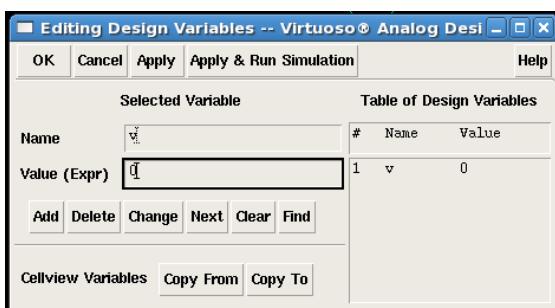


+ Vào Tools → Analog Environment để mở hộp thoại Analog.

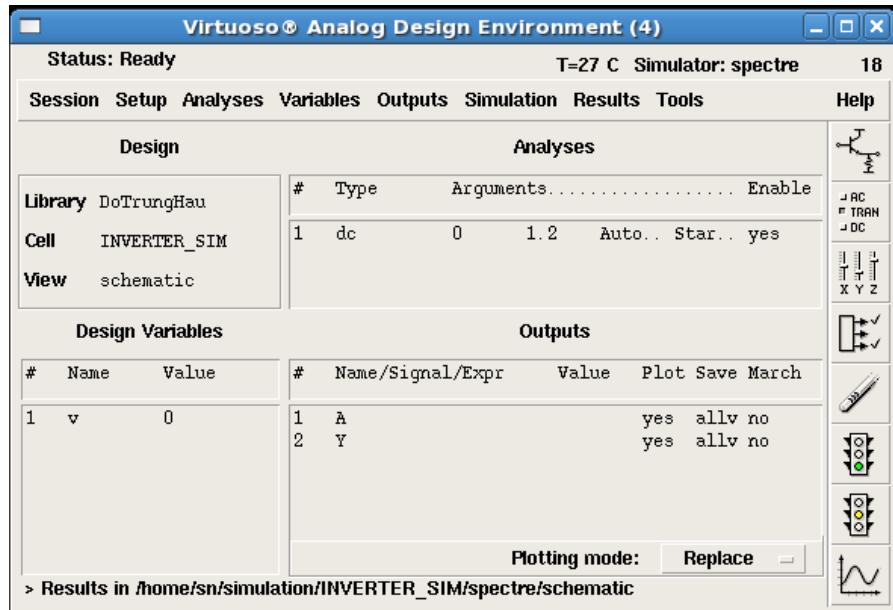
+ Chọn chế độ AWD, chọn mô hình PDK.

+ Thiết lập giá trị ban đầu cho biến v : Variables → Edit.

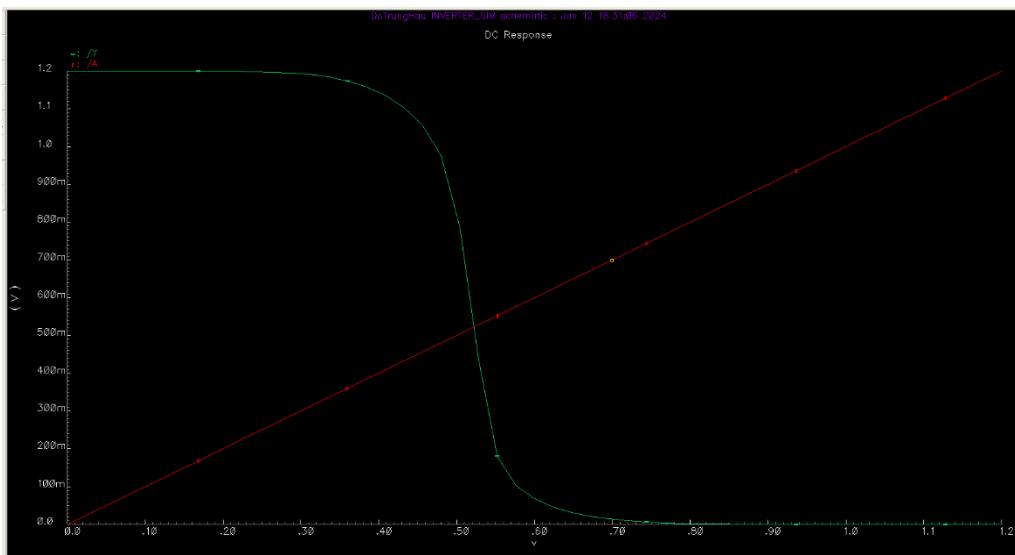
+ Thiết lập chế độ mô phỏng DC, cho biến v chạy từ 0 đến 1.2: Analyses → Choose → DC → Design variable → Nhập tên biến → Bắt đầu và kết thúc.



+ Chọn ngõ vào và ngõ ra cần vẽ: Outputs → To be plotted → Select on Schematic:



+ Tiến hành chạy mô phỏng Nestlist and Run:

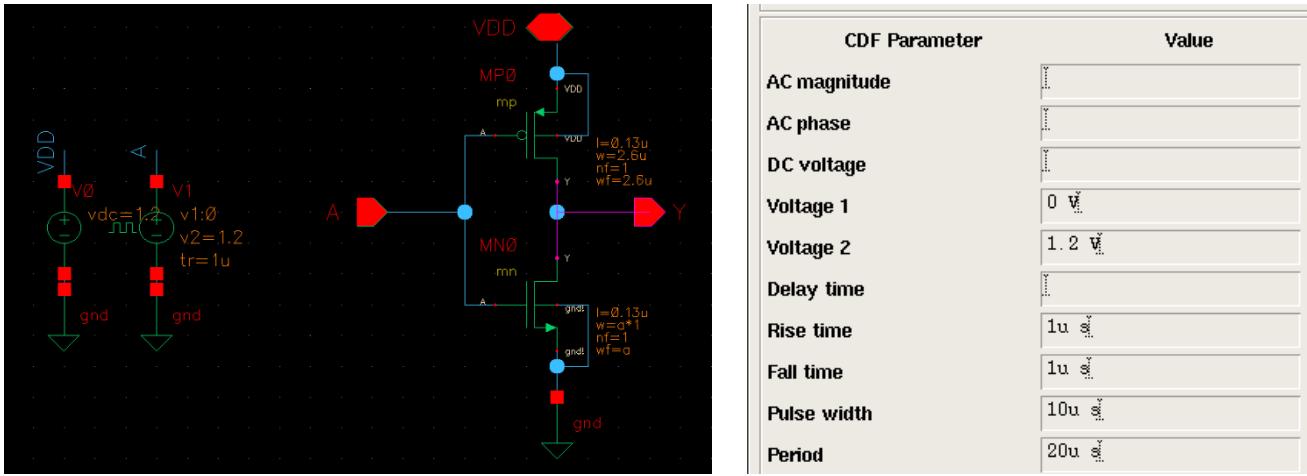


- **Đặc tuyến cỗng NOT thay đổi theo giá trị $\beta =$, chọn $\beta =$ và vẽ 5 đường đặc tuyến với $\beta =$ 1, 0.5, 0.1**

+ Lúc này ta cần tạo một biến là độ rộng (Width Per Finger) dành cho nMOS:

β	10	2	1	0.5	0.1	0
$nMOS\ a$	26u	5.2u	2.6u	1.3u	0.26u	0.00001u

+ **Mạch điện:** ta thay nguồn áp bởi nguồn xung để xem ảnh hưởng đến độ trễ, nguồn xung có thông số như hình bên dưới, nguồn áp cung cấp vẫn là 1.2V.



+ Thay đổi thông số (Width Per Finger) của cả hai transistor: pMOS thành 2.6u, nMOS là một biến a.

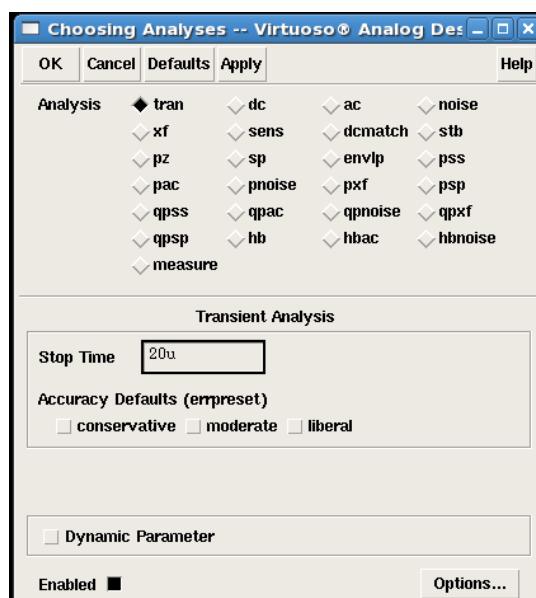
Property	Value	Display
Library Name	113g_mserf	off
Cell Name	mp	value
View Name	symbol	off
Instance Name	MP0	value

CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	2.6u	off
Number of Fingers	1	off
Width (M)	2.6u	off
Multiplier		off

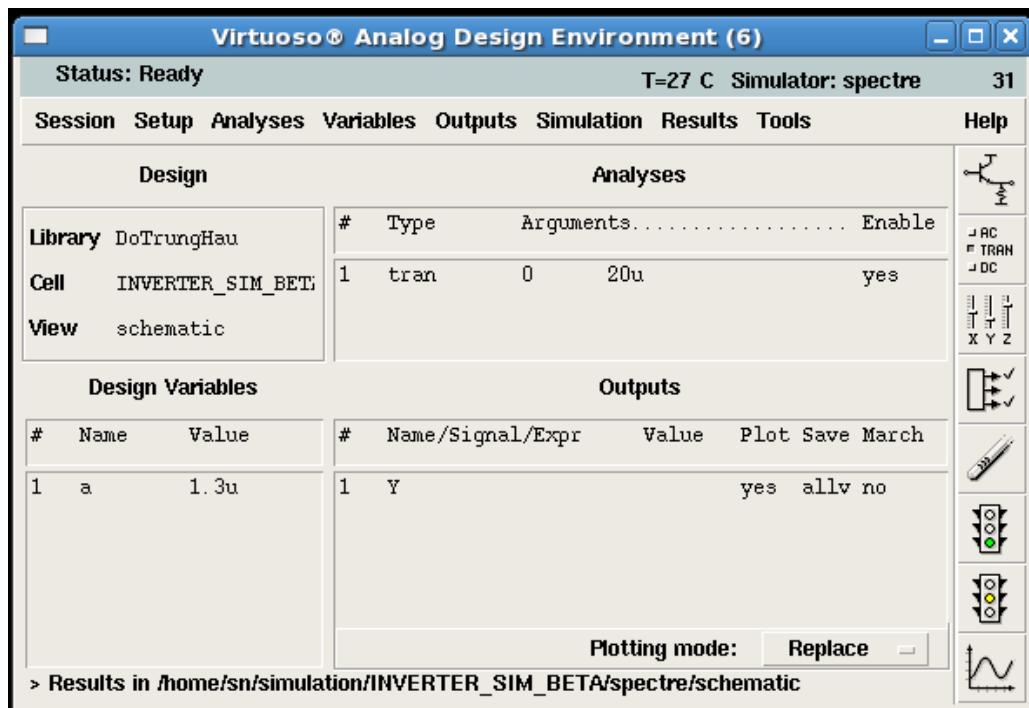
Property	Value	Display
Library Name	113g_msref	off
Cell Name	mn	value
View Name	symbol	off
Instance Name	MN0	value

CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	a	off
Number of Fingers	1	off
Width (M)	a*1	off
Multiplier		off

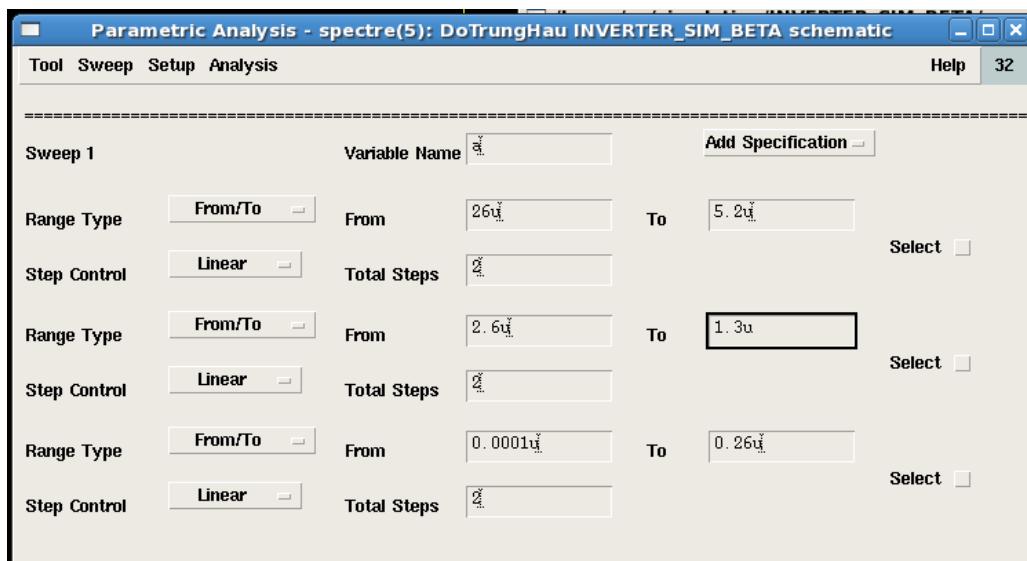
- + Mở hộp thoại Analog Environment → Cài đặt chế độ AWD và PDK.
- + Cài đặt giá trị mặc định cho biến a là 1.3u: Variables → Edit.
- + Chọn chế độ phân tích tức thời với thời gian 20 u: Analyses → Choose → DC → Stop time.



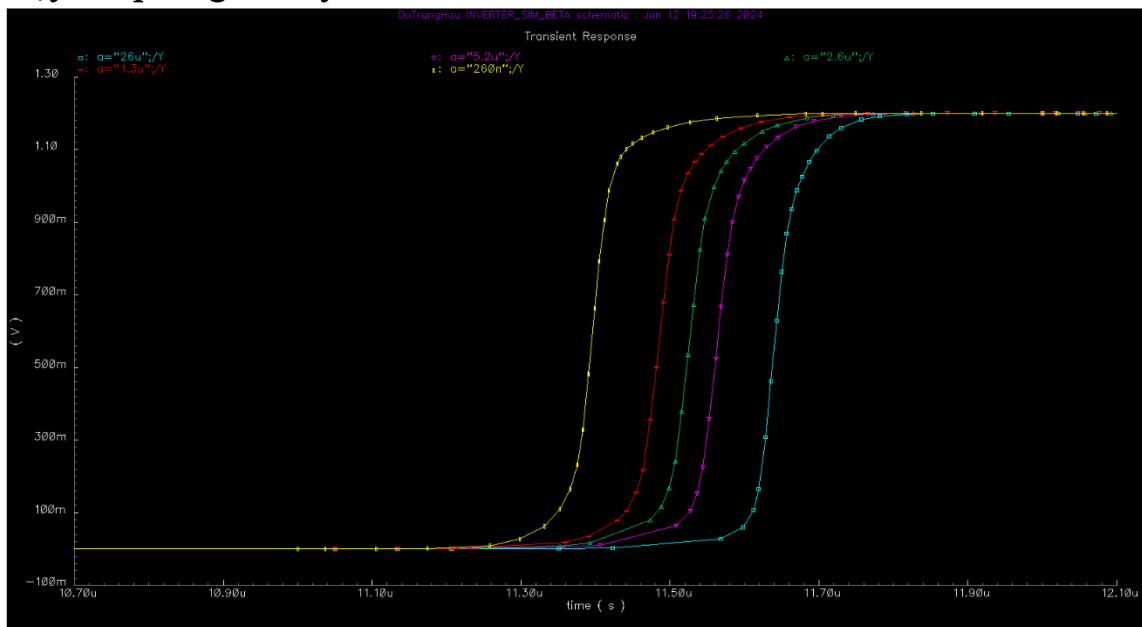
+ Chọn ngõ ra cần vẽ: Outputs → To be plotted → Select on Schematic → Chọn ngõ ra Y.



- + Thay đổi giá trị biến a 6 lần, để vẽ 6 đồ thị một lúc: Tools → Parametric Analysis → Ad Specification → Range (nhấn 2 lần như vậy để tạo 6 đường).
- + Nhập các giá trị vào, Total Steps là 2 tức là vẽ hai đường với hai giá trị cho trước, Step control chọn Linear.

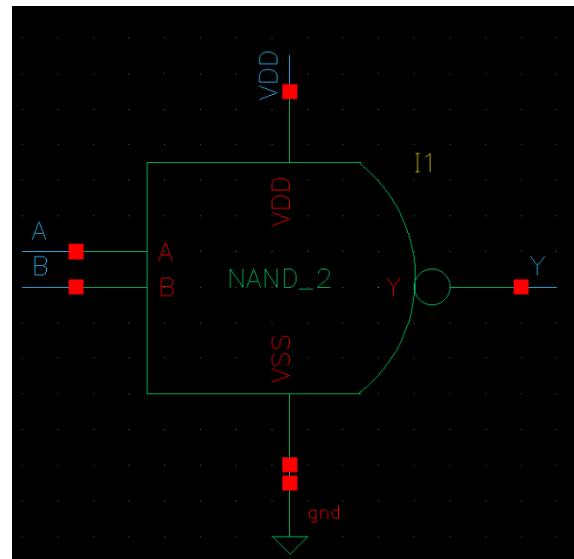
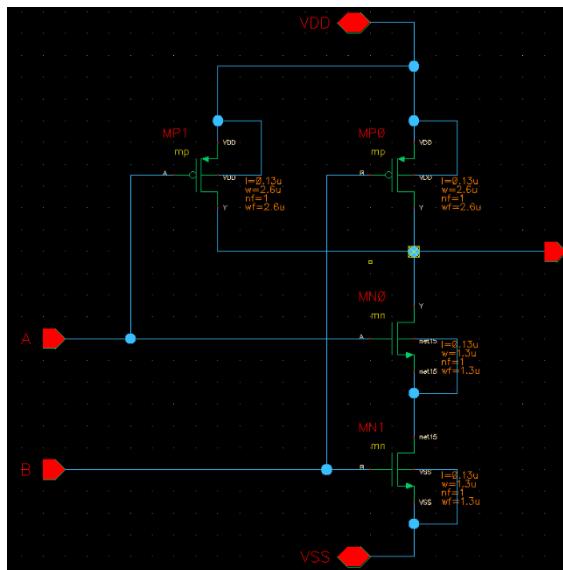


+ Chạy mô phỏng: Analysis → Start.

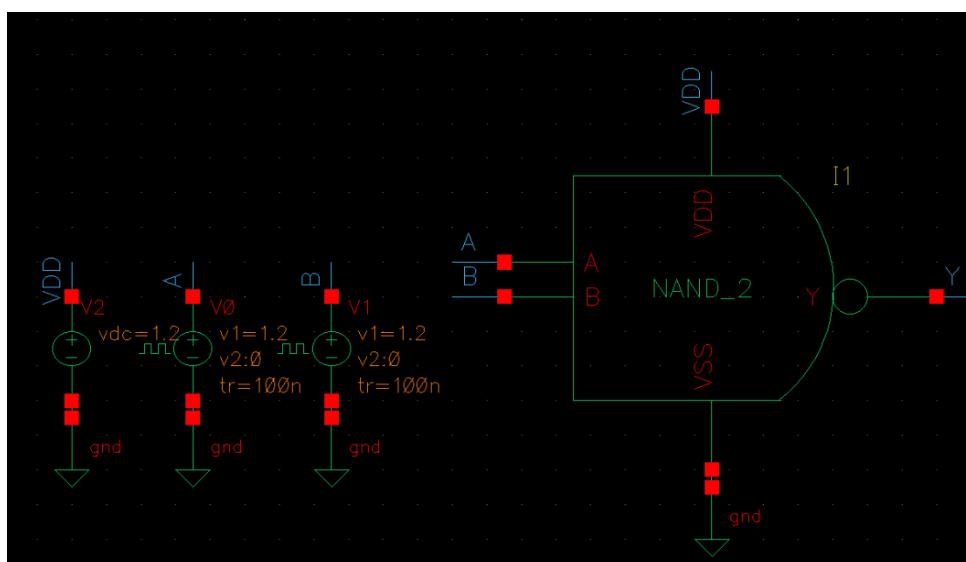


III. THIẾT KẾ CÔNG NĂNG

a) Thiết kế và đóng gói



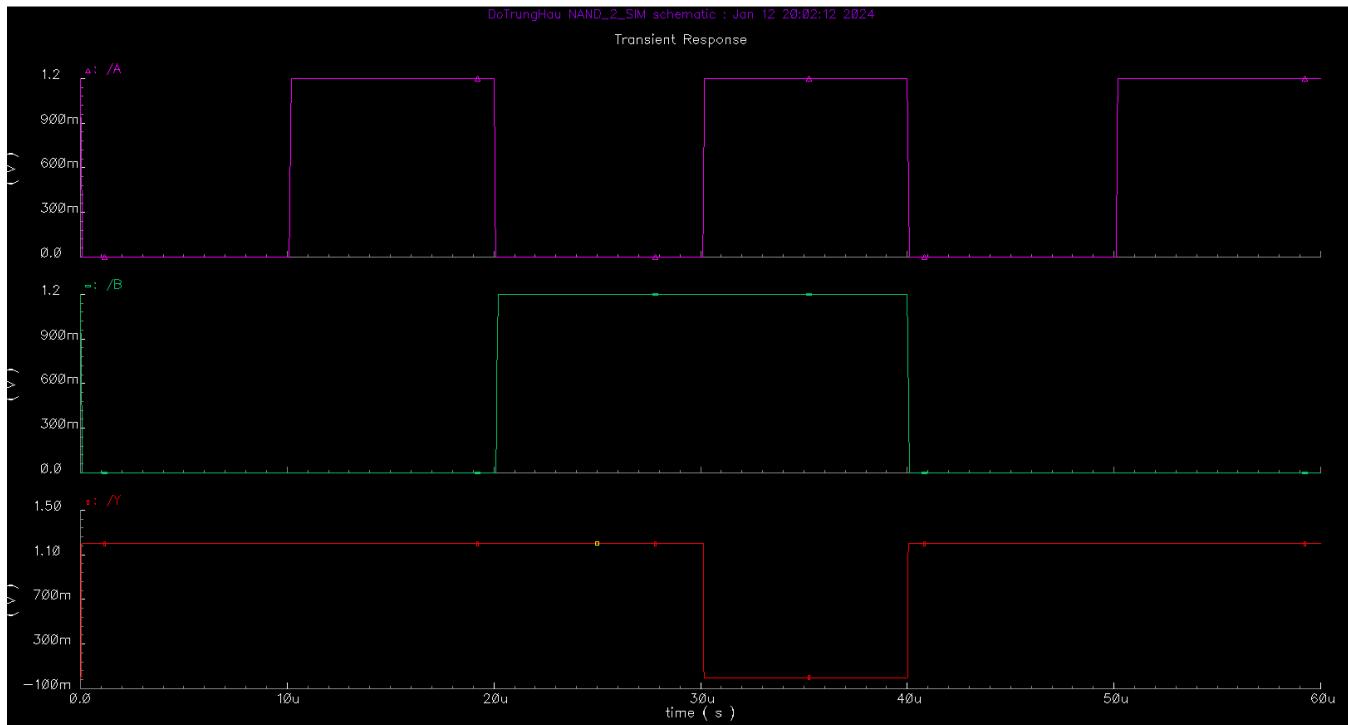
b) Mô phỏng logic



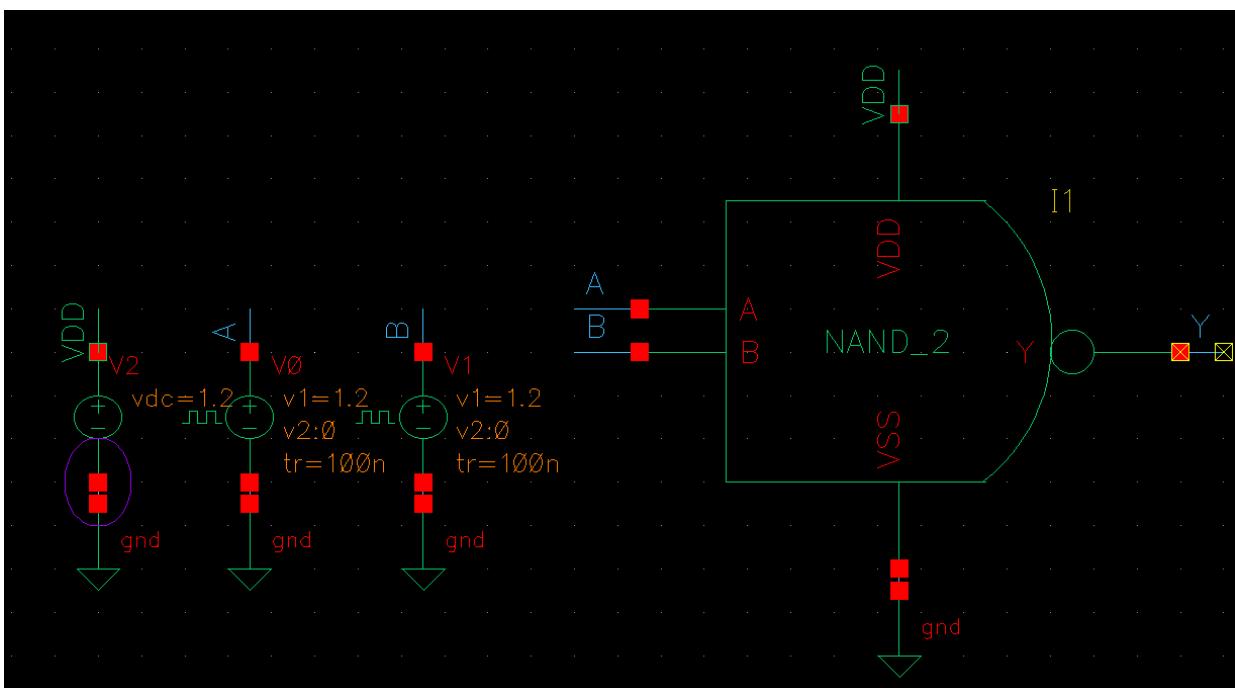
+ Nguồn xung: Chạy mô phỏng khoảng Stop time là 60us.

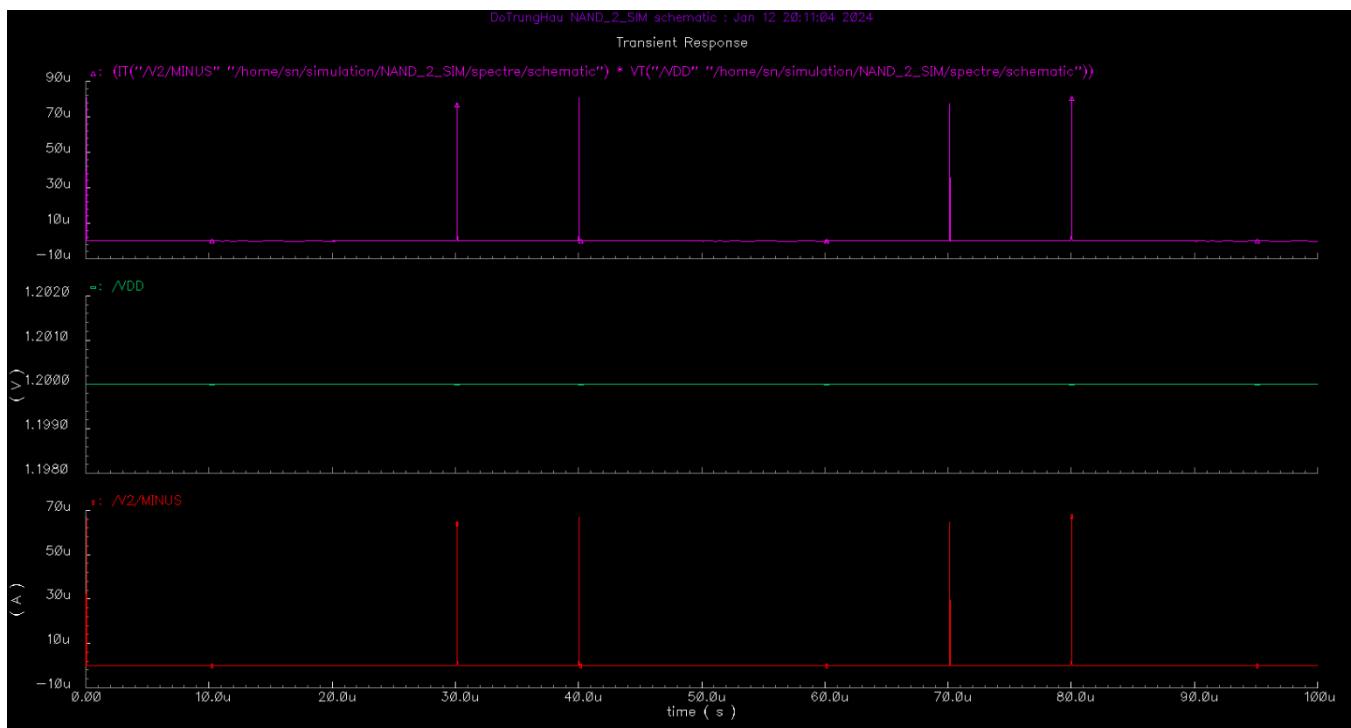
DC voltage	
Voltage 1	1.2 V
Voltage 2	0 V
Delay time	
Rise time	100n s
Fall time	100n s
Pulse width	10u s
Period	20u s

DC voltage	
Voltage 1	1.2 V
Voltage 2	0 V
Delay time	
Rise time	100n s
Fall time	100n s
Pulse width	20u s
Period	40u s



c) Tính công suất



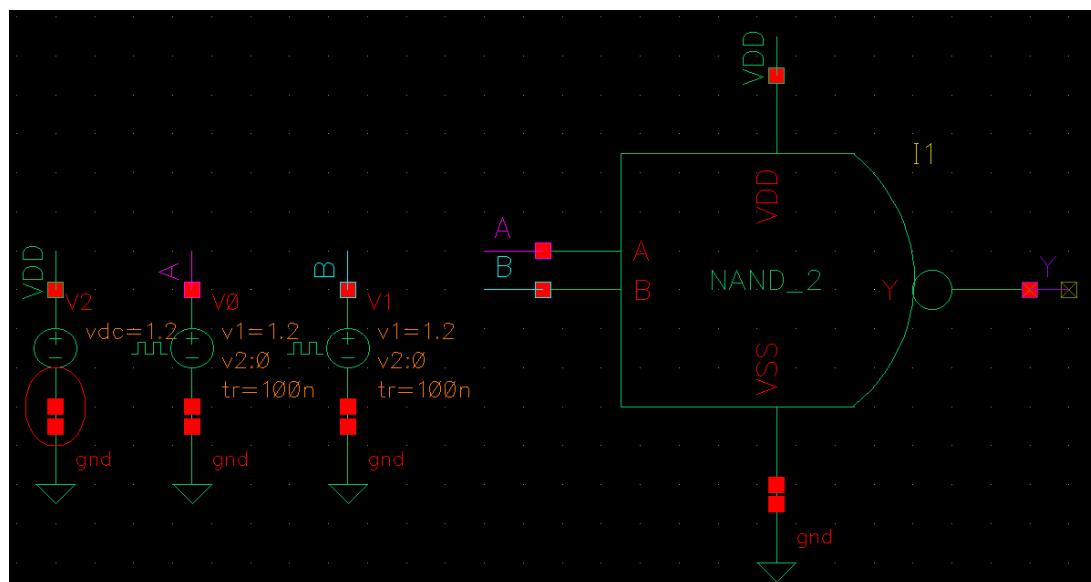
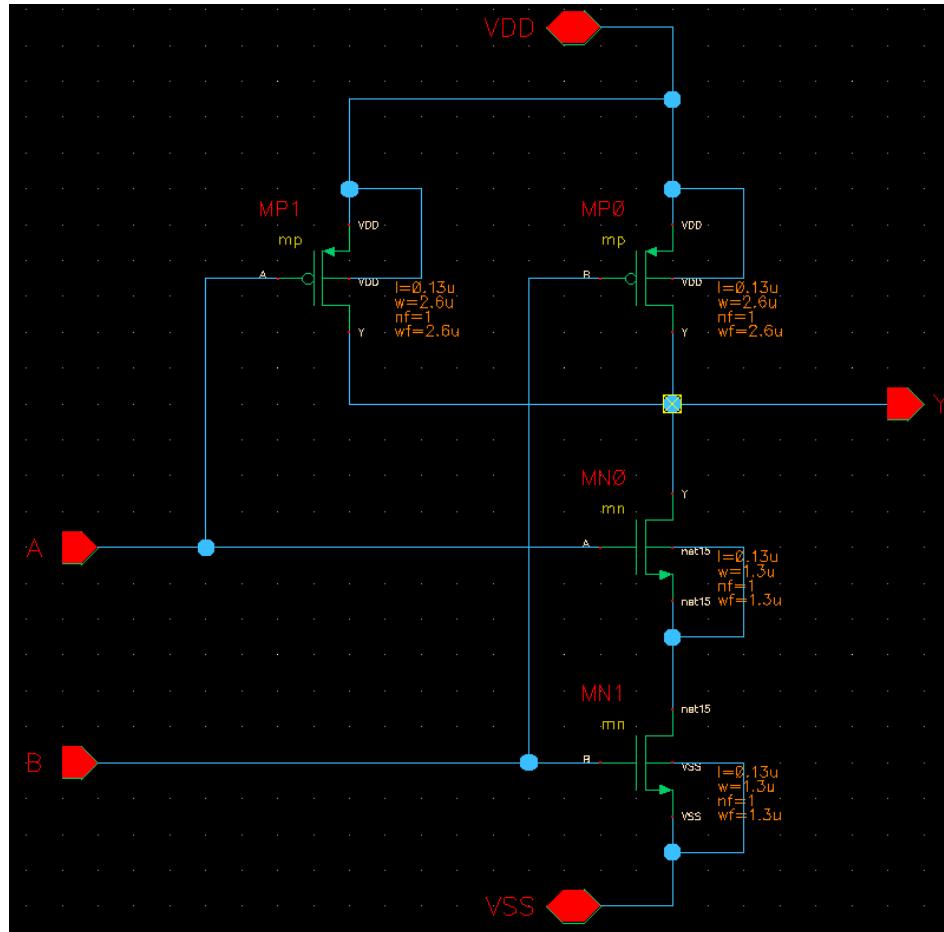


average(wavew53s1i3()) = 74.72n

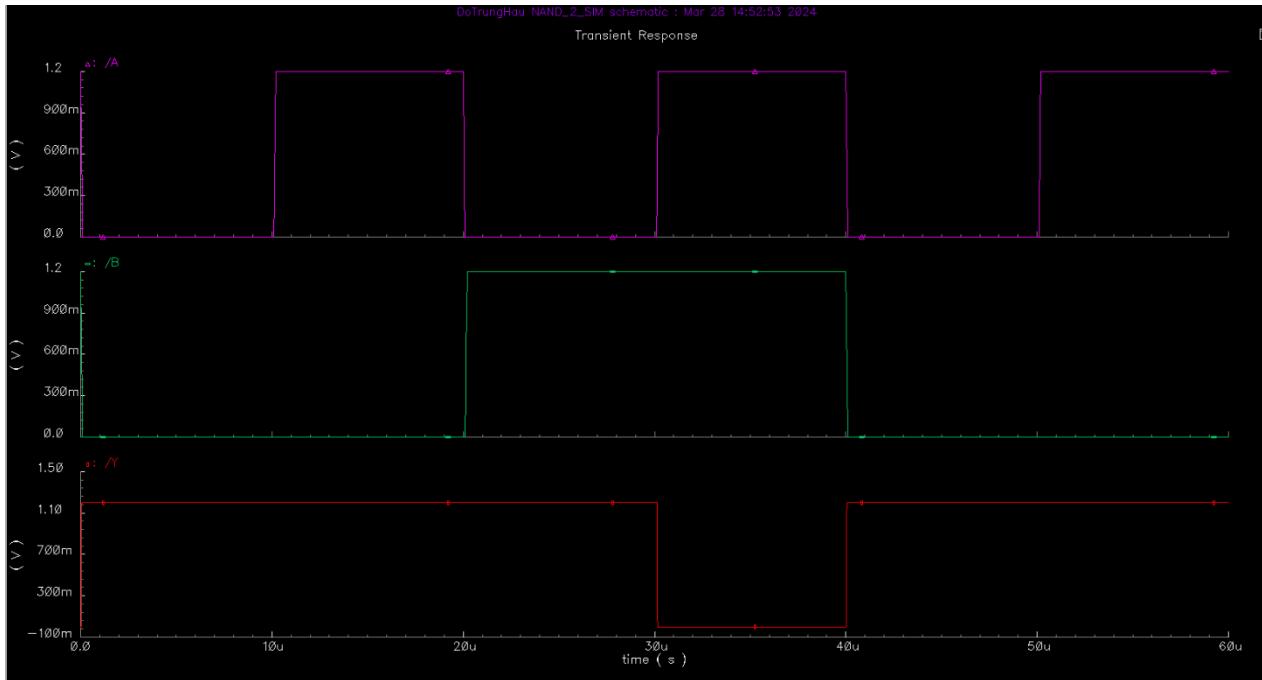
BÀI 2: THIẾT KẾ CÔNG LOGIC

1. CÔNG NAND 2 NGÕ VÀO

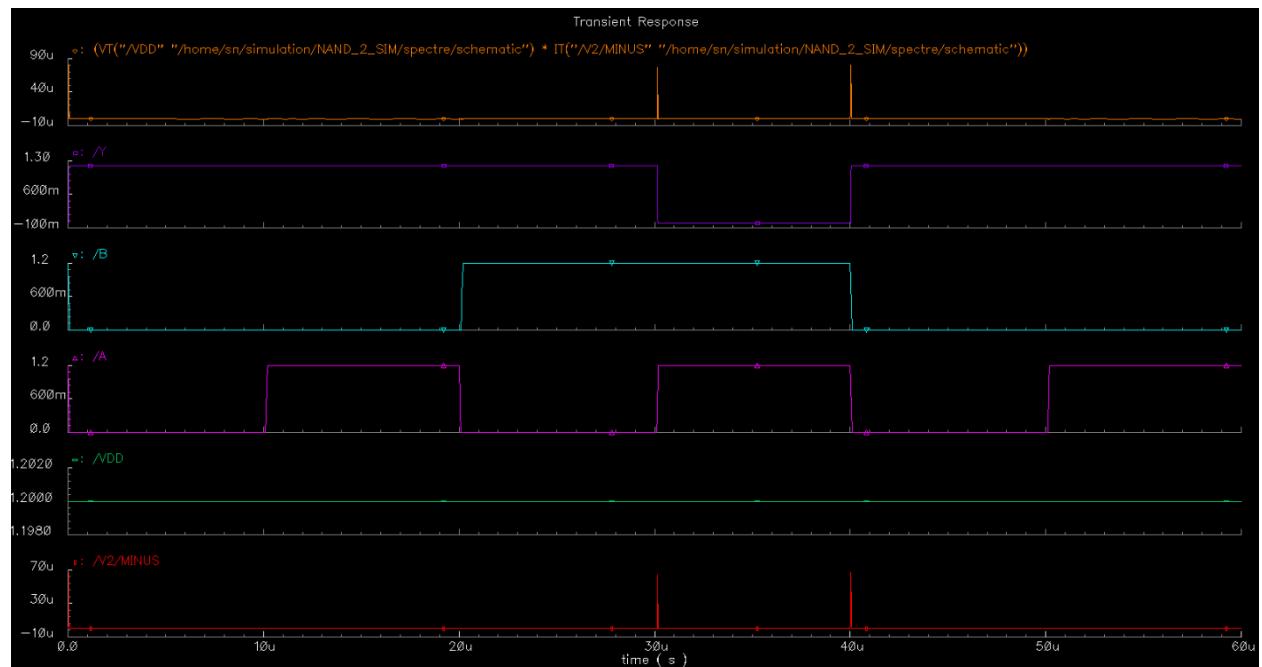
1.1 Mạch nguyên lý và đóng gói



1.2 Dạng sóng logic



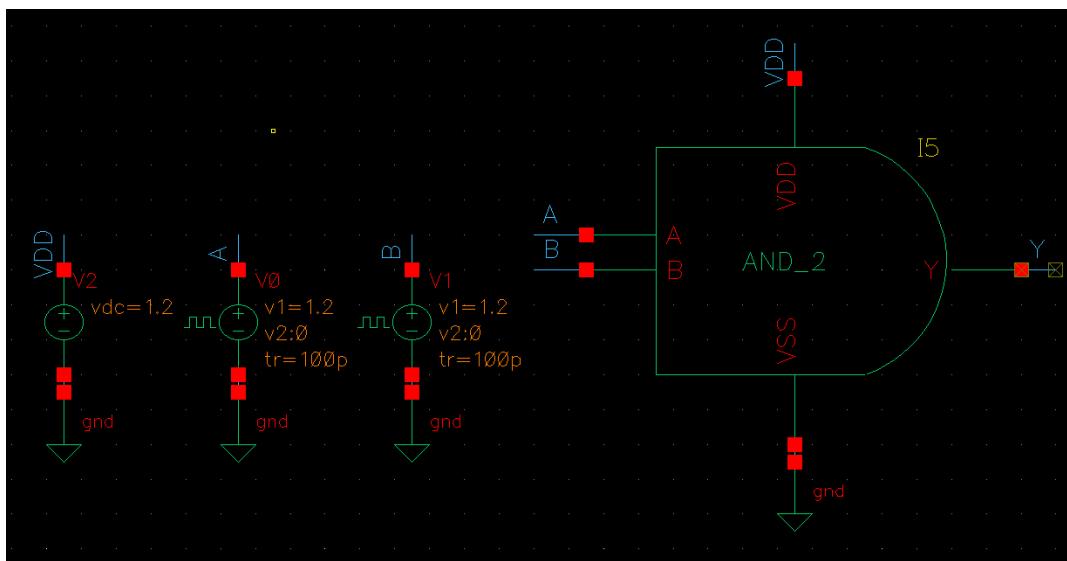
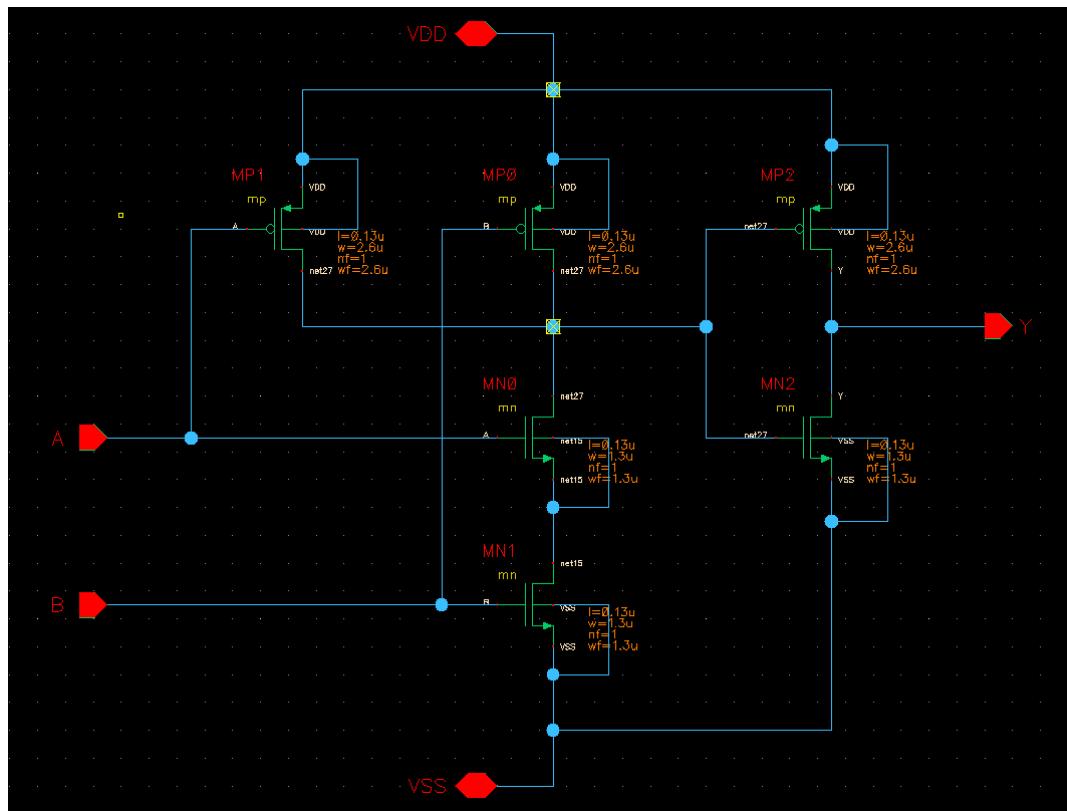
1.3 Tính toán công suất



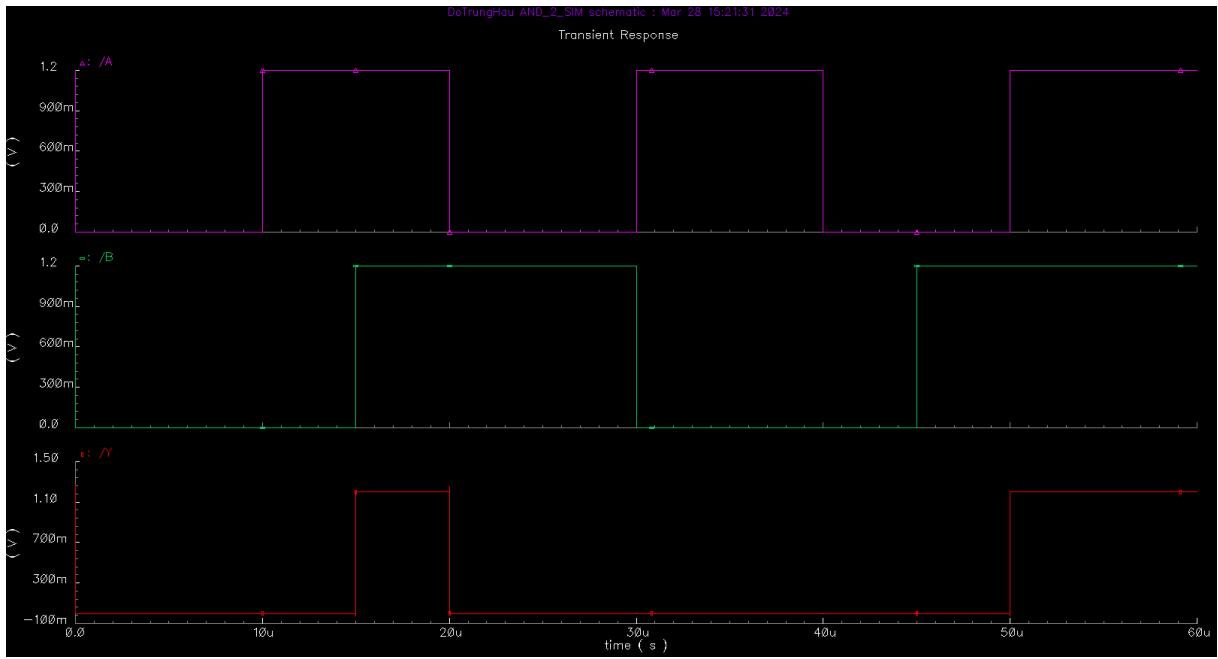
```
average(wavew10s1i6()) = 74.4n
```

2. CÔNG AND 2 NGÕ VÀO

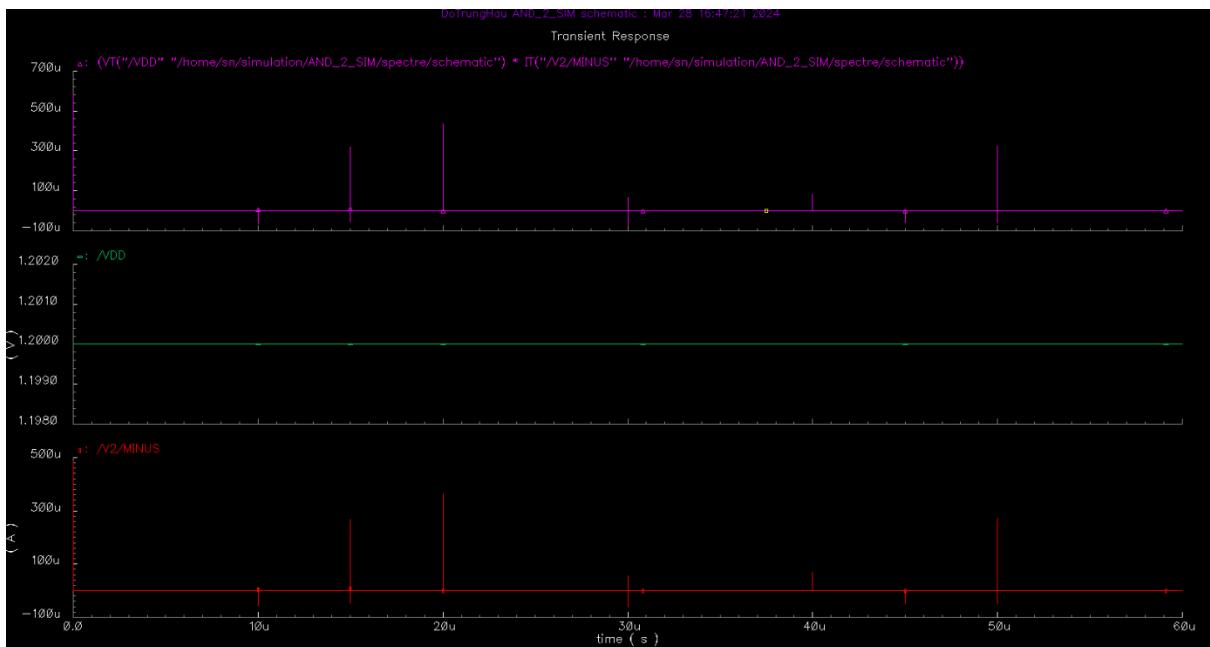
2.1 Mạch nguyên lý



2.2 Dạng sóng logic



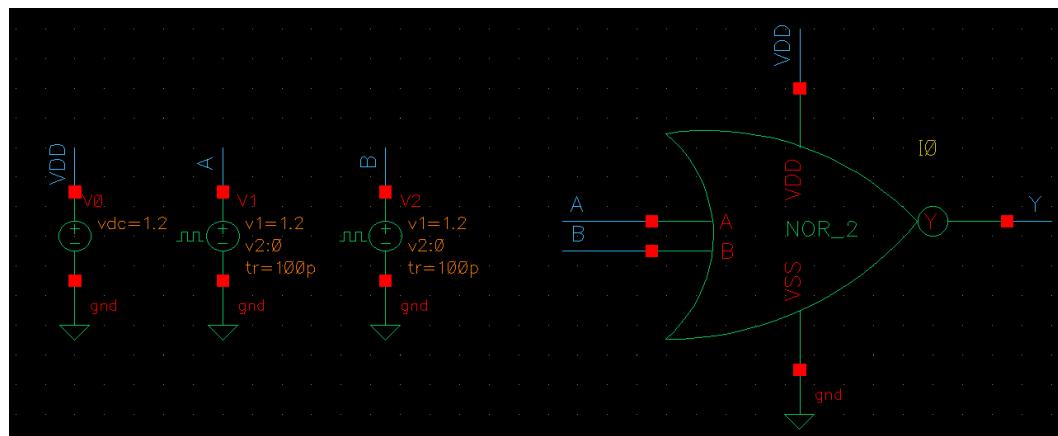
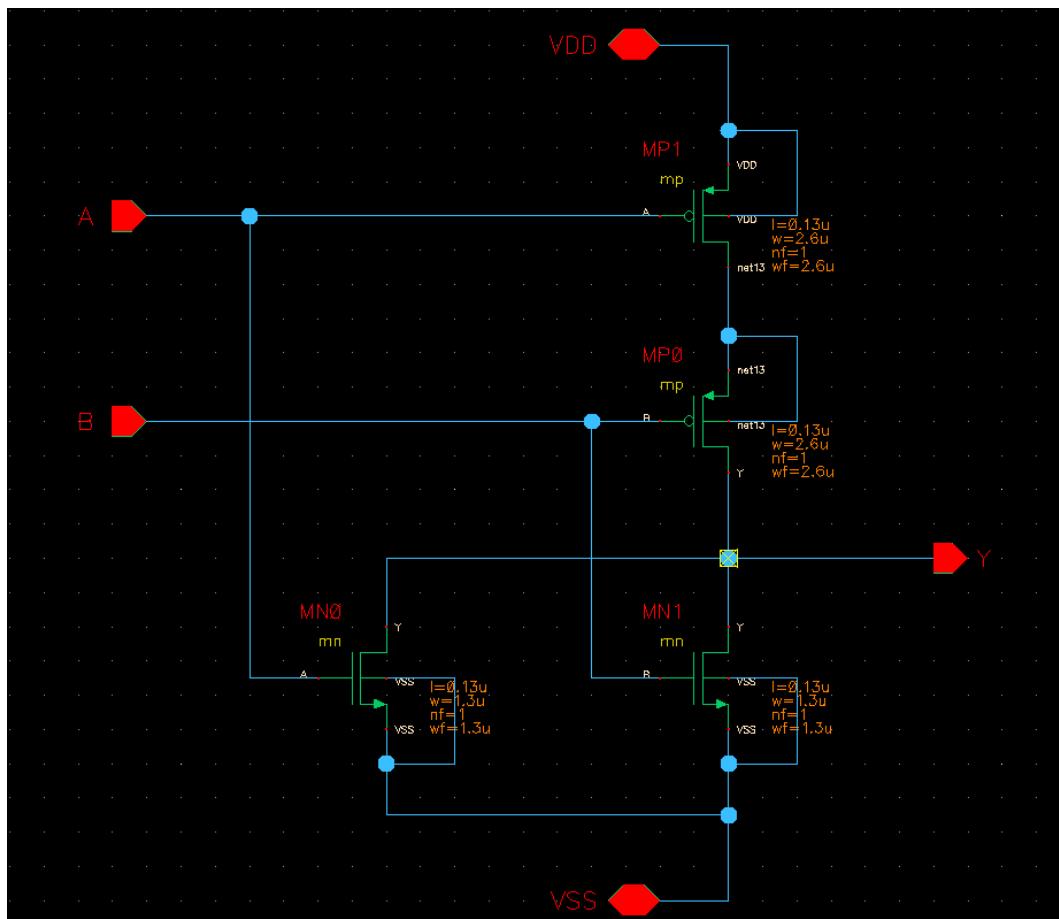
2.3 Tính toán công suất



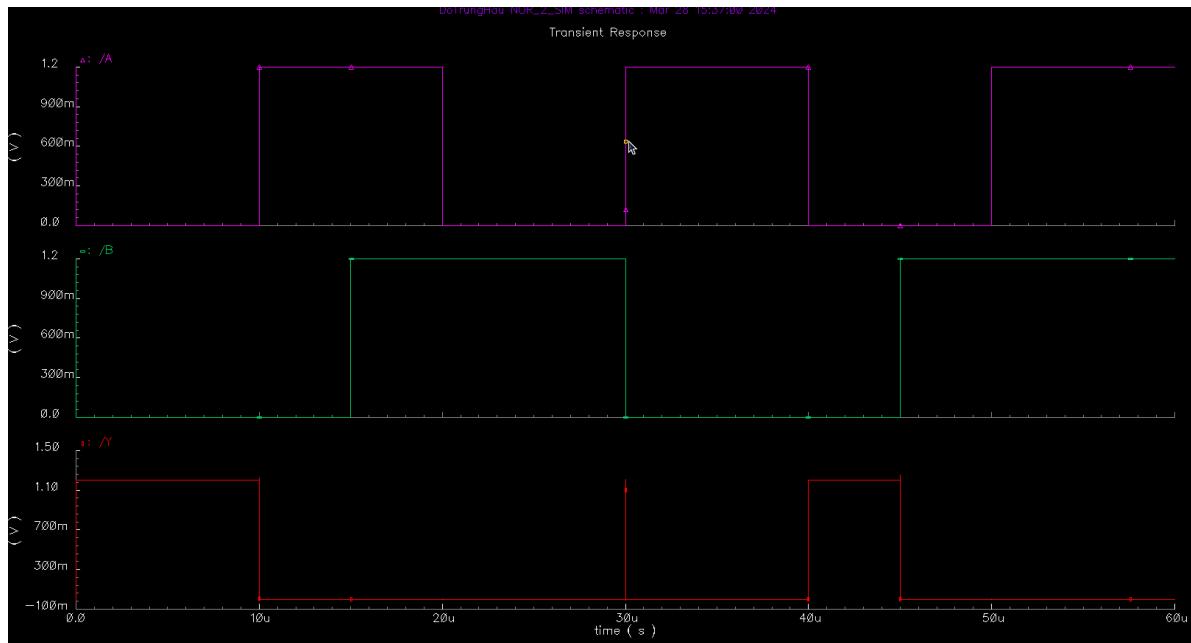
```
average(wavew41sli3()) = 3.079n
```

3. CÔNG NOR 2 NGÕ VÀO

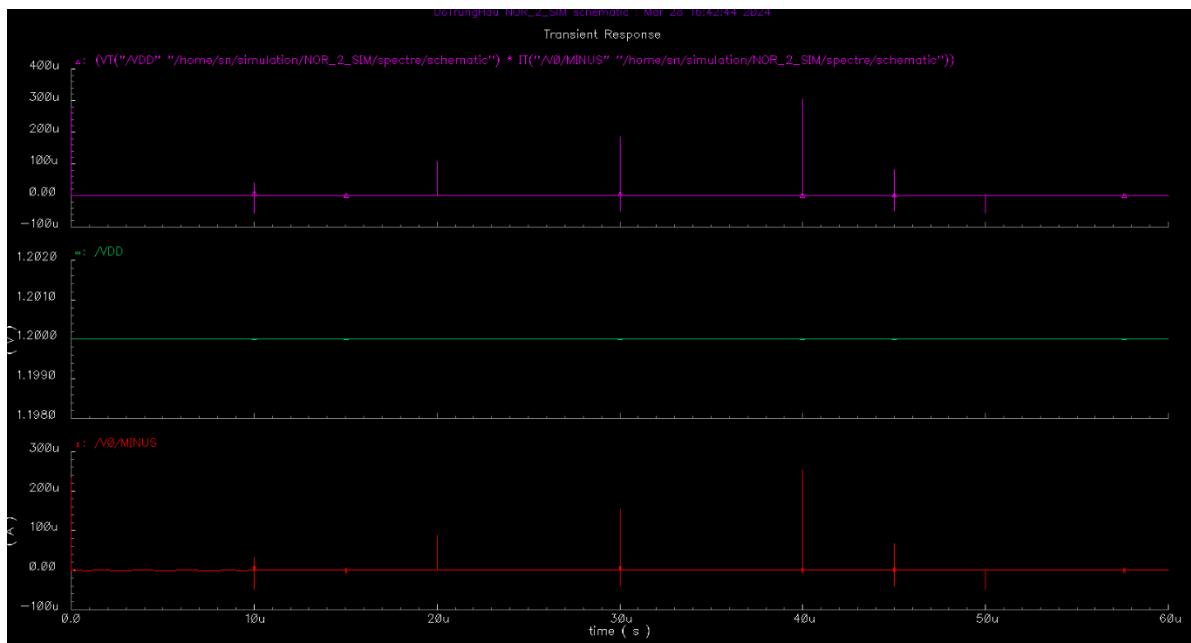
3.1 Mạch nguyên lý và đóng gói



3.2 Dạng sóng logic



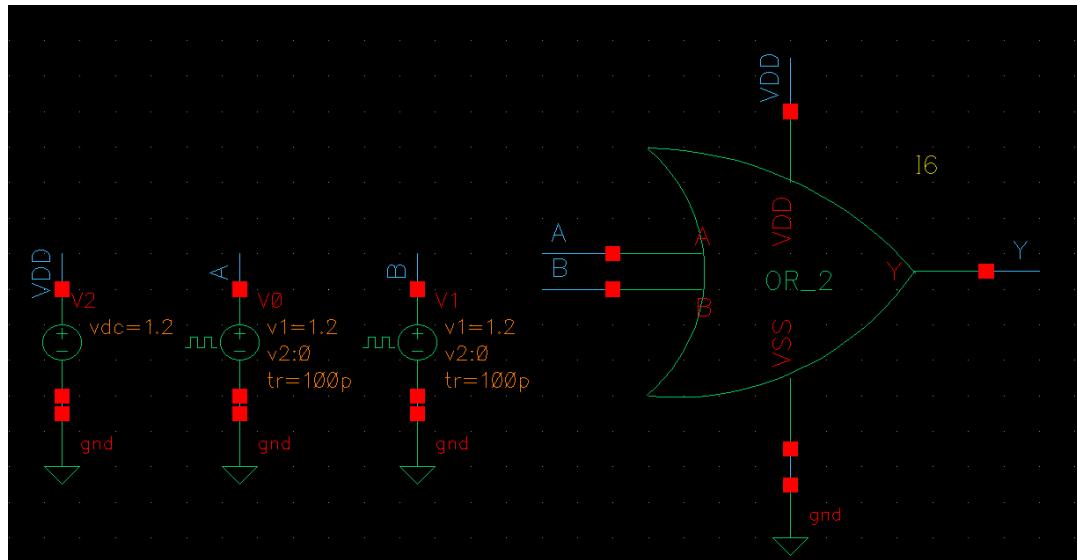
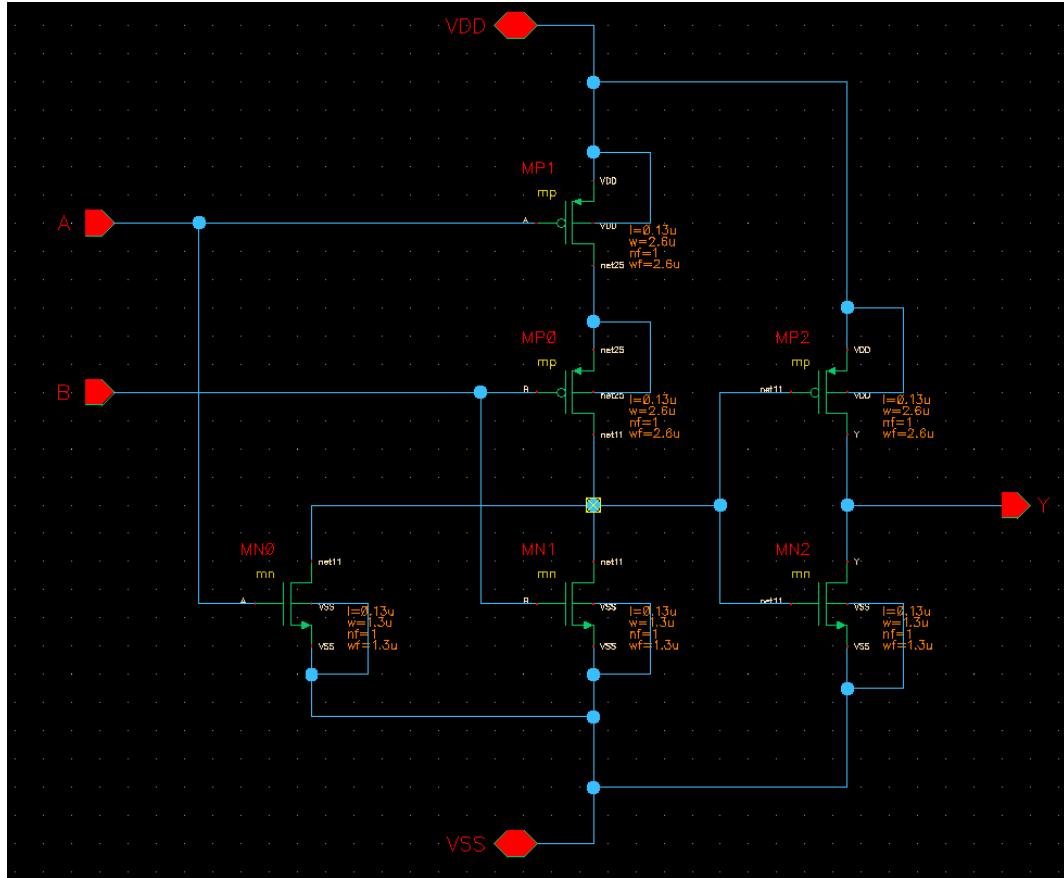
3.3 Tính toán công suất



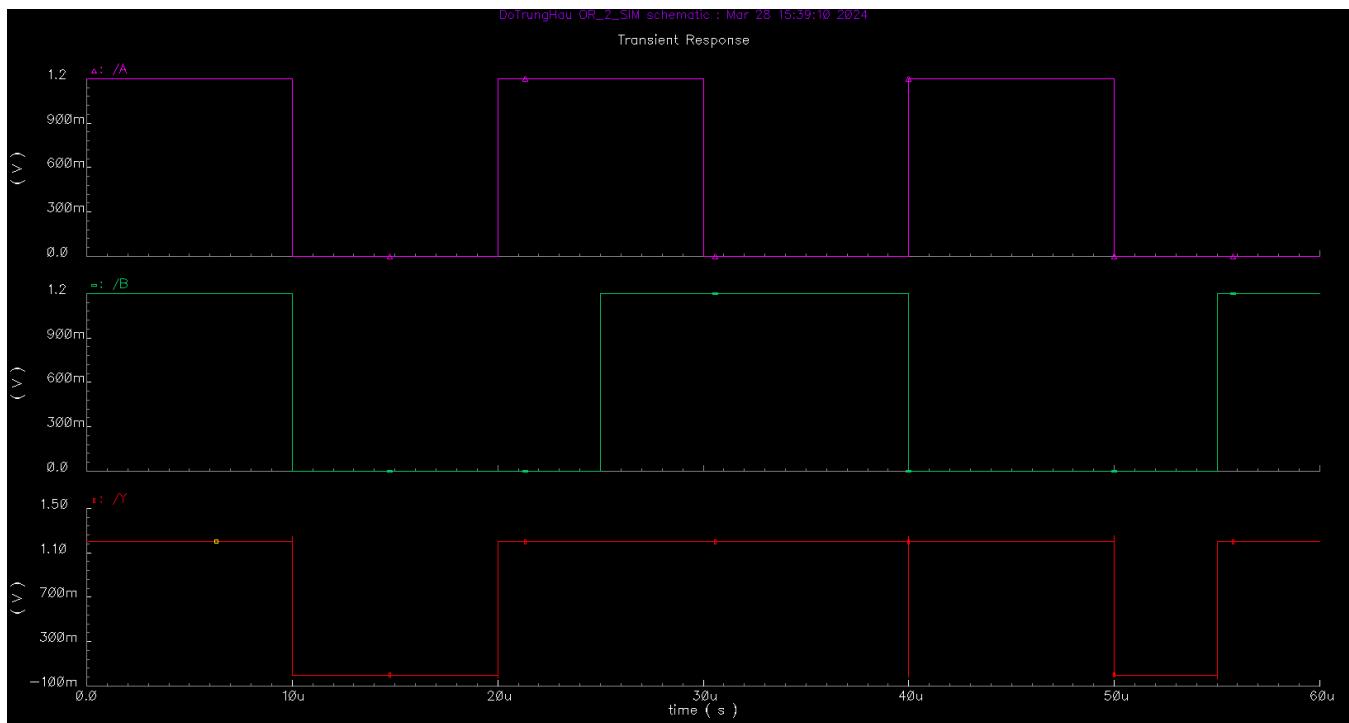
```
average(wavew35s1i3()) = 1.62n
```

4. CÔNG OR 2 NGÕ VÀO

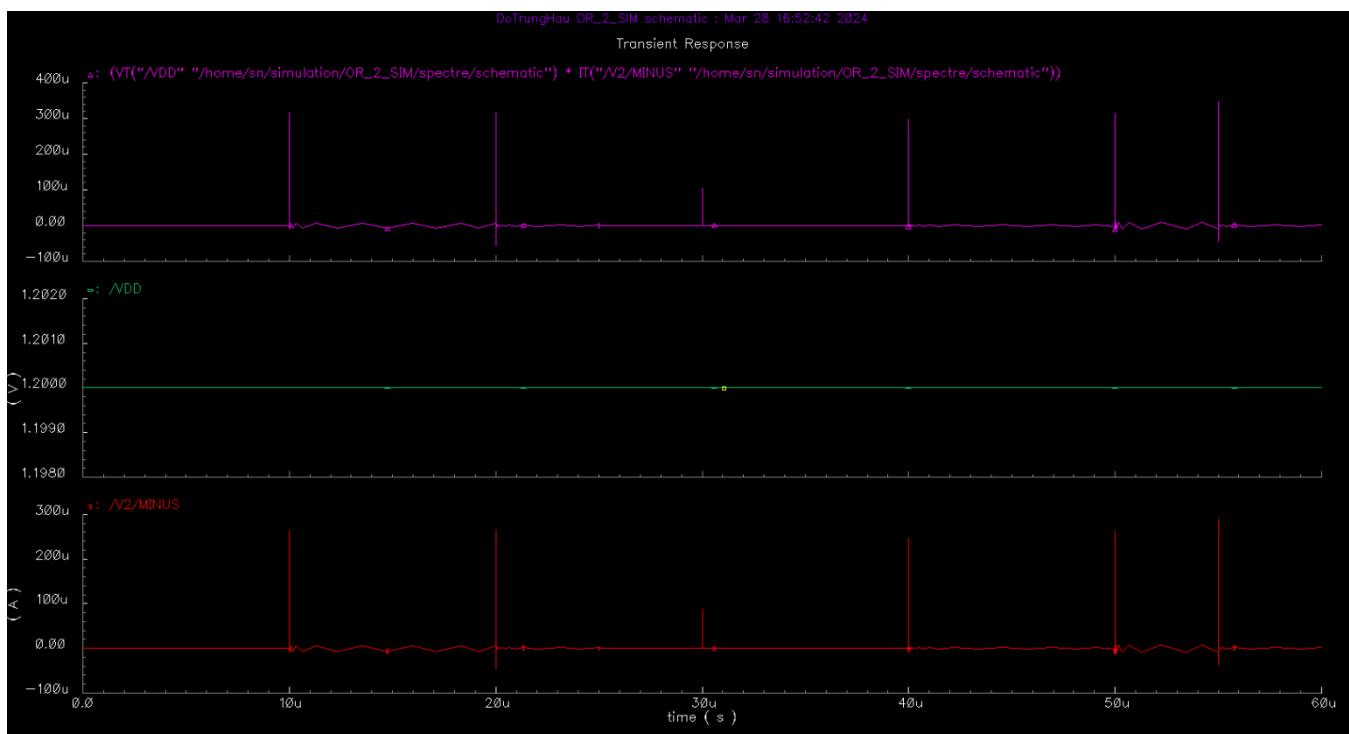
4.1 Mạch nguyên lý



4.2 Dạng sóng logic



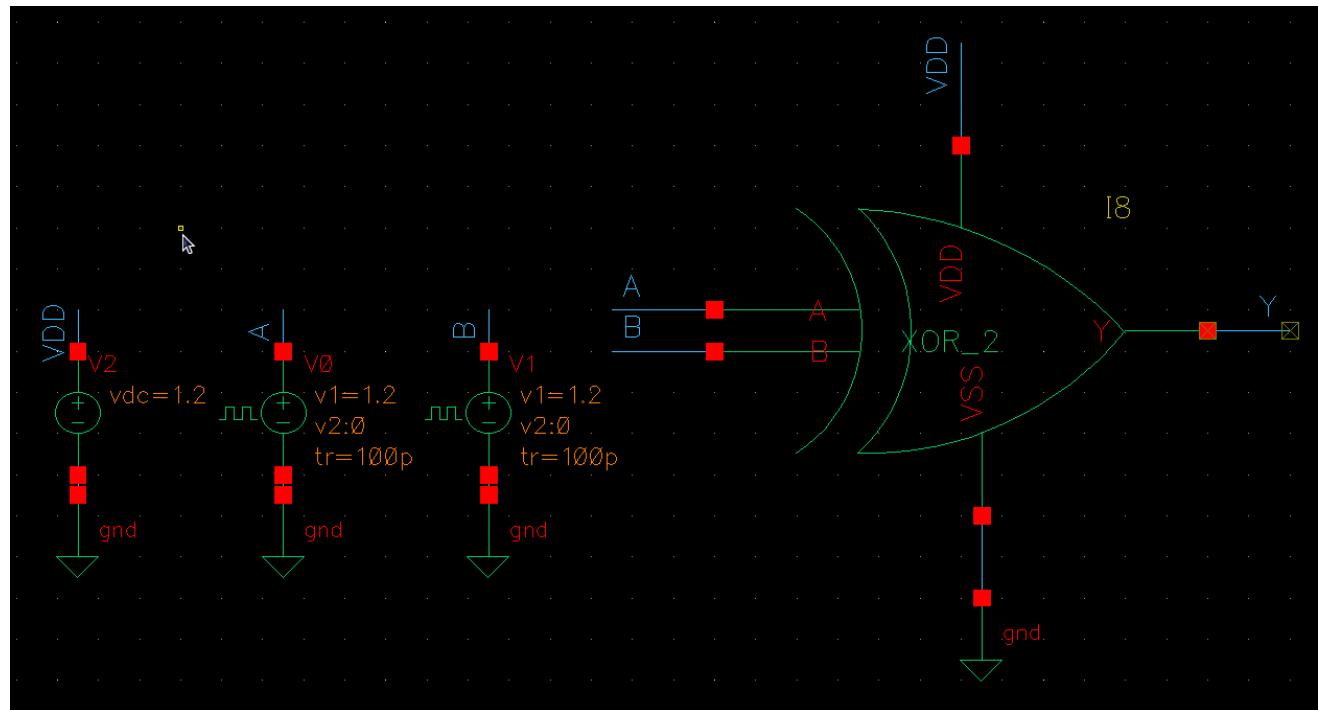
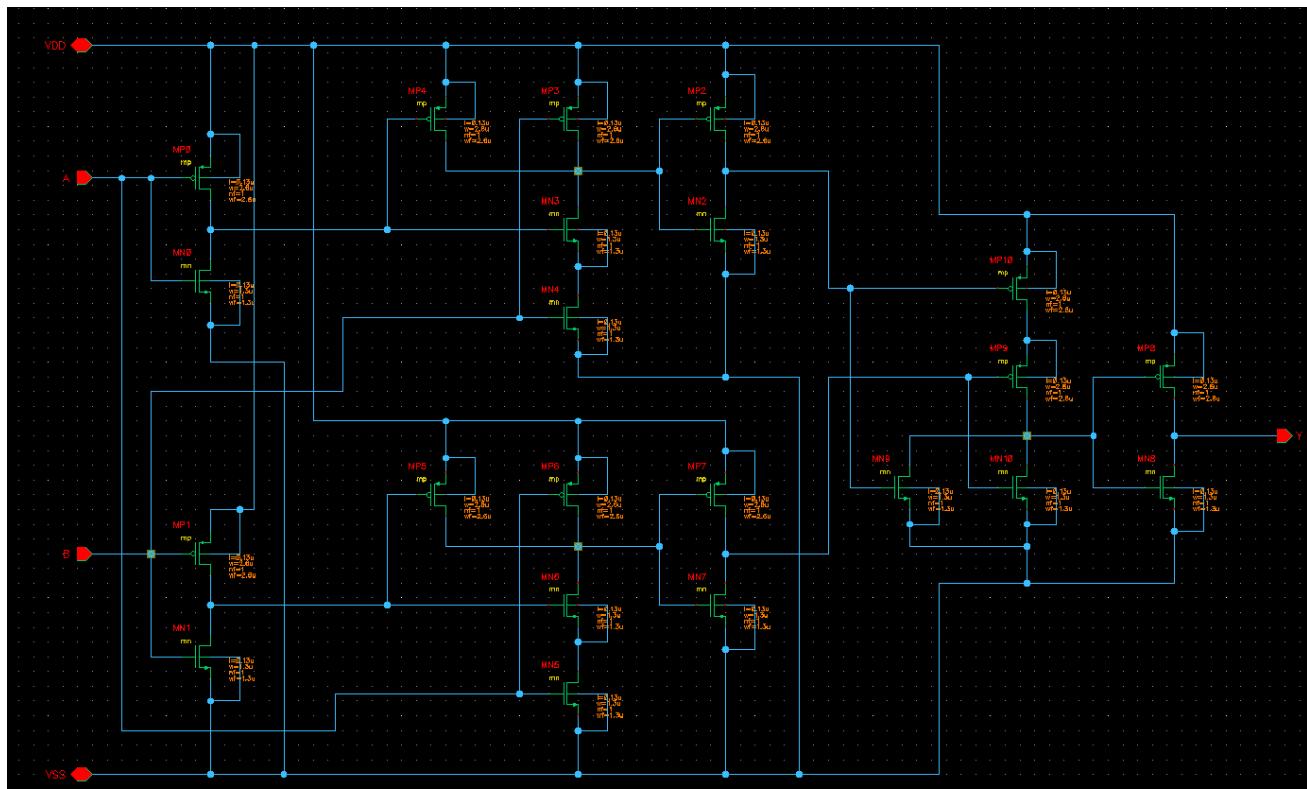
4.3 Tính toán công suất



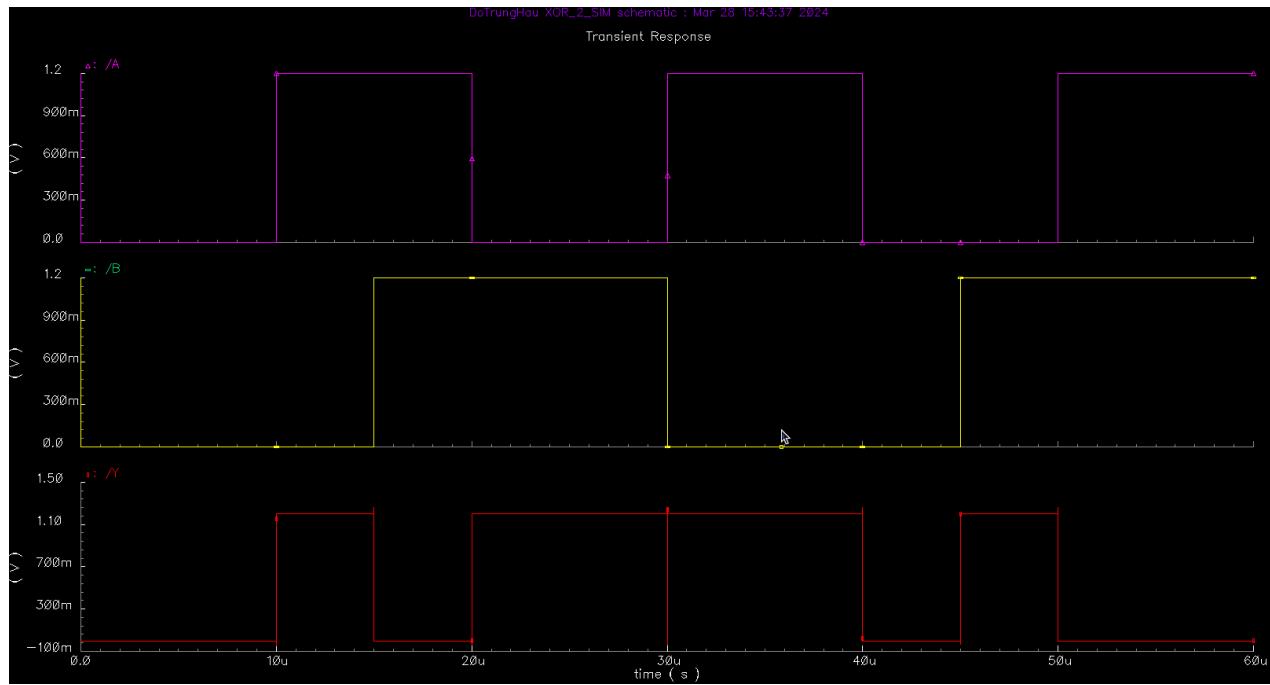
```
average(wavew47s1i3()) = 3.033n
```

5. CÔNG EXOR 2 NGÕ VÀO

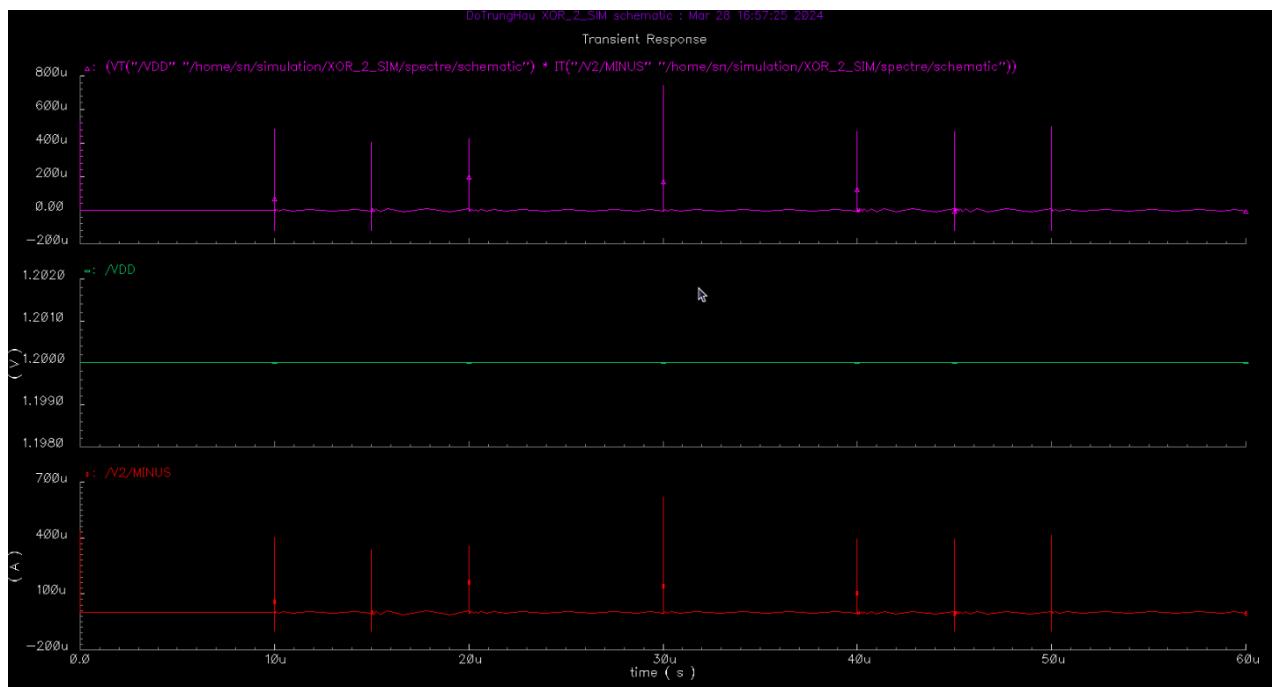
5.1 Mạch nguyên lý



5.2 Dạng sóng logic



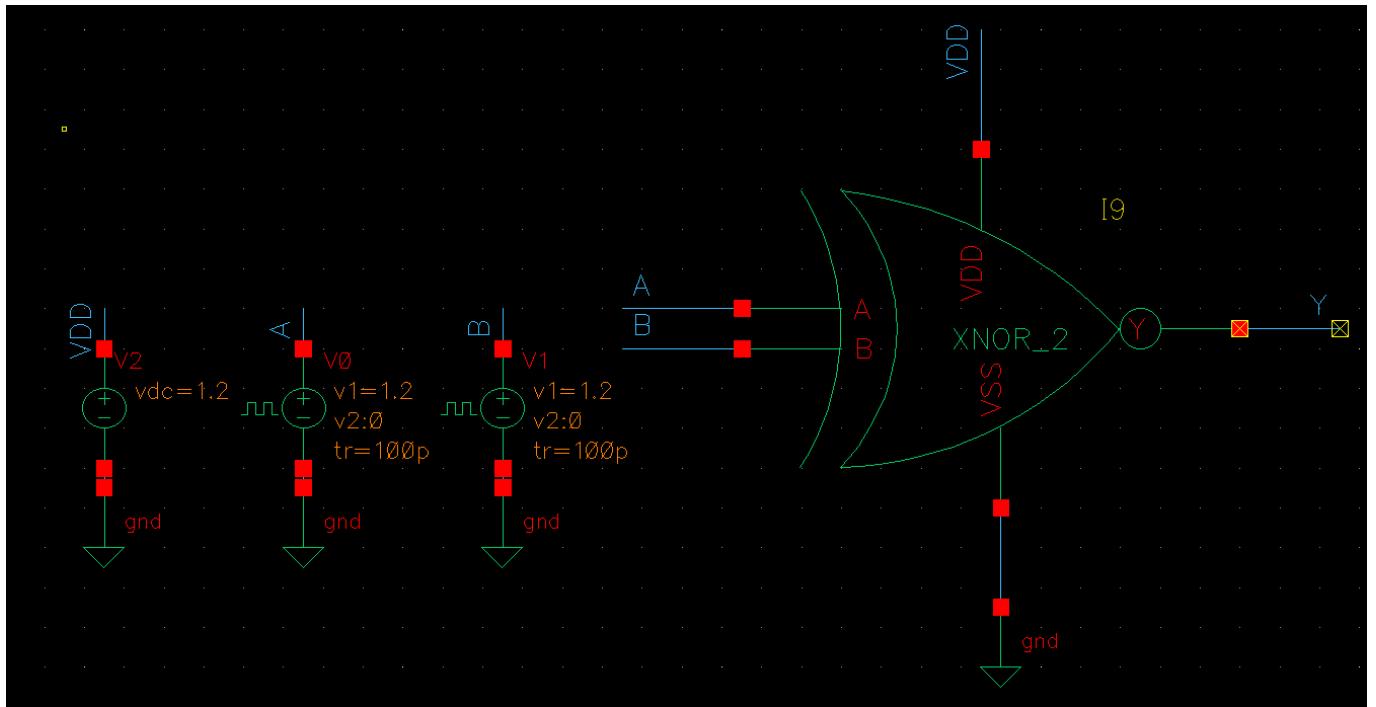
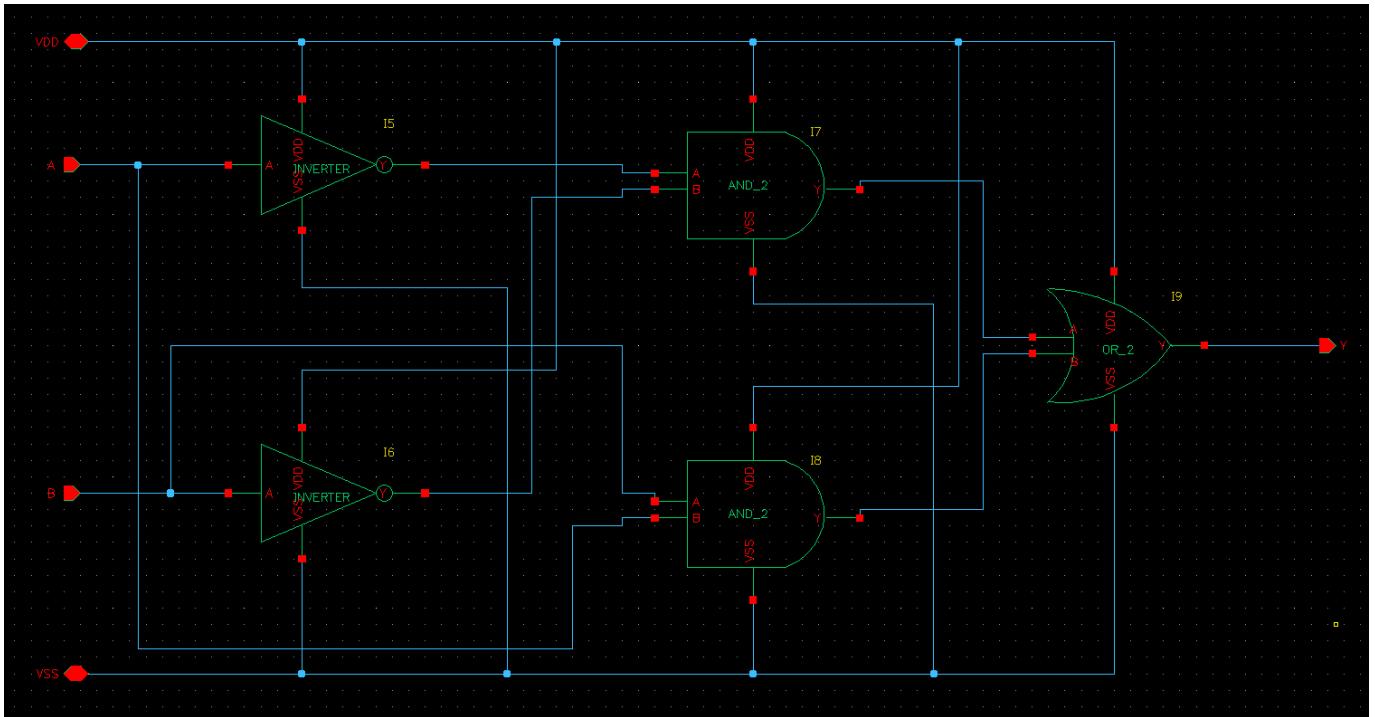
5.4 Tính toán công suất



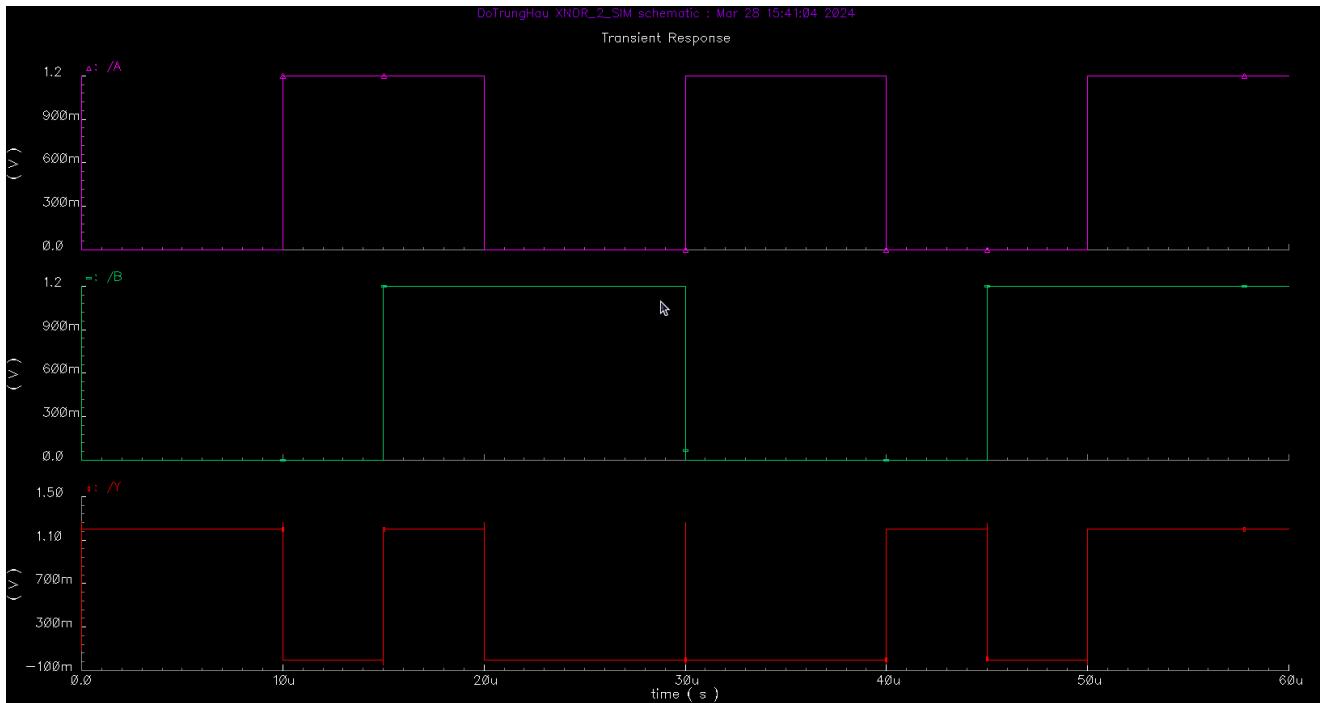
```
average(wavew53s1i3()) = 13.68n
```

6. CÔNG EXNOR 2 NGÕ VÀO

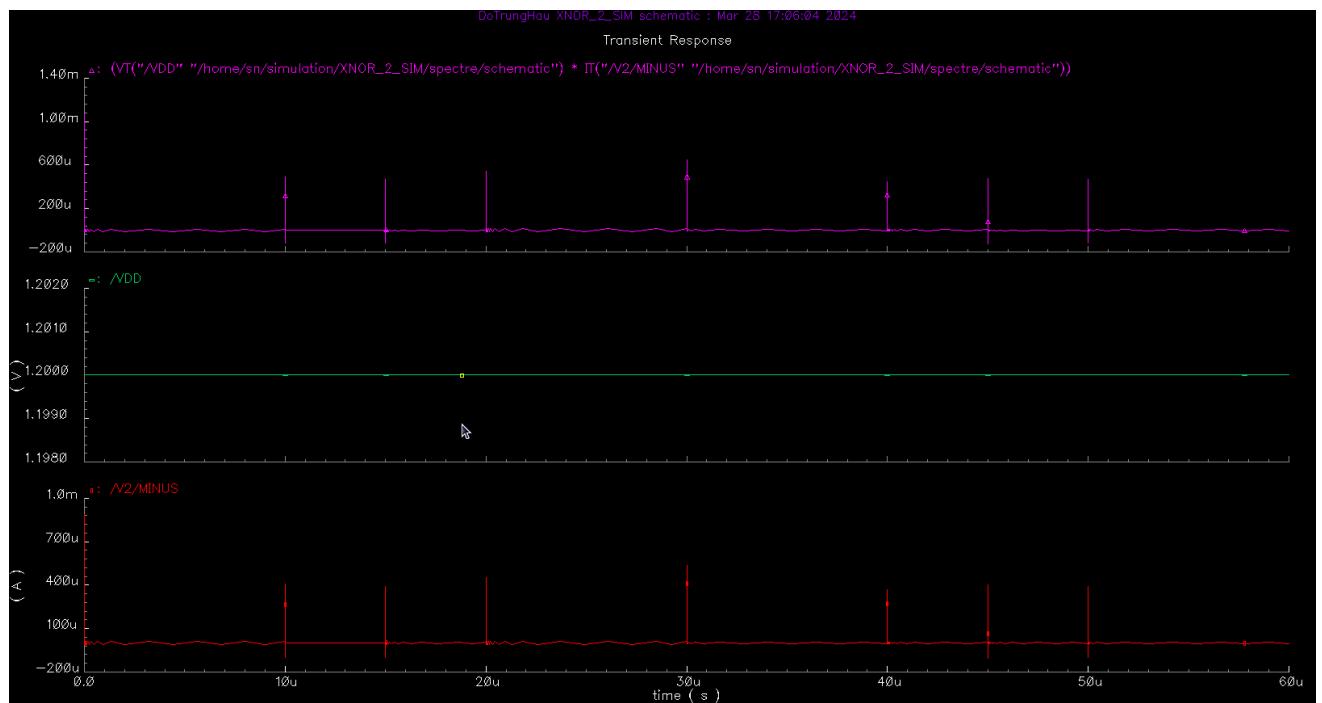
6.1 Mạch nguyên lý



6.2 Dạng sóng logic



6.3 Tính toán công suất

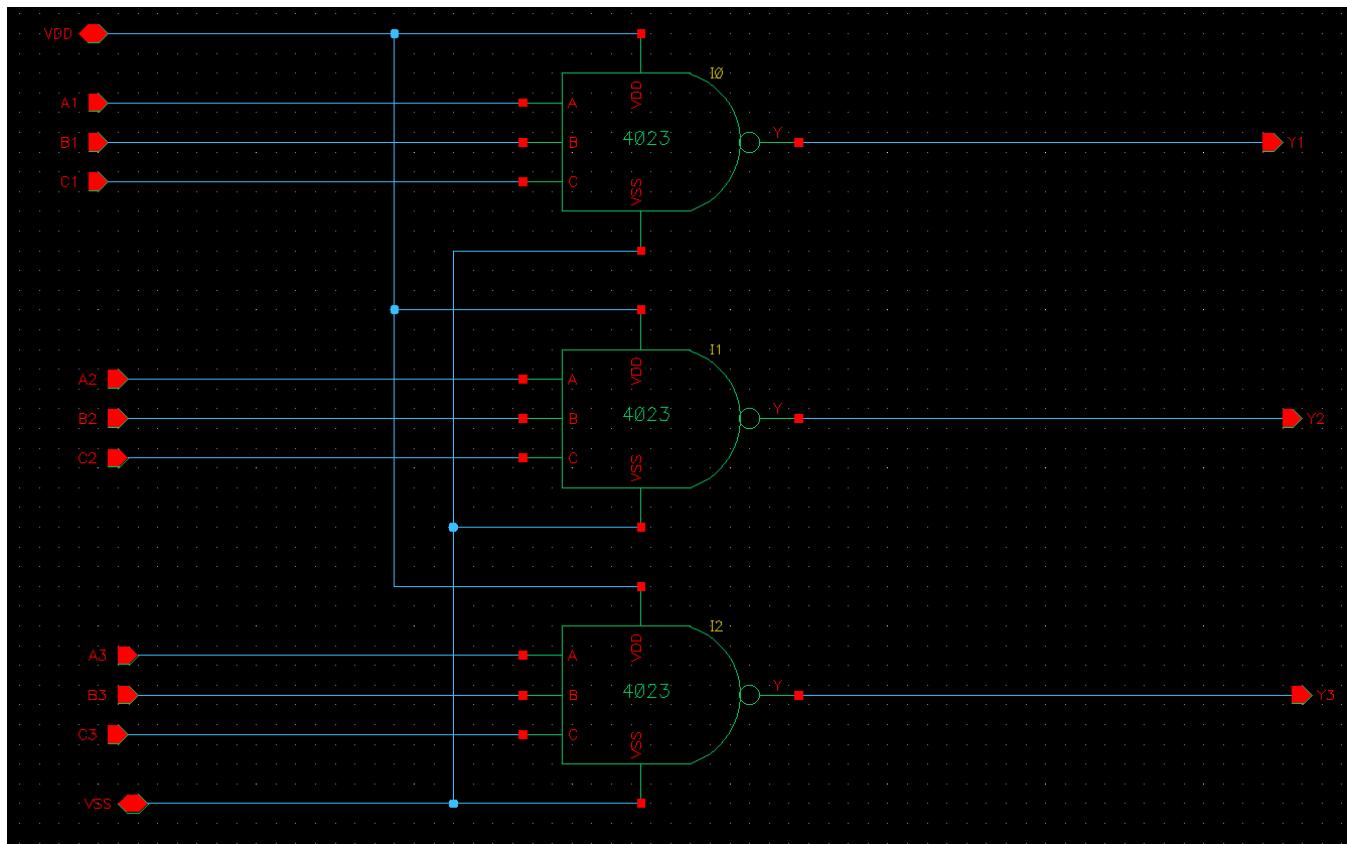
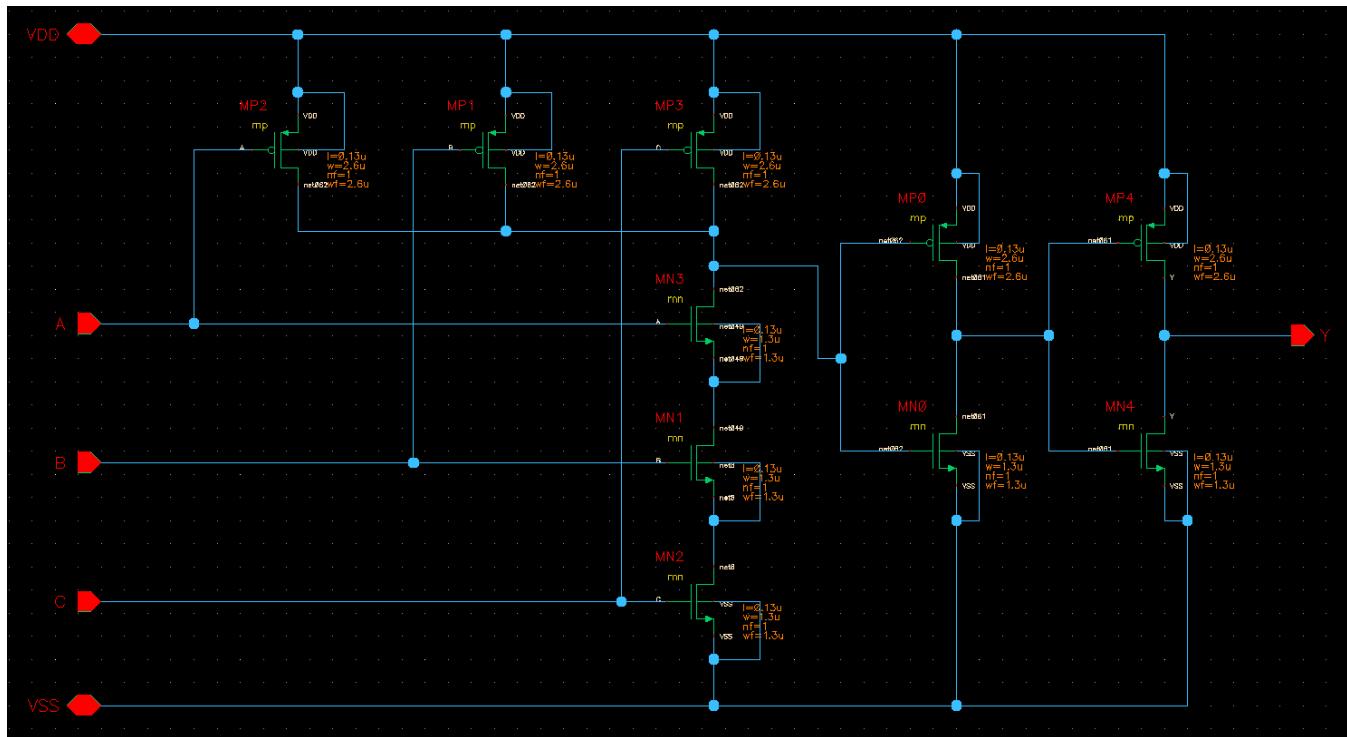


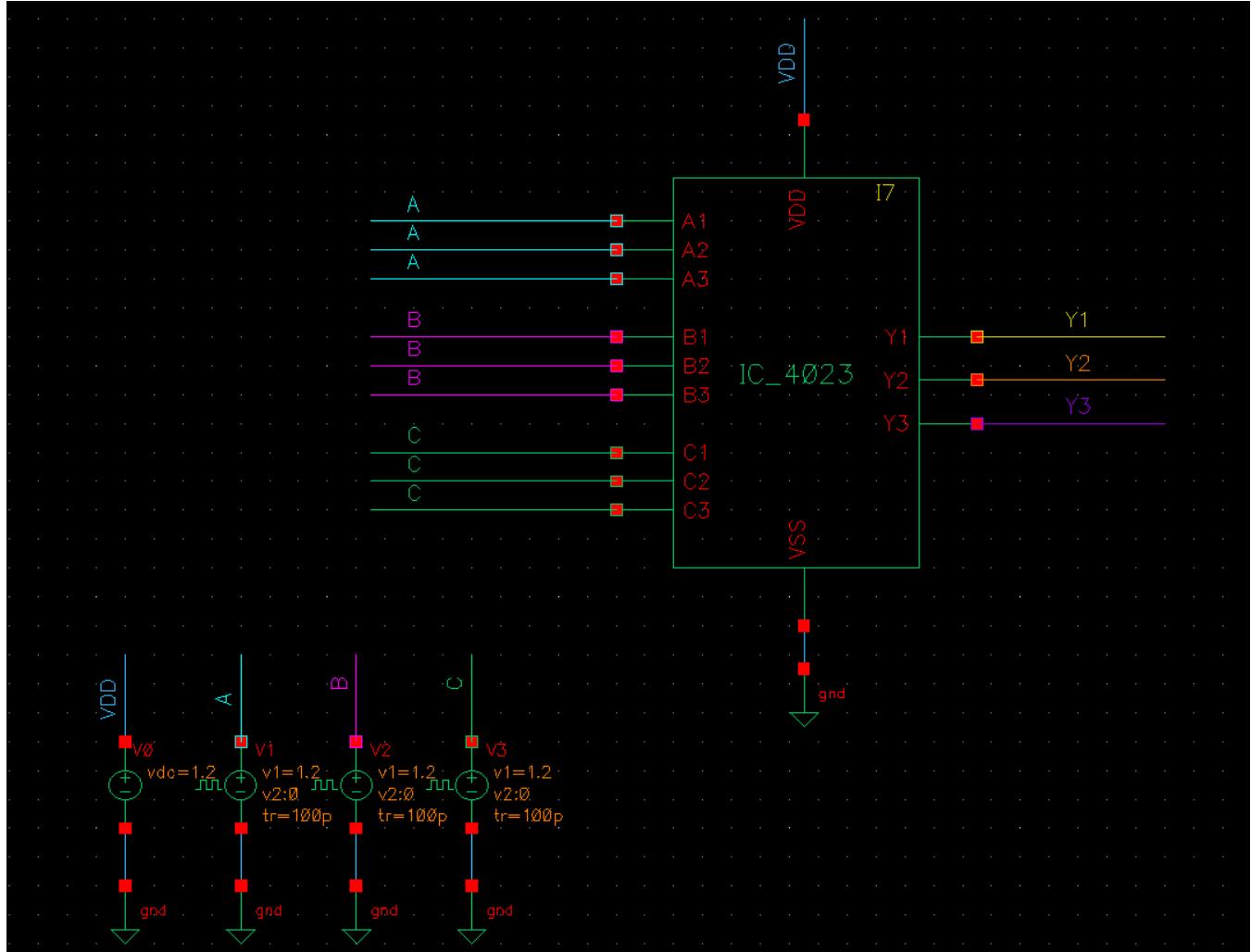
```
average(wavew59s1i3()) = 14.82n
```

BÀI 3: THIẾT KẾ MẠCH TÔ HỢP

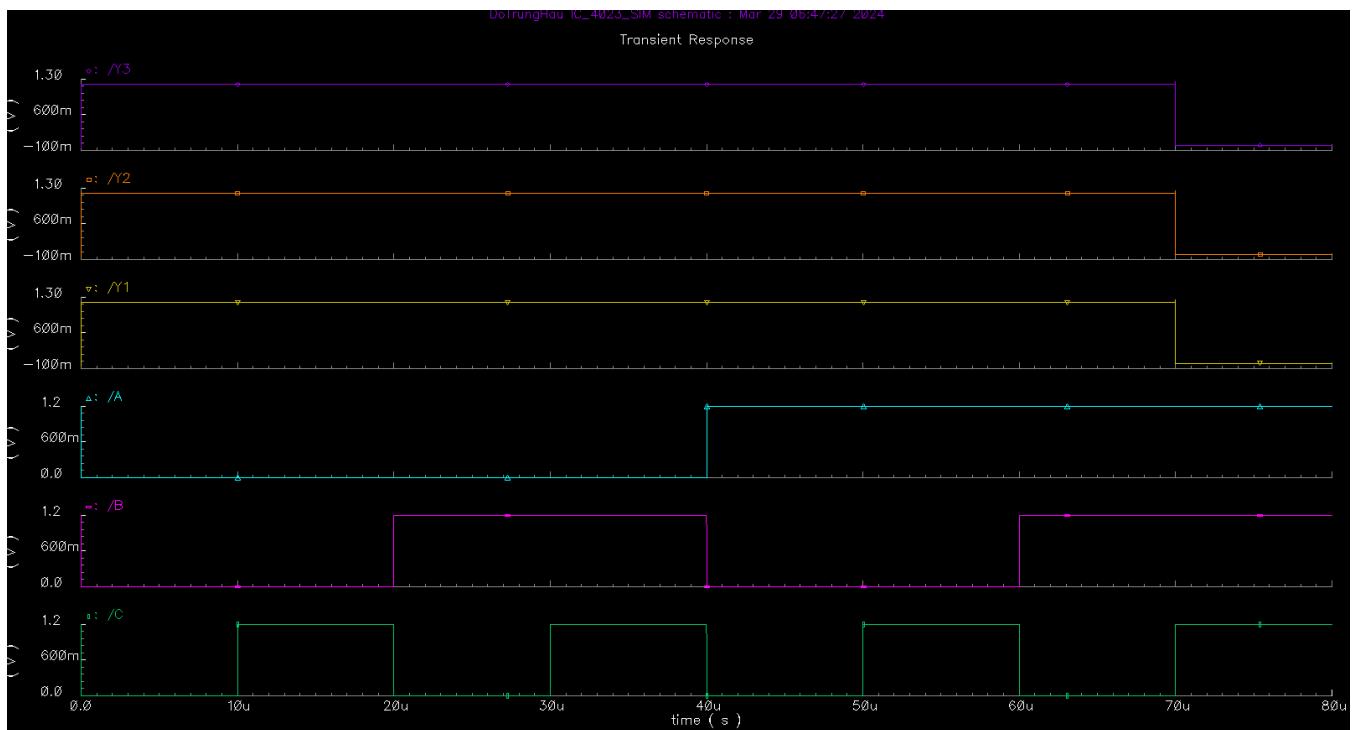
I. IC 4023 (CỘNG NAND 3 NGÕ VÀO)

1.1 Mạch nguyên lý



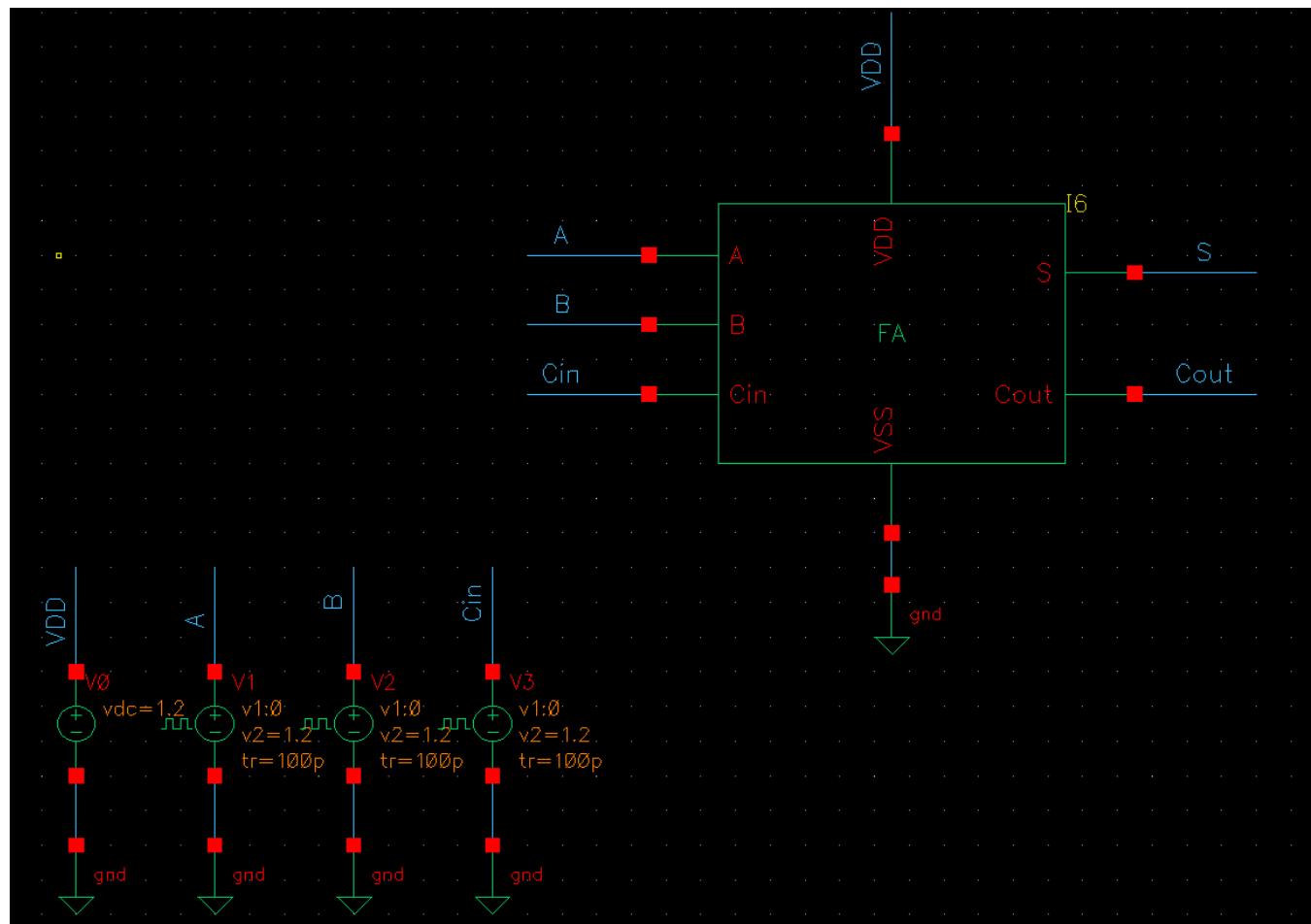
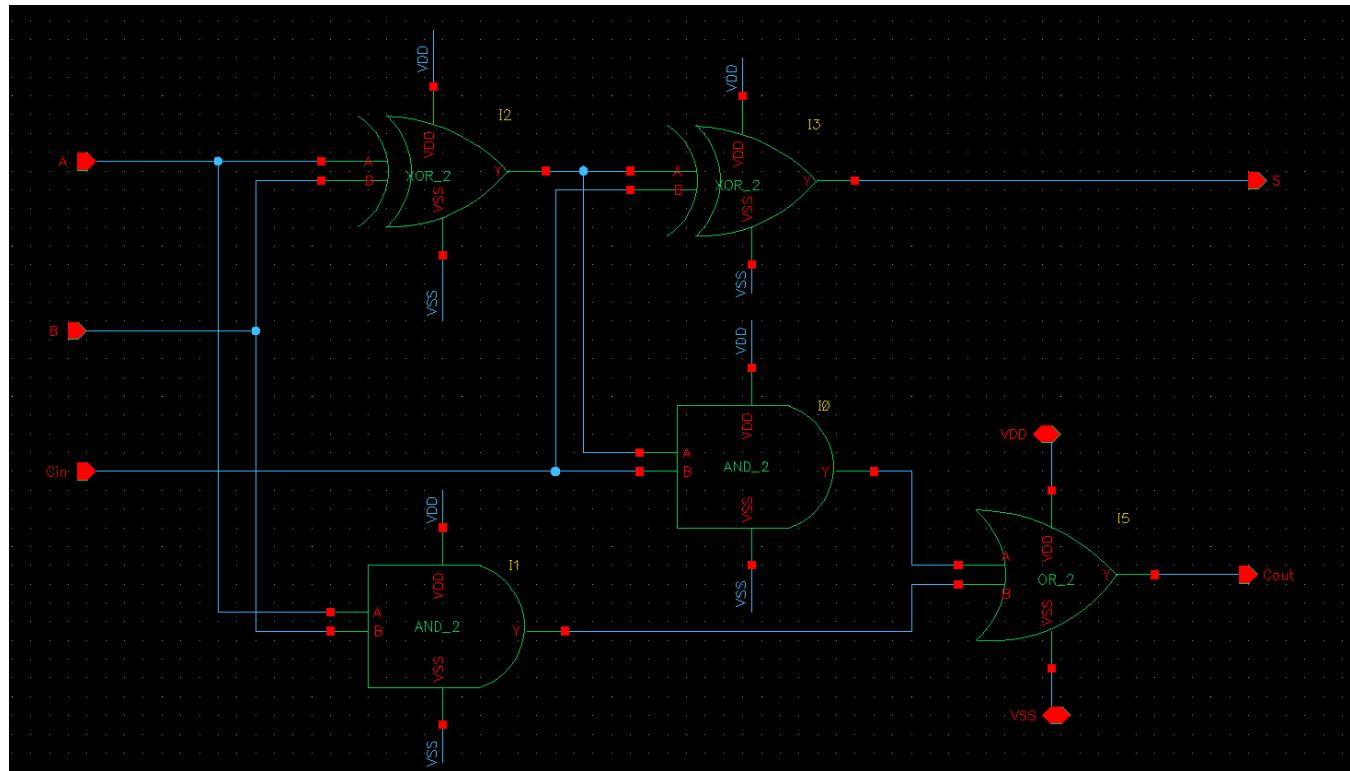


1.2 Dạng sóng logic

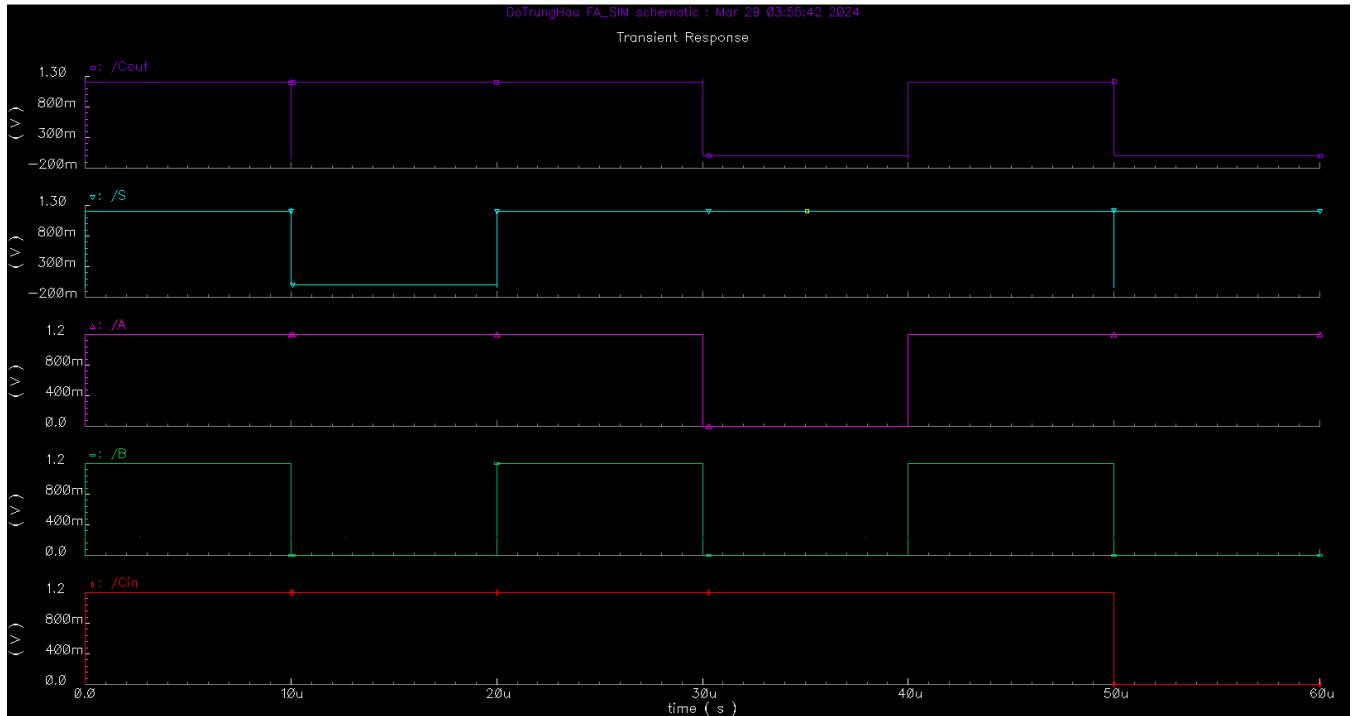


II. MẠCH CỘNG TOÀN PHẦN 1 BIT (FS)

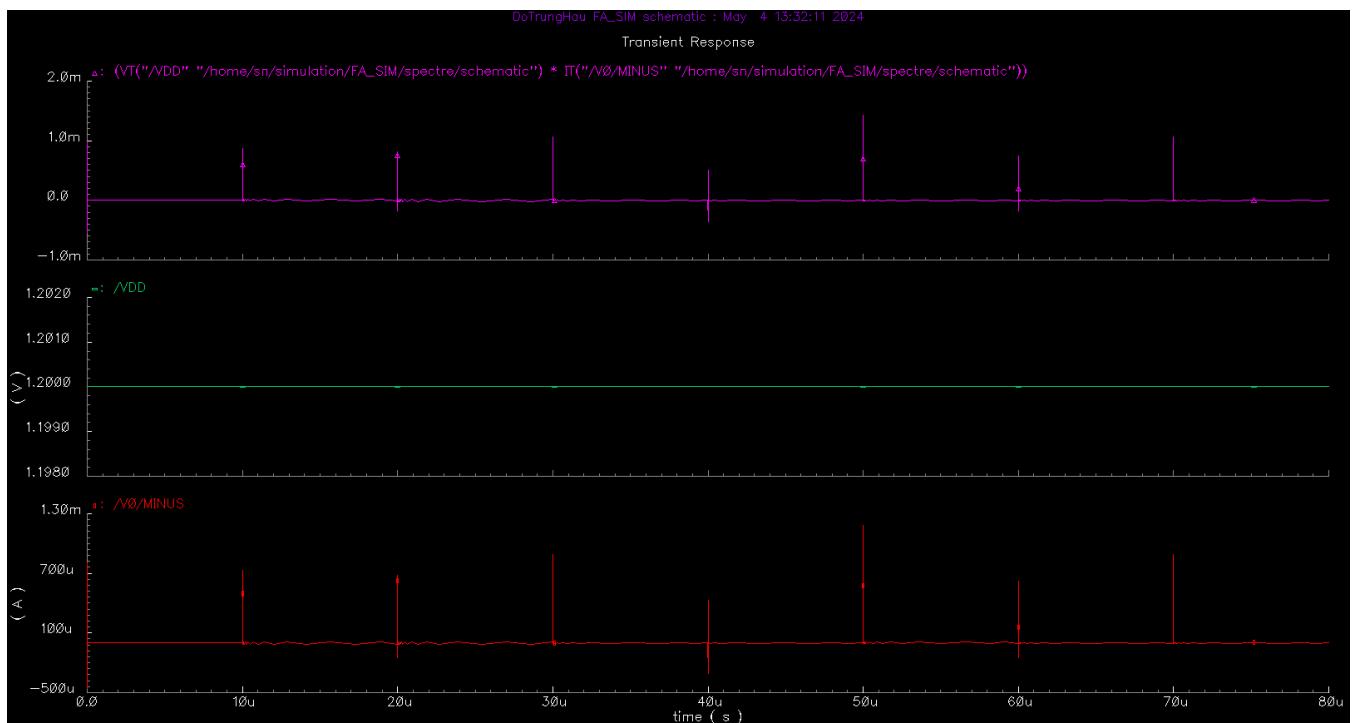
2.1 Mạch nguyên lý và đóng gói



2.2 Dạng sóng logic



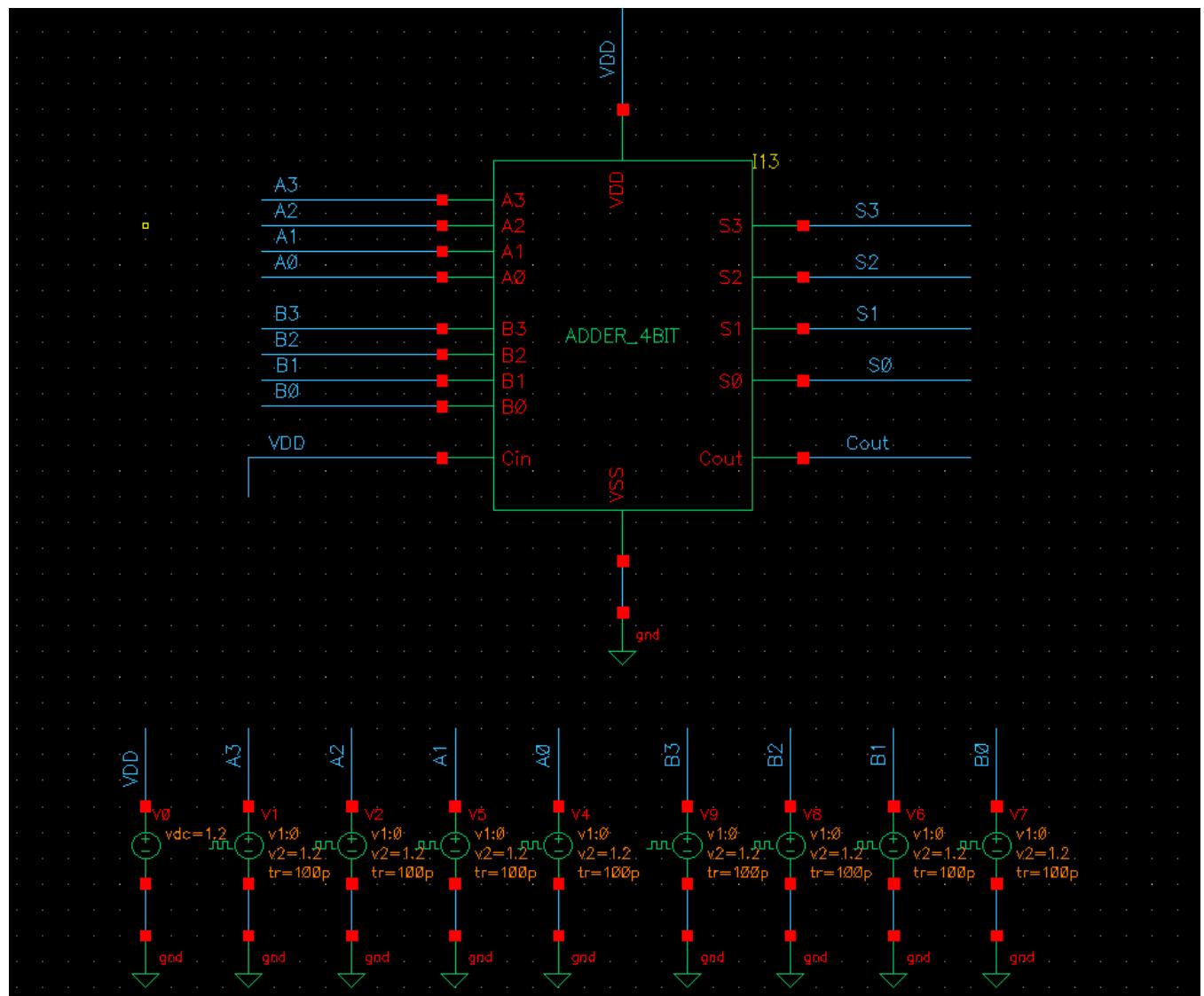
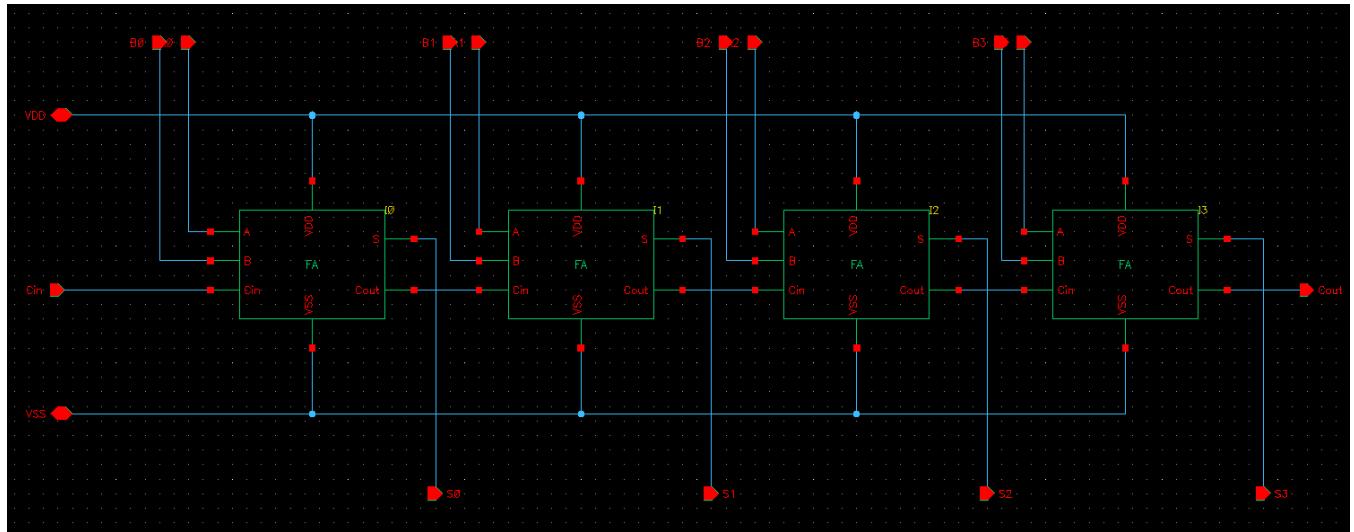
2.3 Tính toán công suất



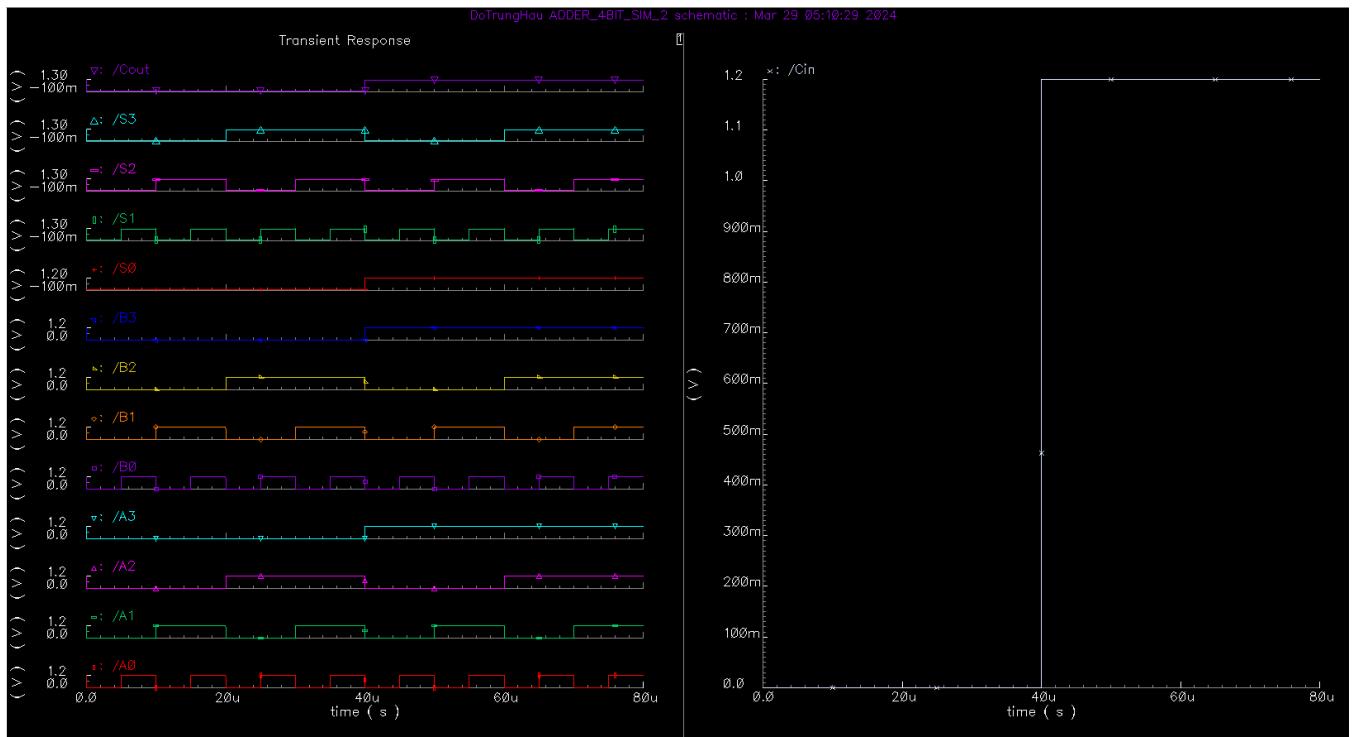
```
average(wavew7sli3()) = 31.97n
```

II. MẠCH CỘNG 4 BIT

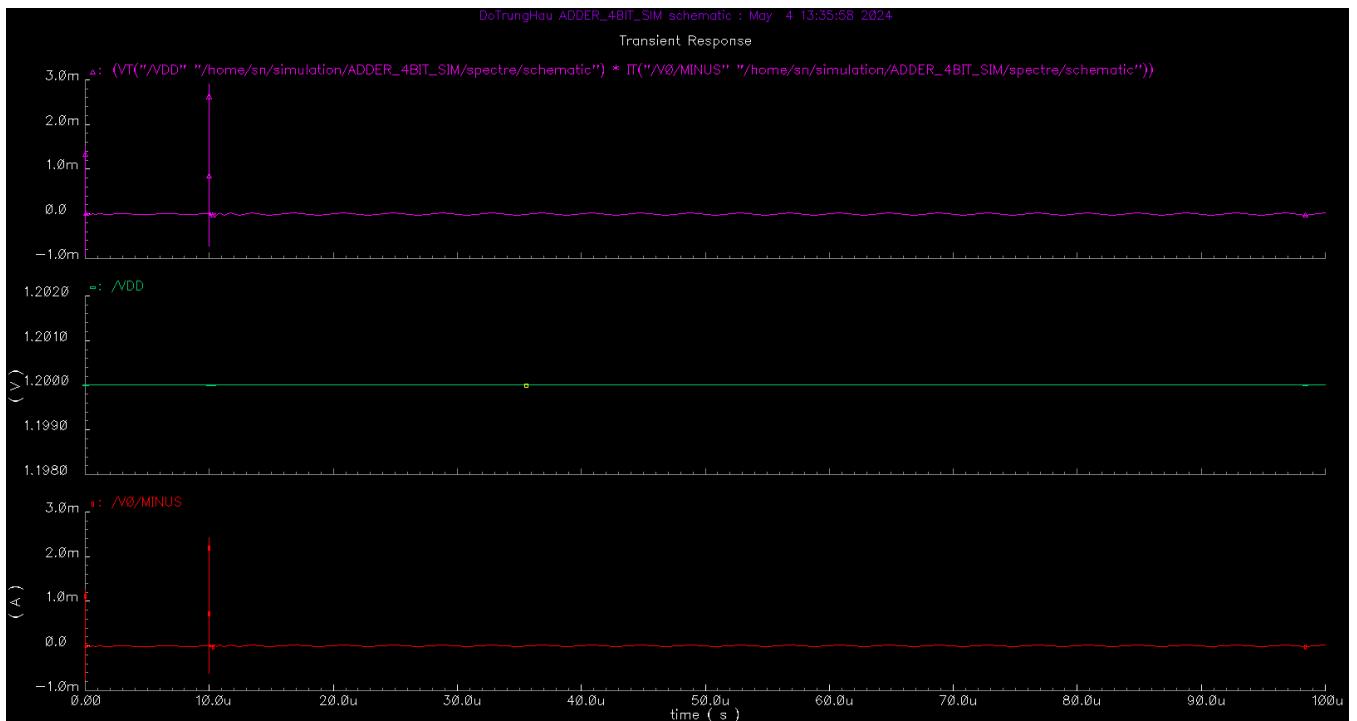
3.1 Mạch nguyên lý và đóng gói



2.2 Dạng sóng logic



2.3 Công suất

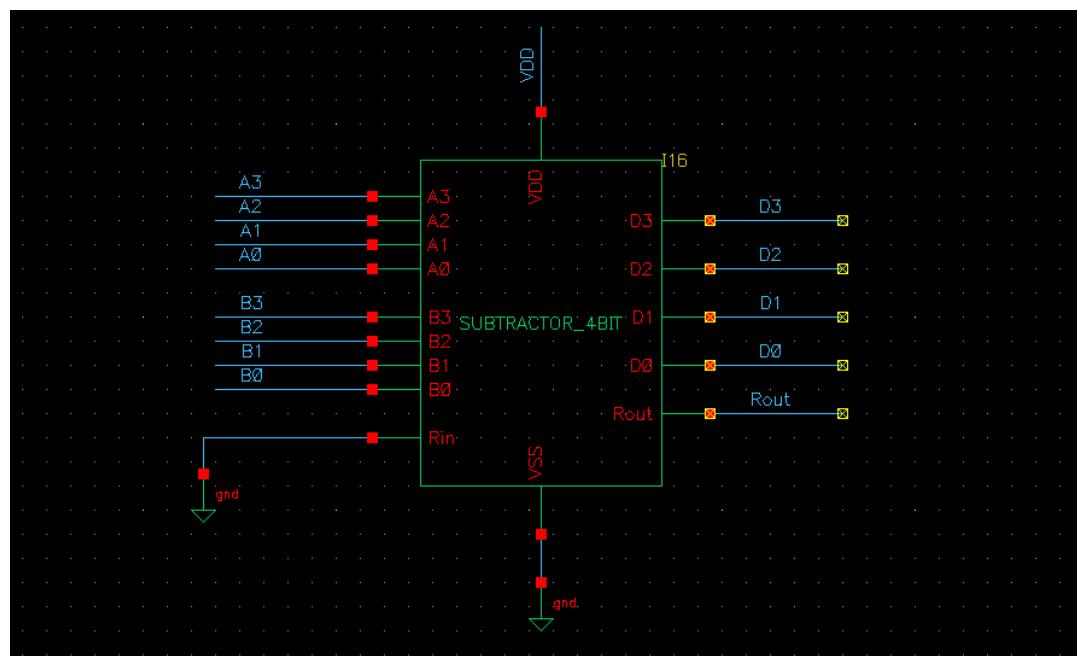
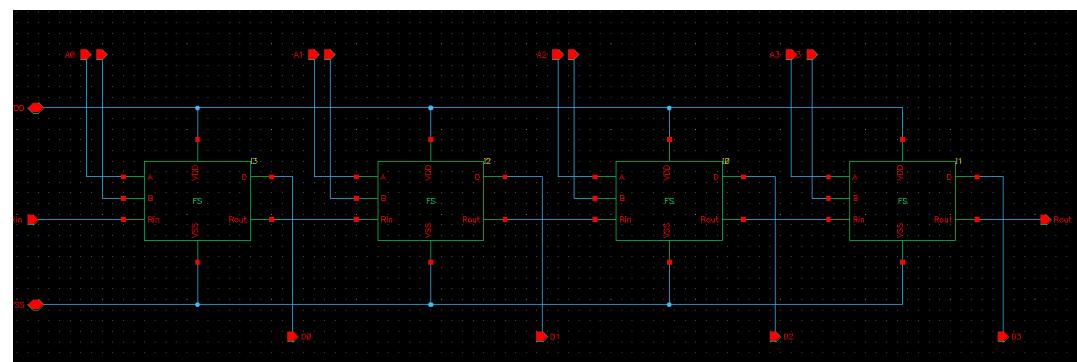
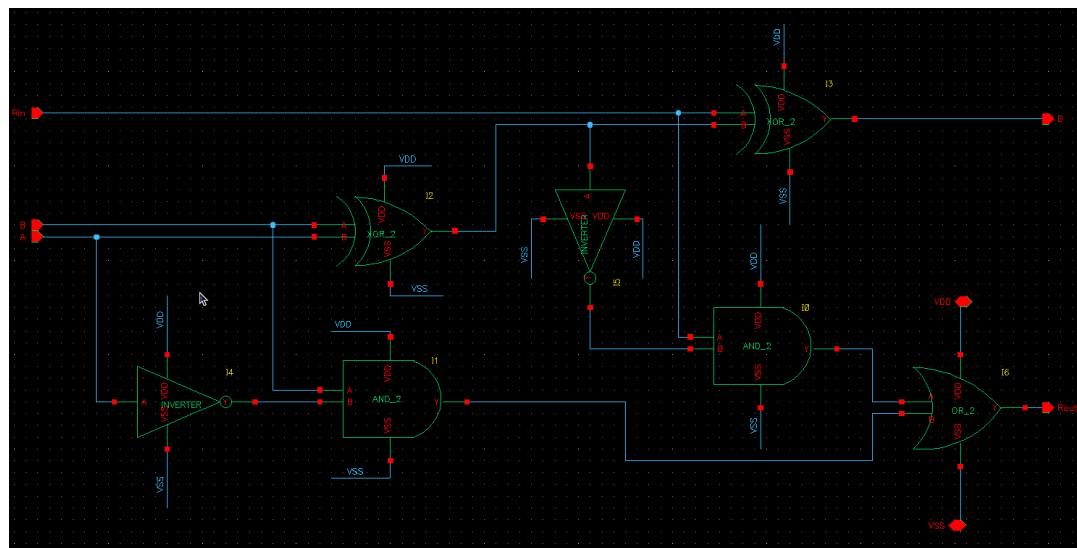


```
average(wavew13s1i3()) = 81.52n
```

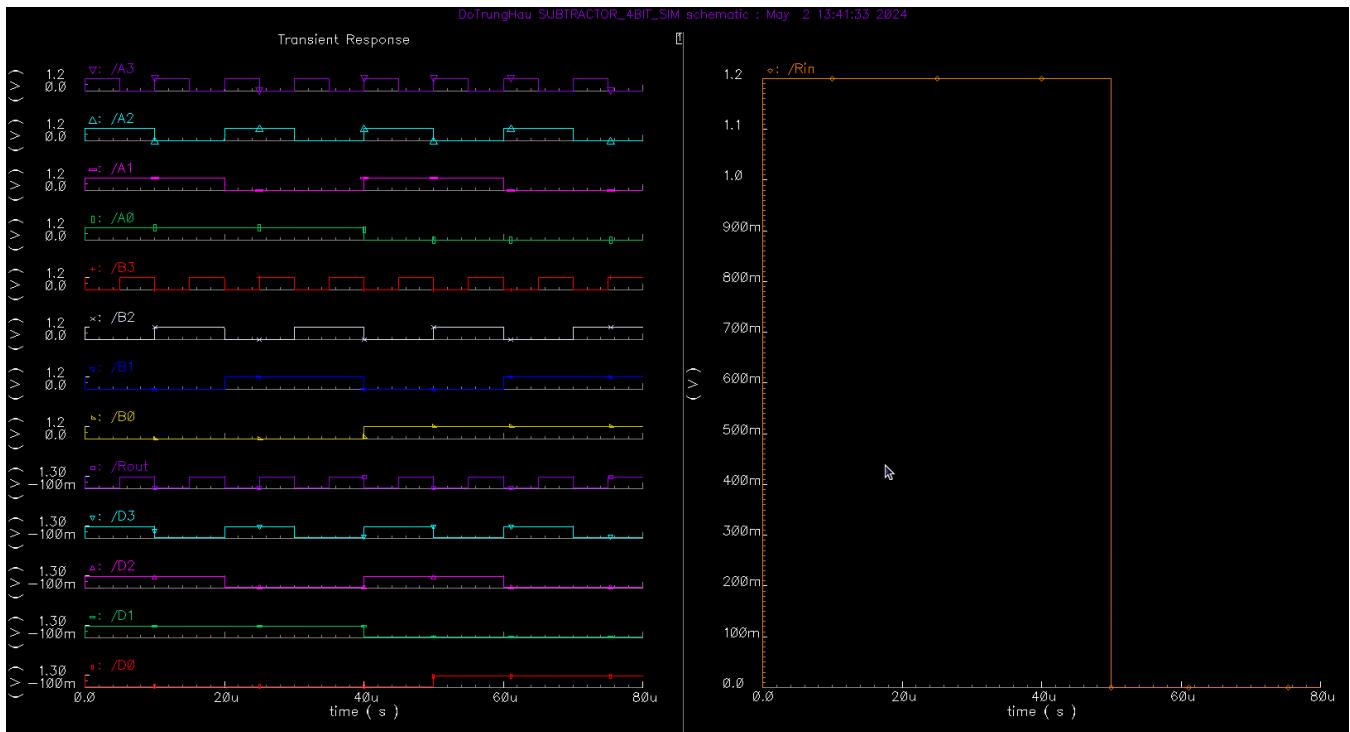
BÀI 4: THIẾT KẾ MẠCH TỐ HỢP (tt)

I. MẠCH TRỪ 4 BIT

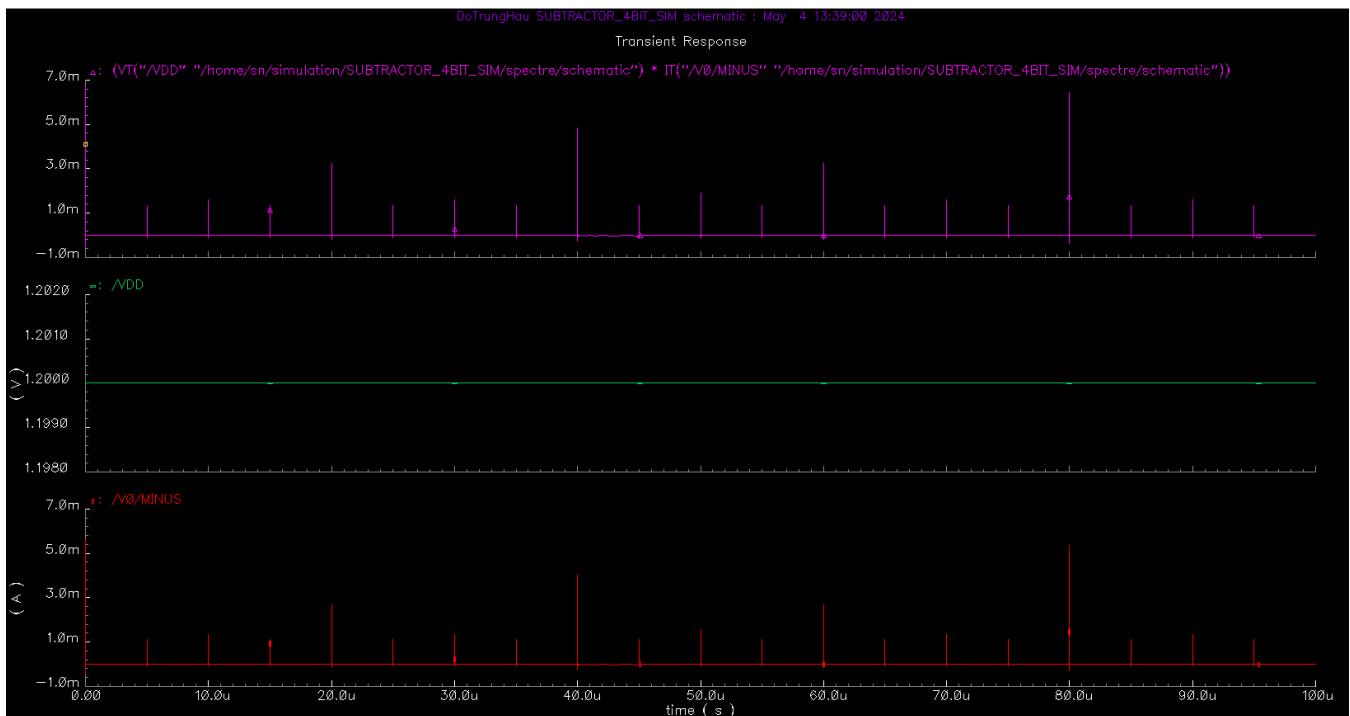
1.1 Mạch nguyên lý và đóng gói



1.2 Dạng sóng logic



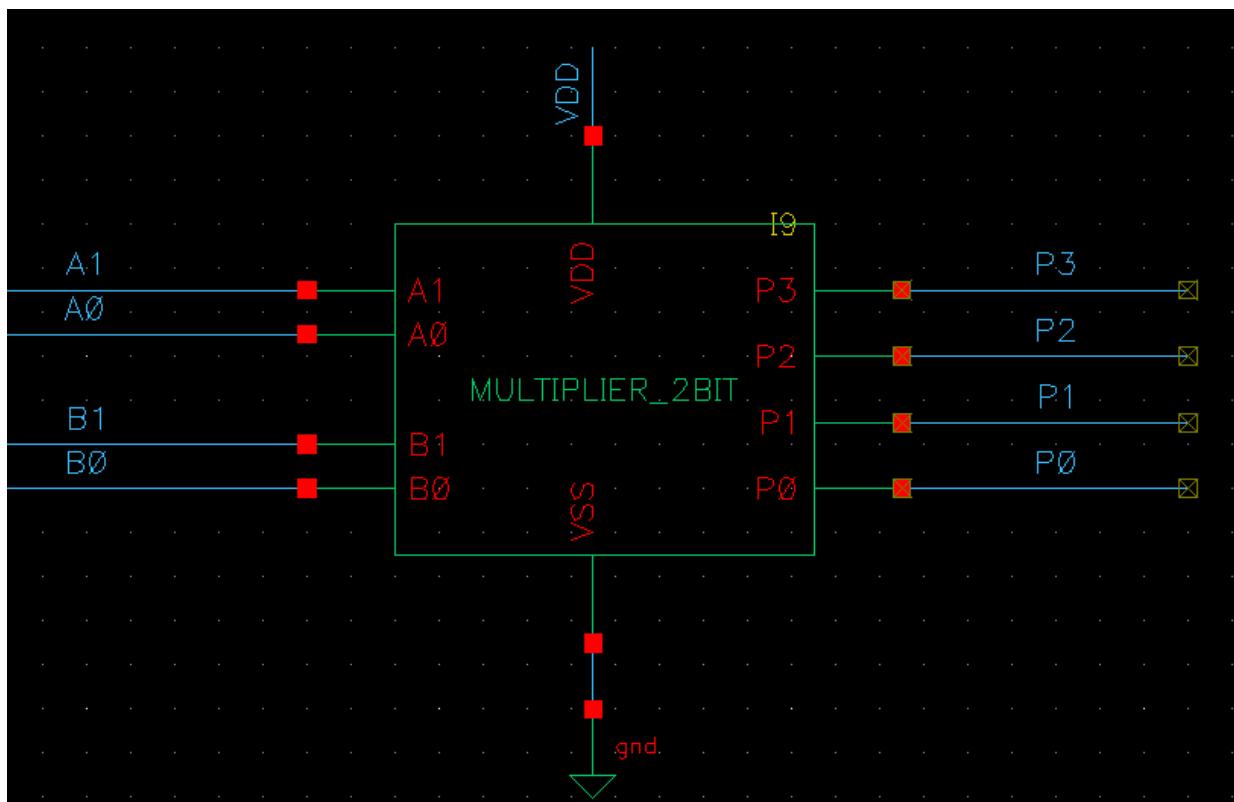
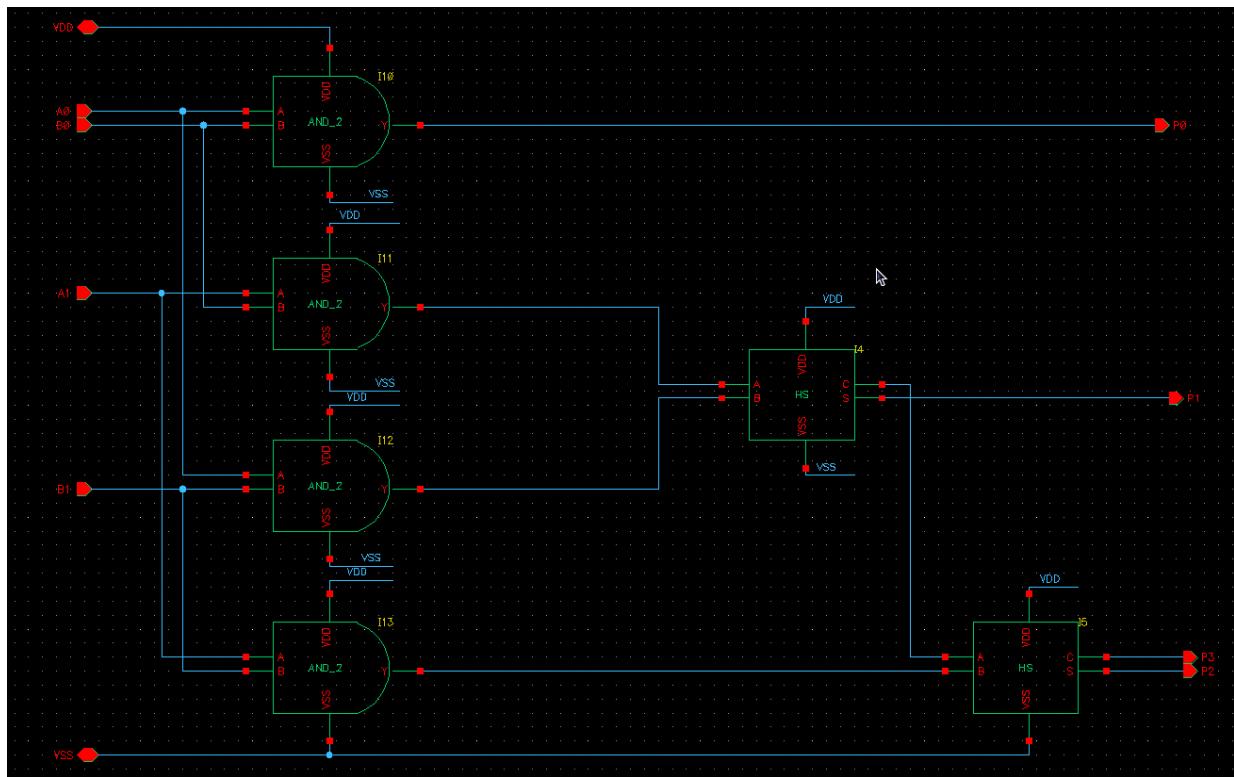
1.3 Công suất



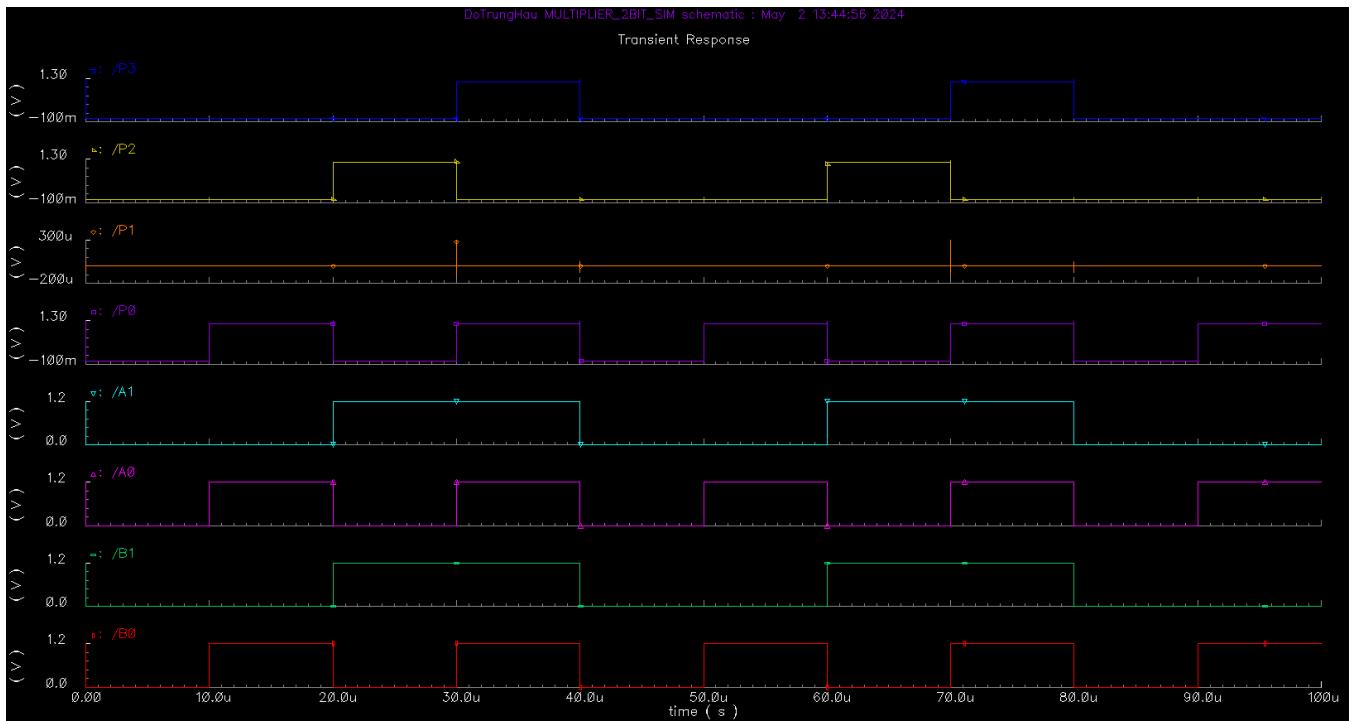
```
average(wavew20s1i3()) = 151.1n
```

II. MẠCH NHÂN 2 BIT

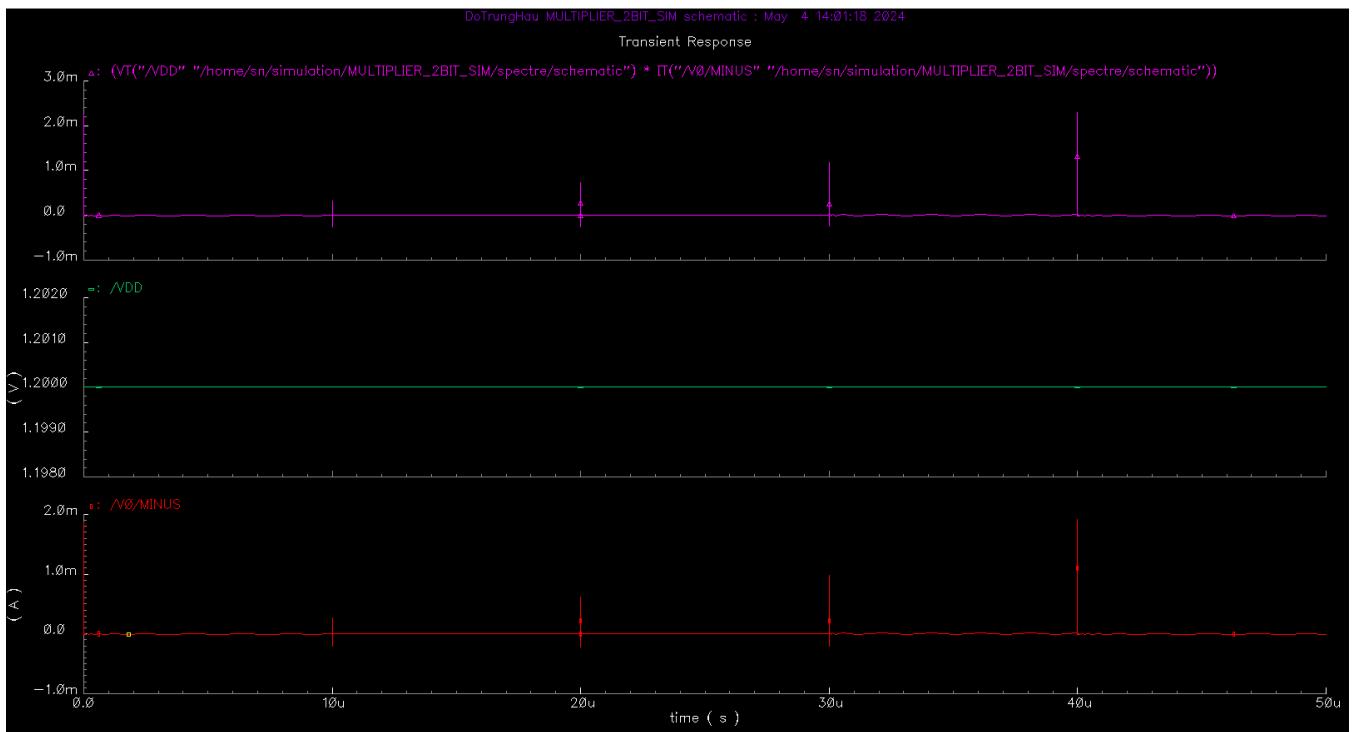
2.1 Mạch nguyên lý và đóng gói



2.2 Dạng sóng logic



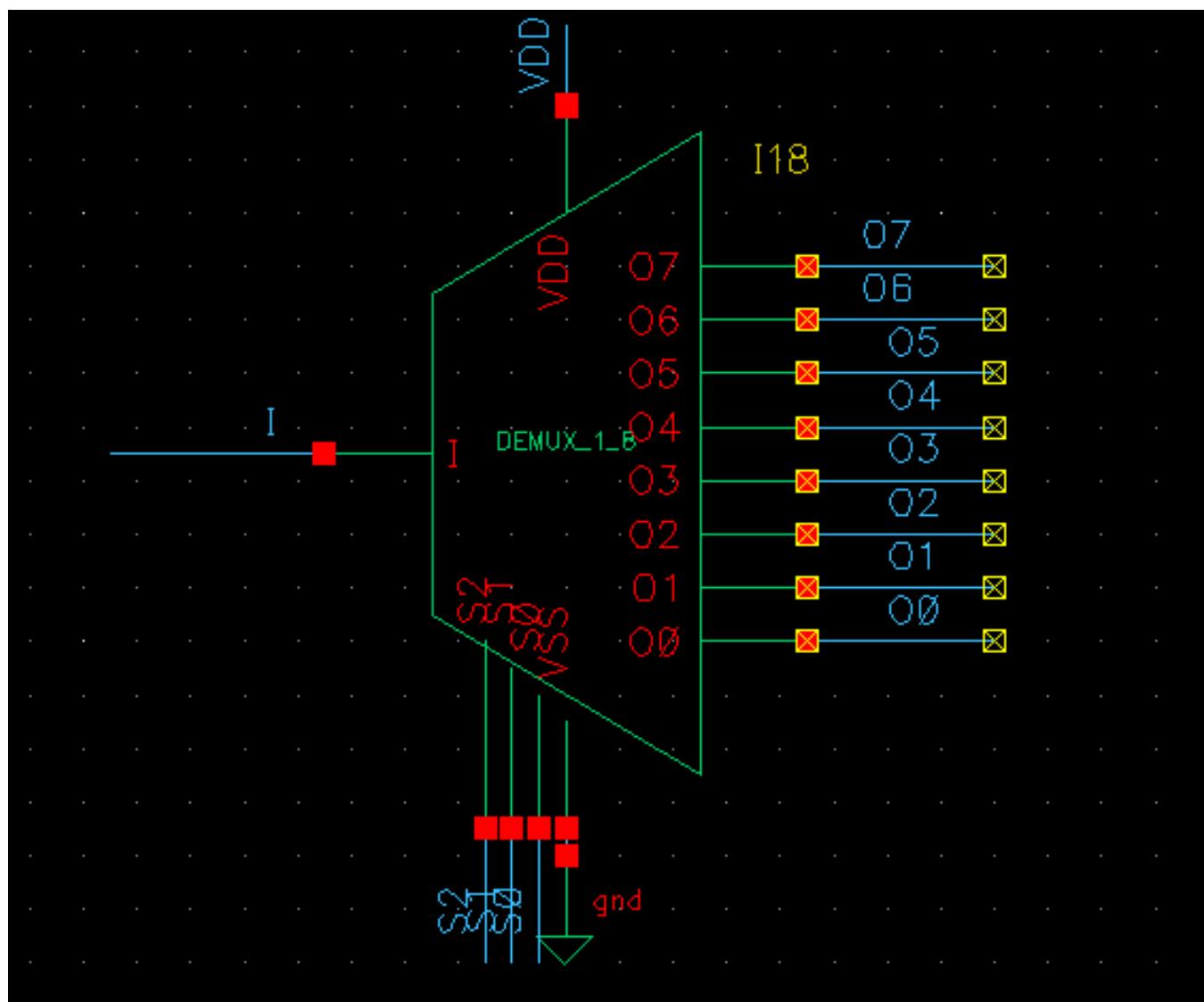
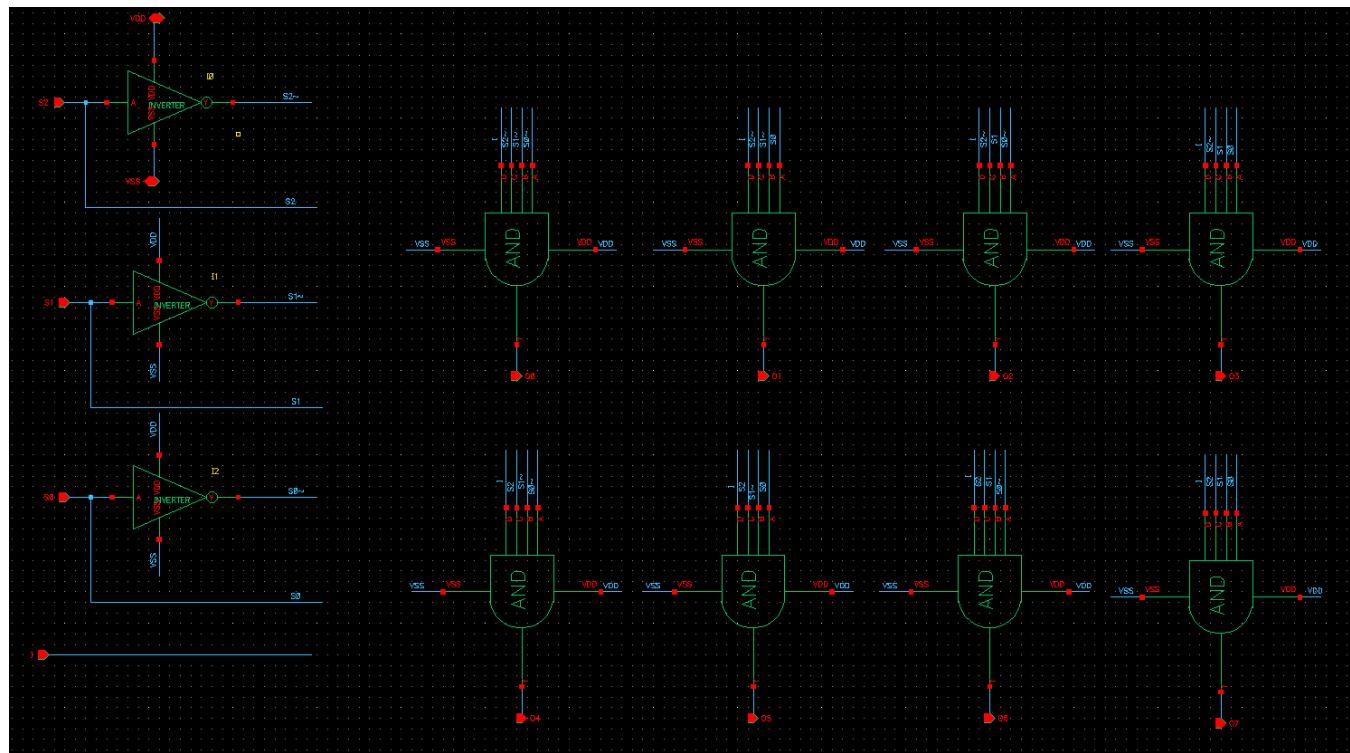
2.3 Công suất



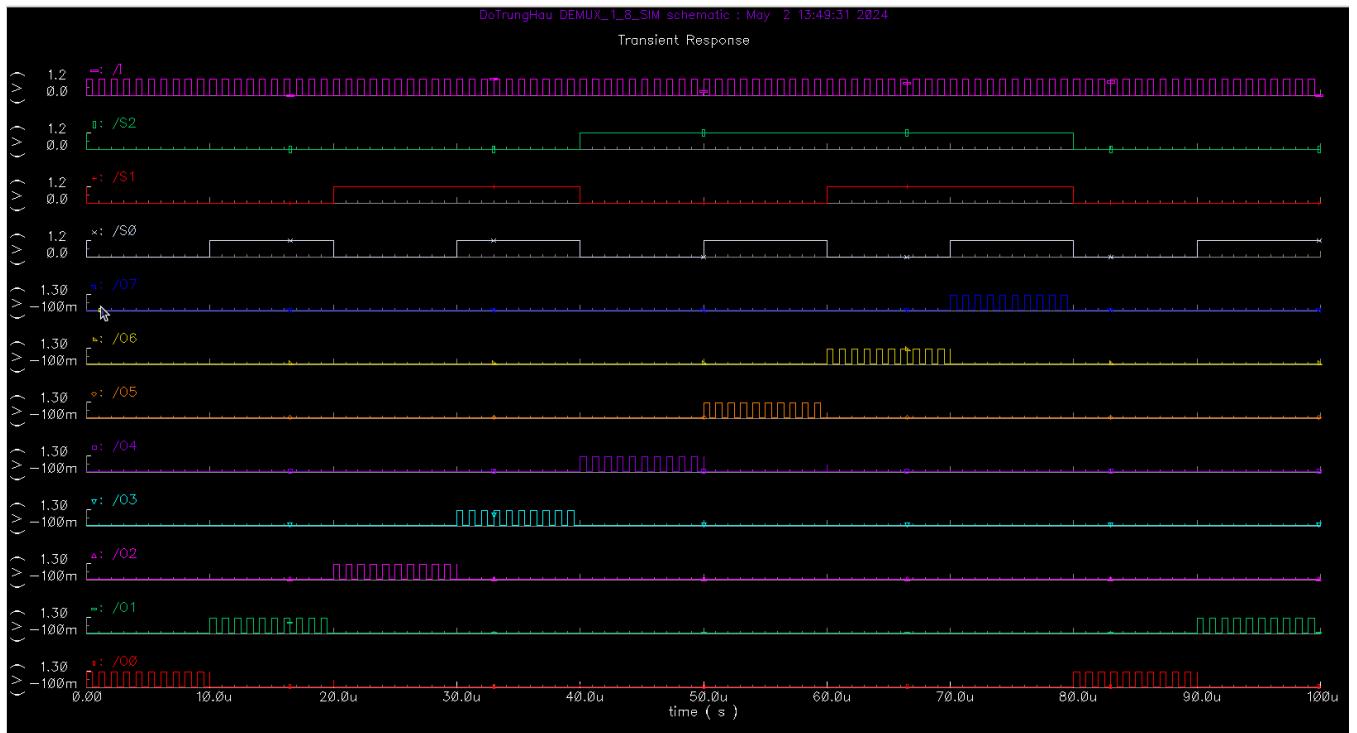
```
average(wavew26s1i3()) = 38.92n
```

III. MẠCH GIẢI ĐA HỢP 1 SANG 8

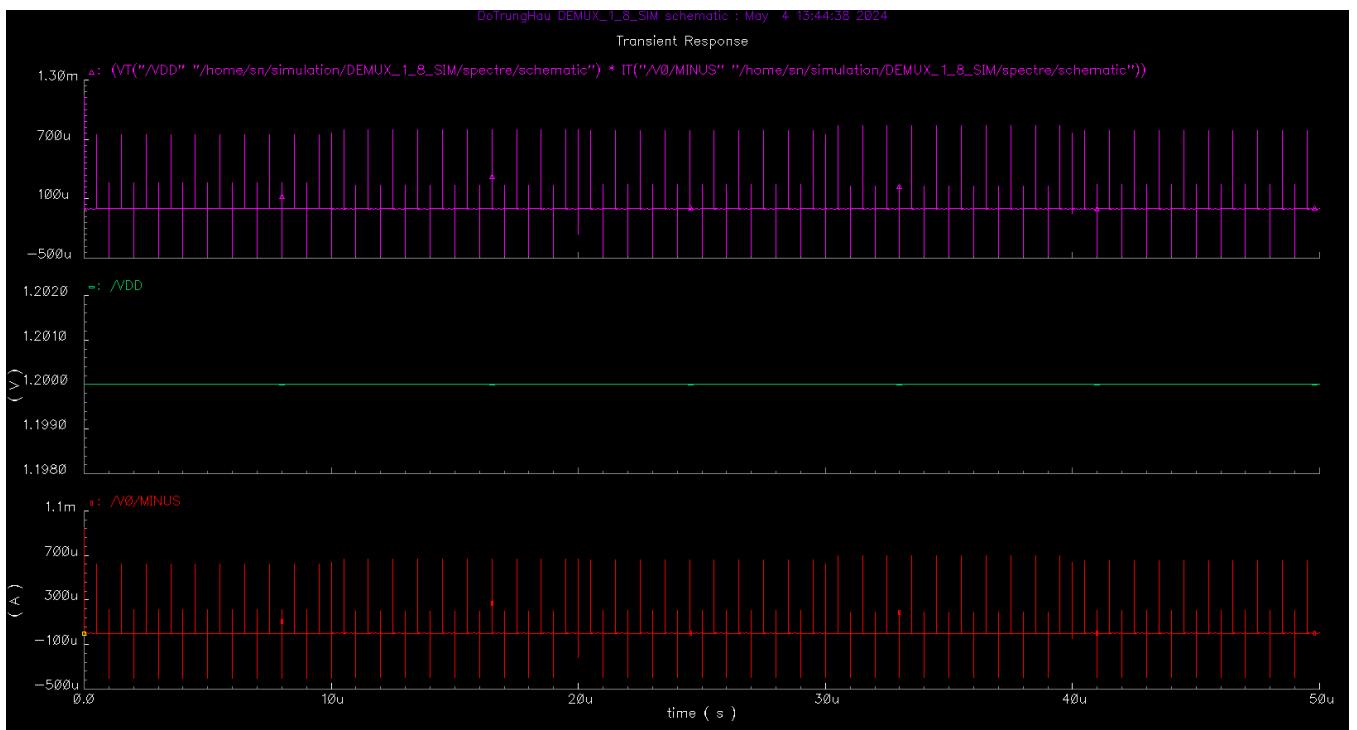
3.1 Mạch nguyên lý và đóng gói



3.2 Dạng sóng logic



3.3 Công suất

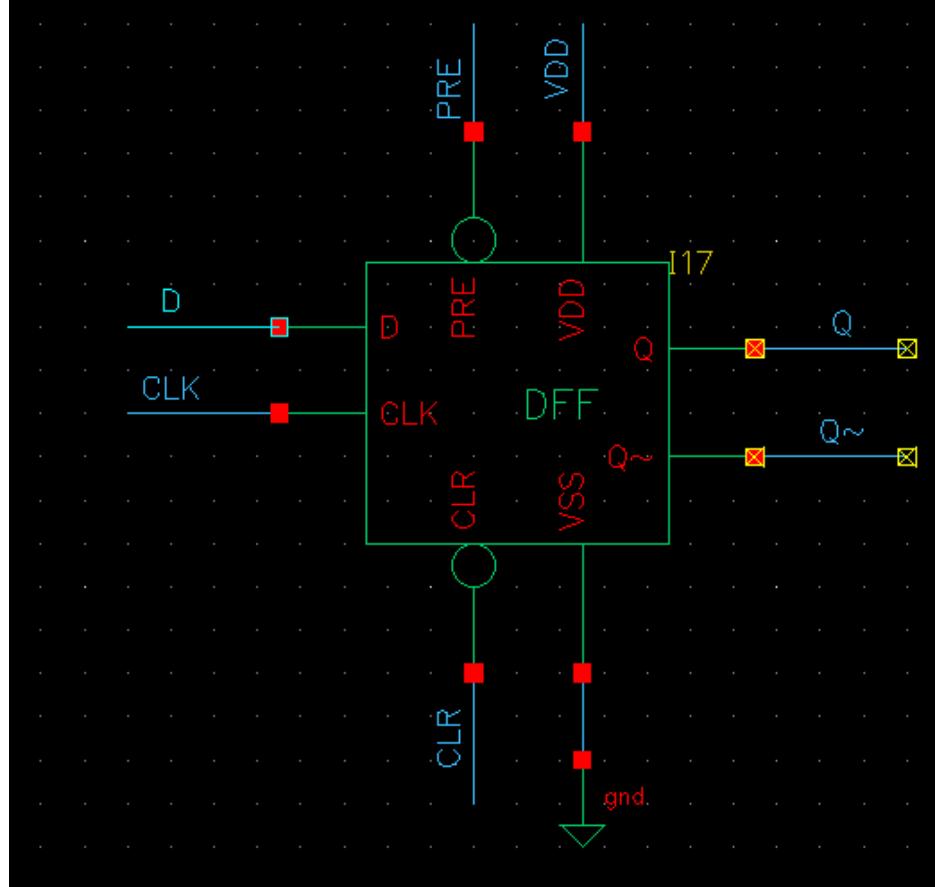
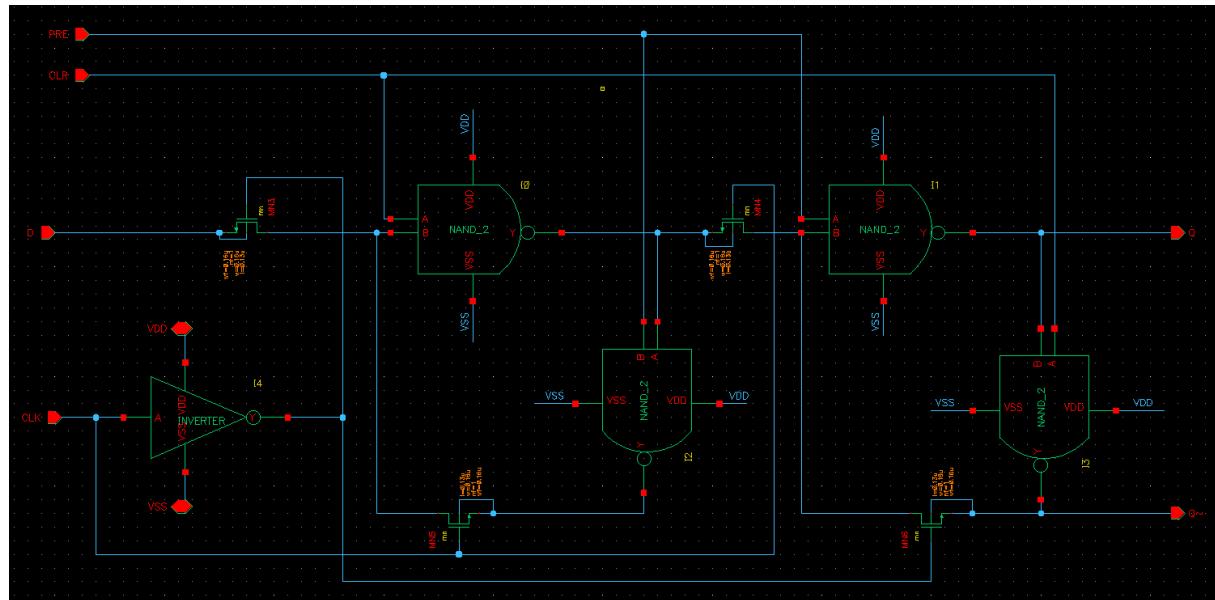


```
average(wavew32s1i3()) = 74.17n
```

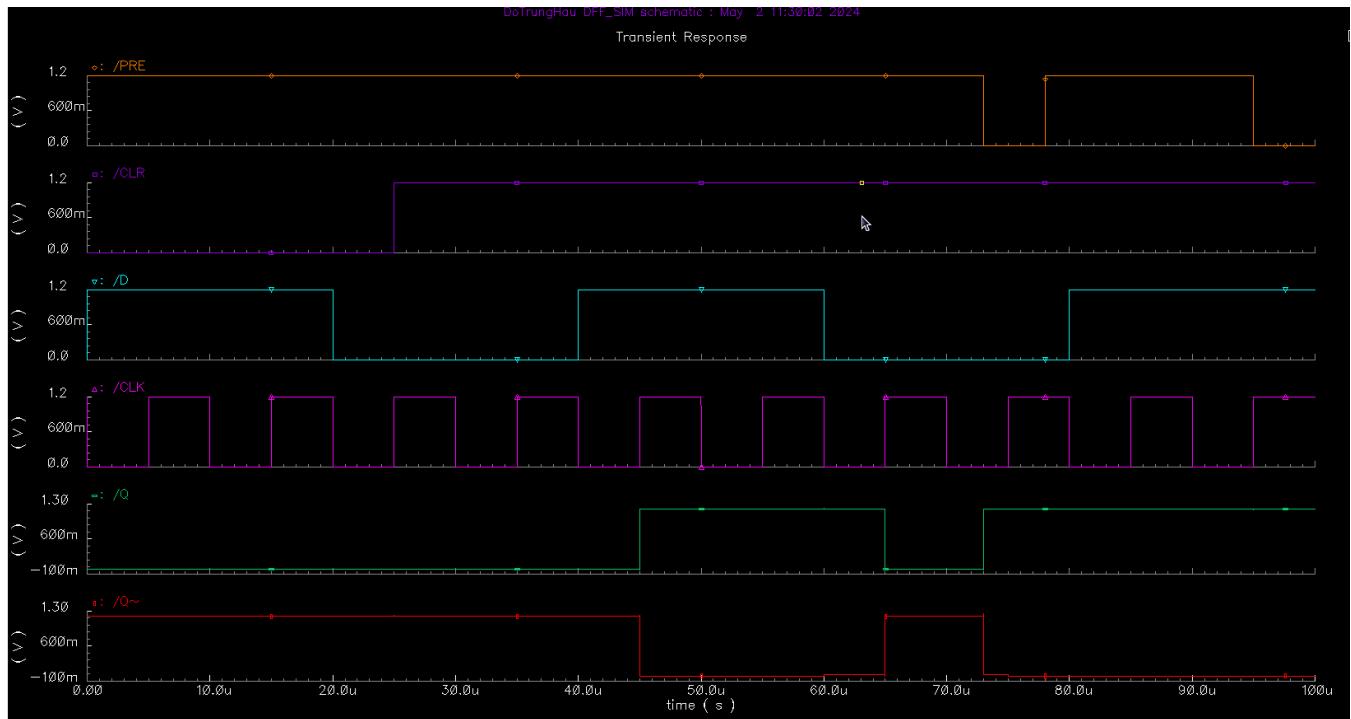
BÀI 5: THIẾT KẾ MẠCH TUẦN TỤ

I. FLIP FLOP D

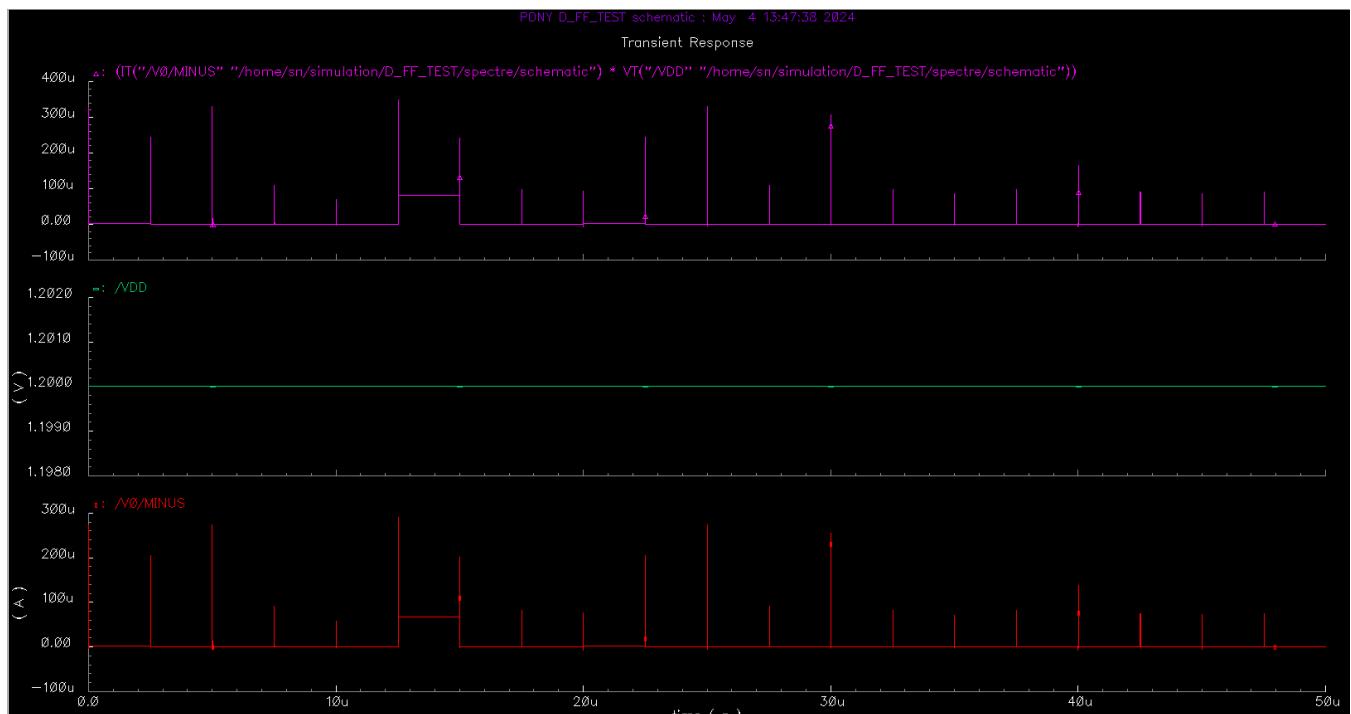
1.1 Mạch nguyên lý và đóng gói



1.3 Dạng sóng logic



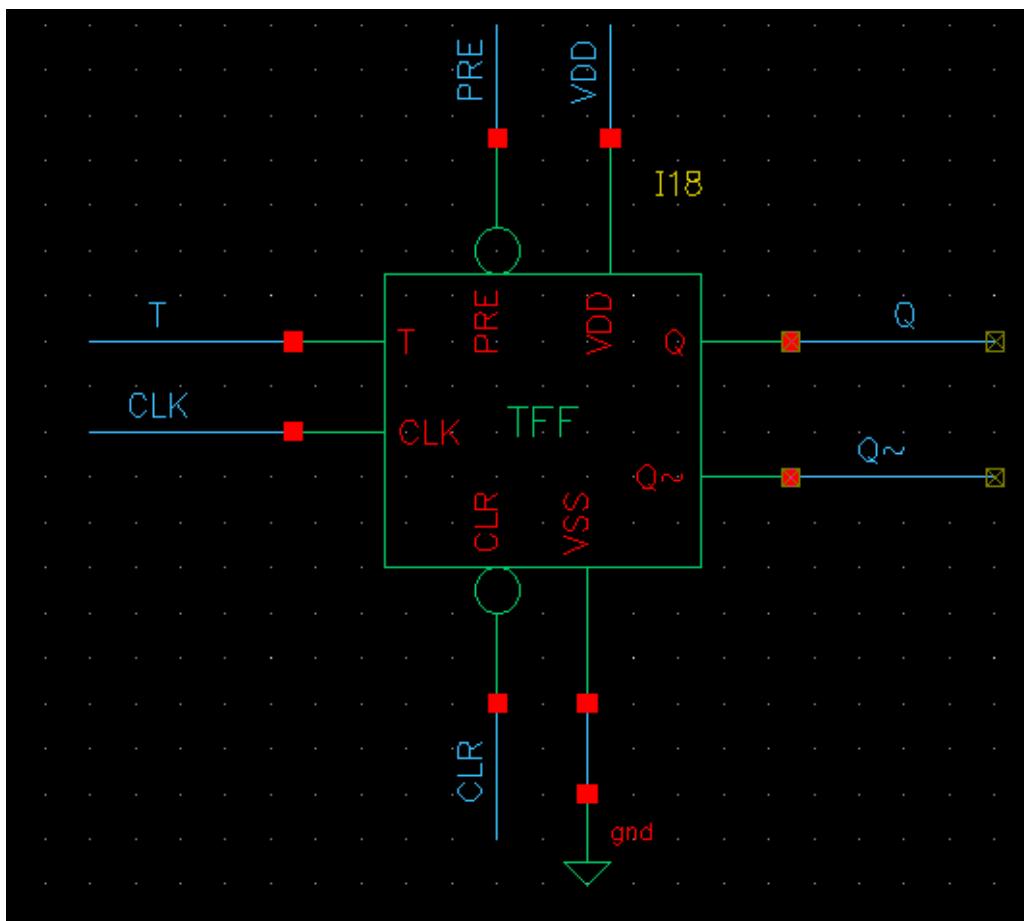
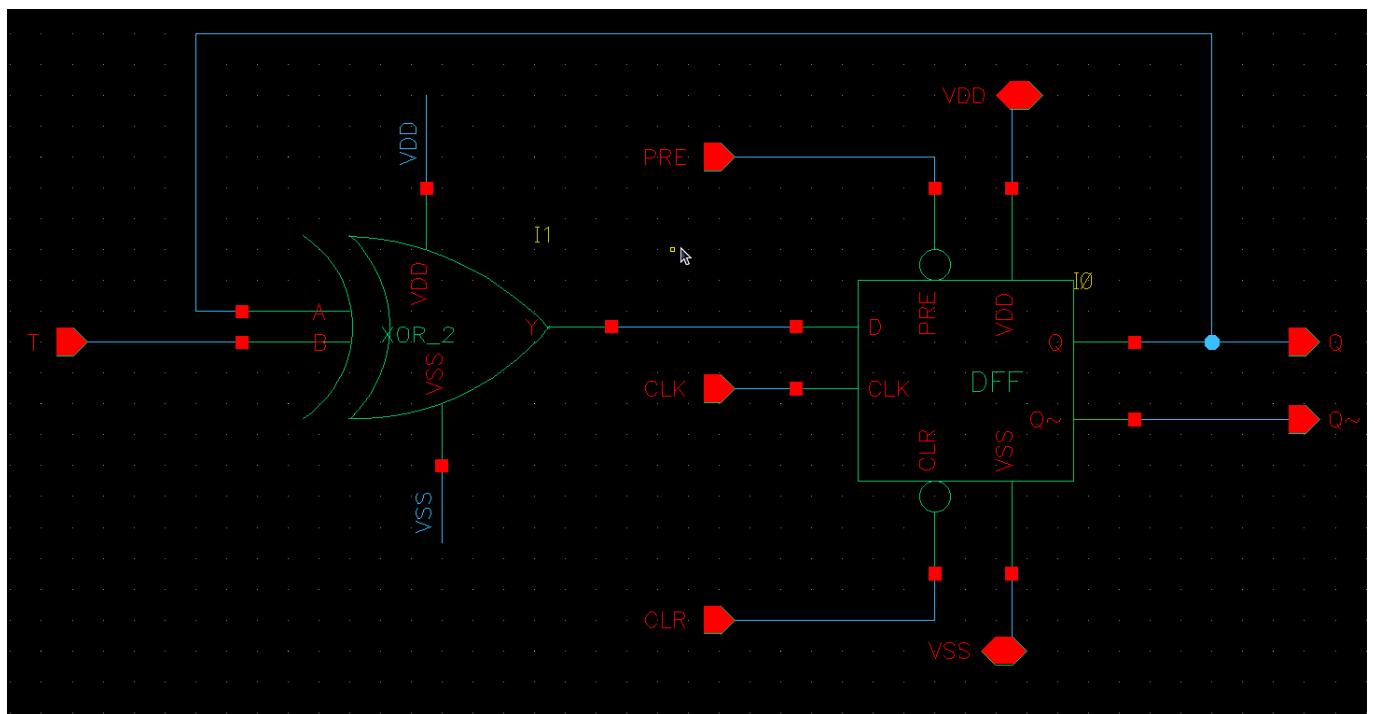
1.3 Công suất



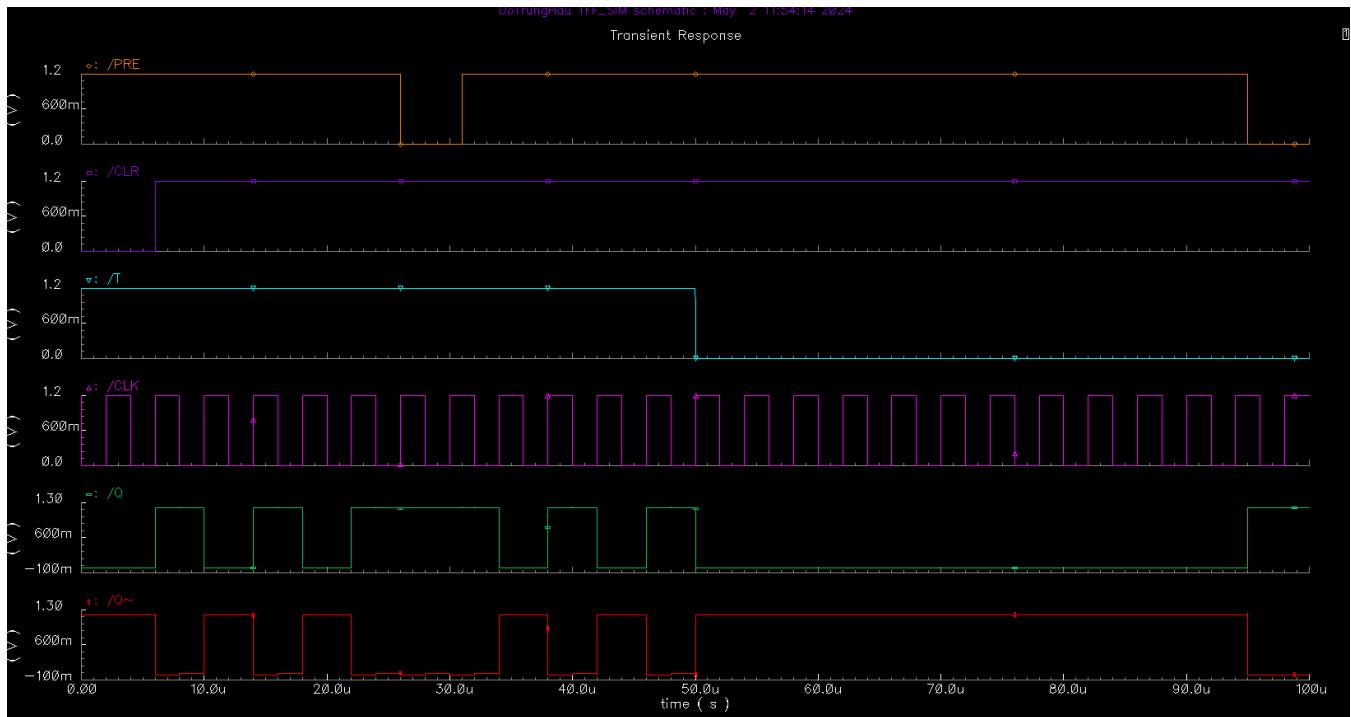
```
average(wavew38s1i3()) = 4.419u
```

II. FLIP FLOP T

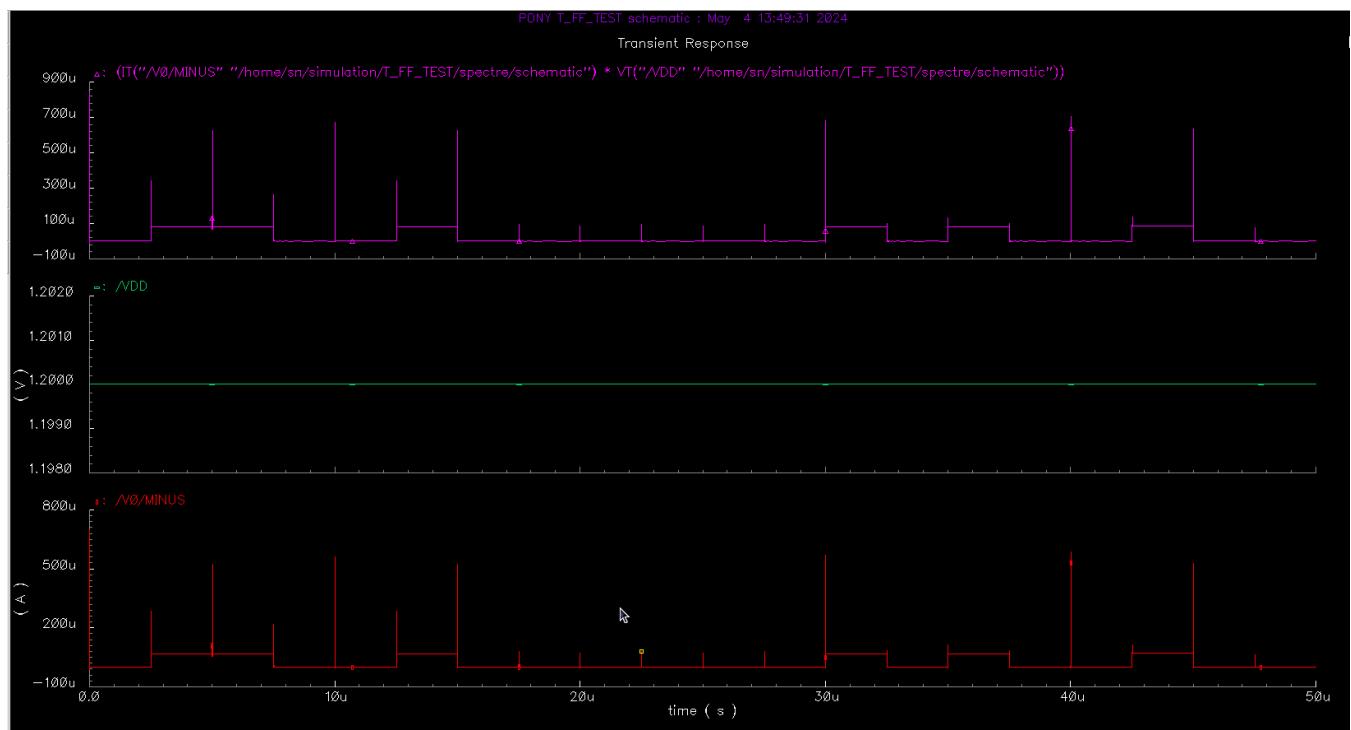
2.1 Mạch nguyên lý và đóng gói



2.2 Dạng sóng logic



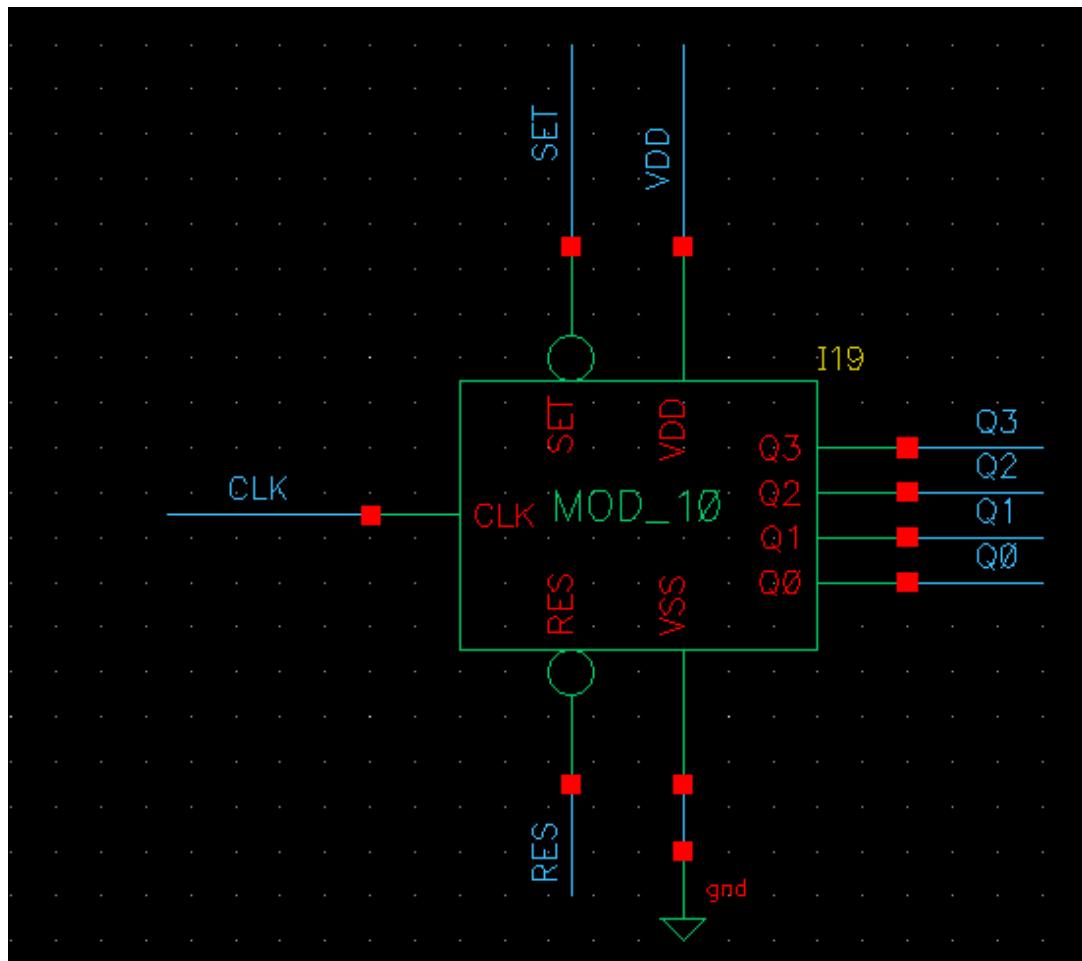
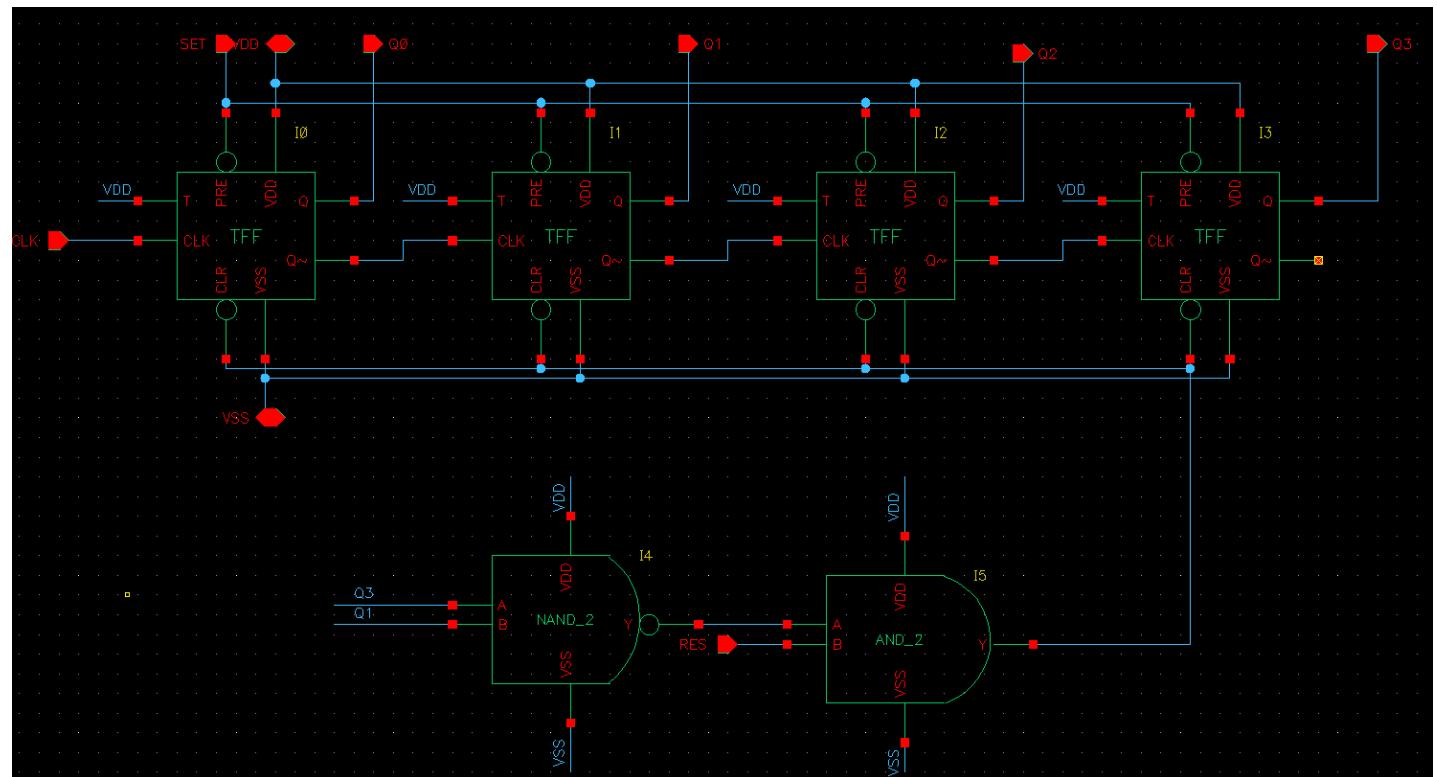
2.3 Công suất



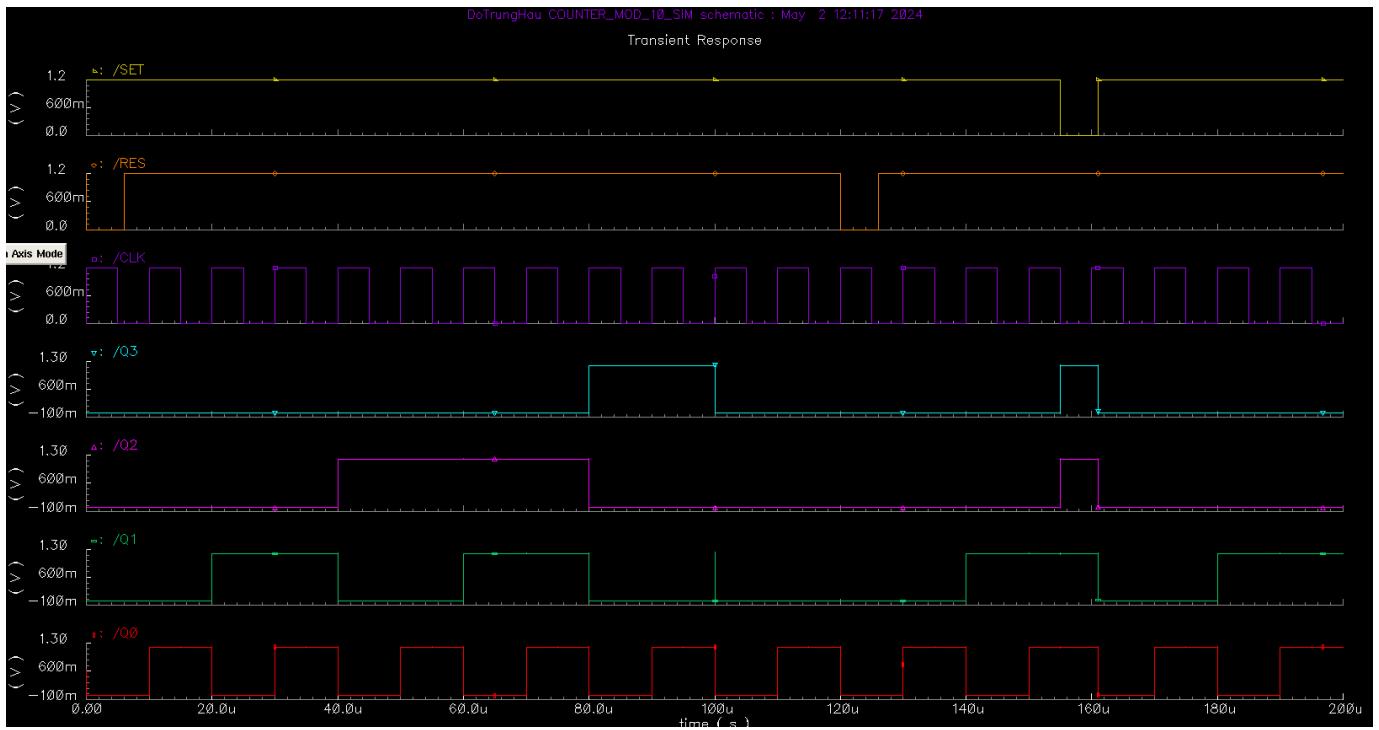
```
average(wavew44s1i3()) = 24.56u
```

III. MẠCH ĐÉM MOD 10

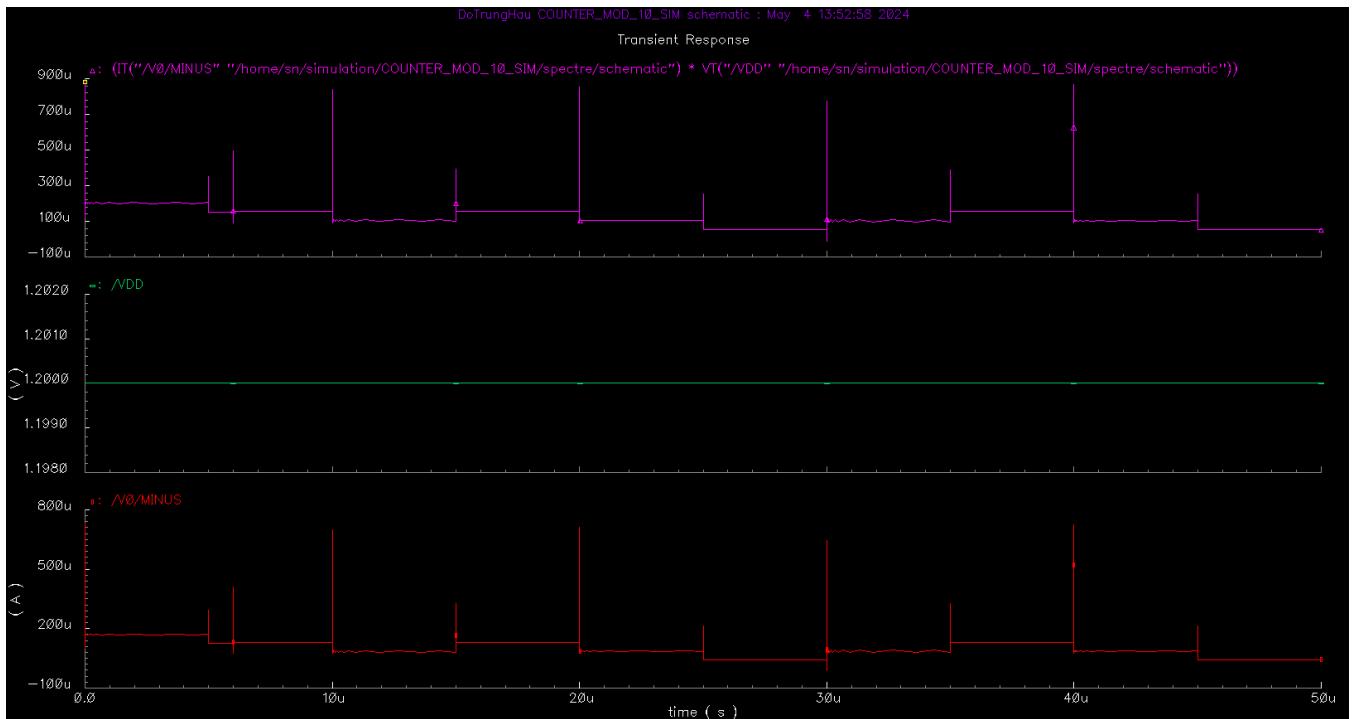
3.1 Mạch nguyên lý và đóng gói



3.2 Dạng sóng logic



3.3 Công suất

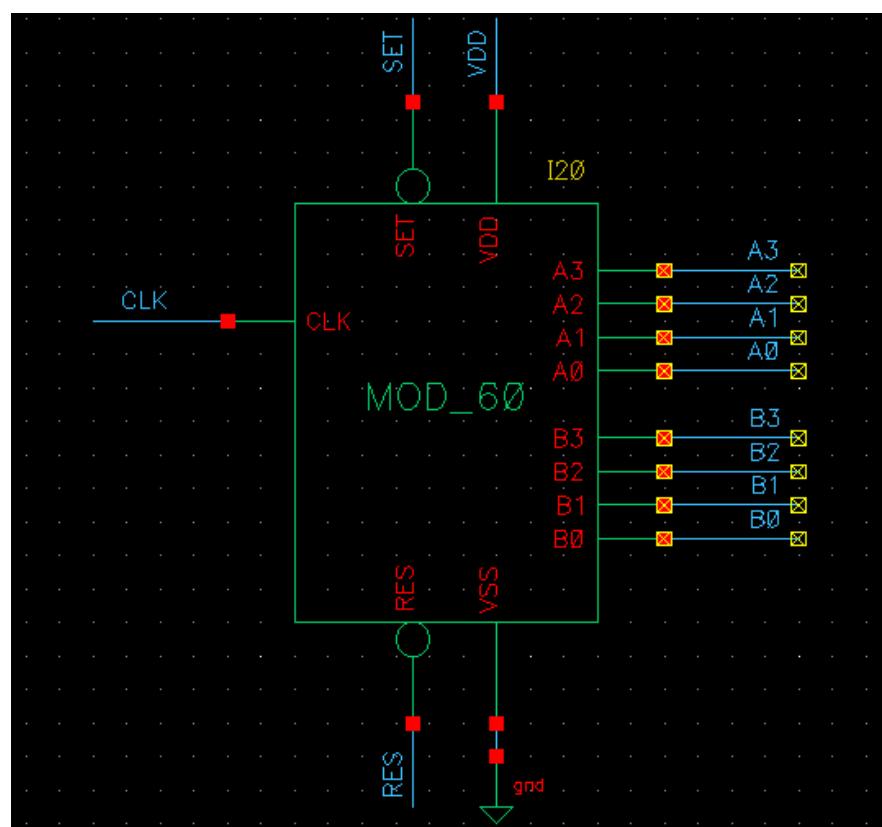
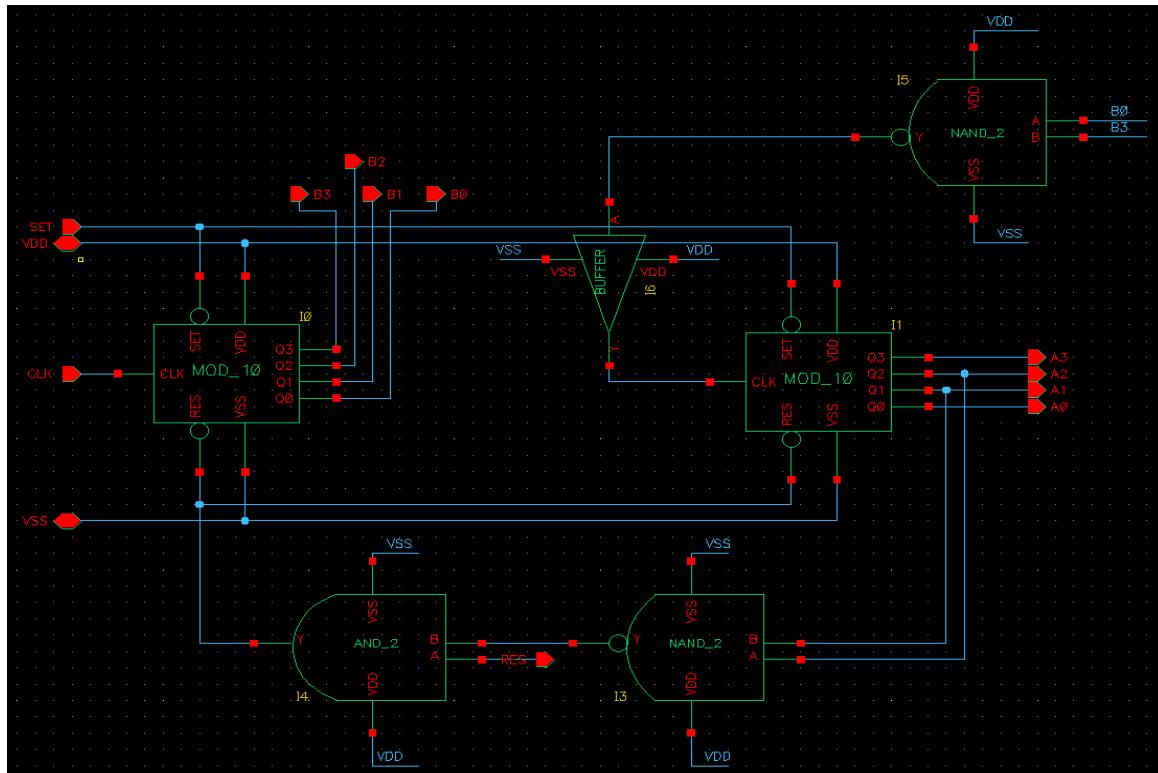


```
average(wavew50sli3()) = 118.3u
```

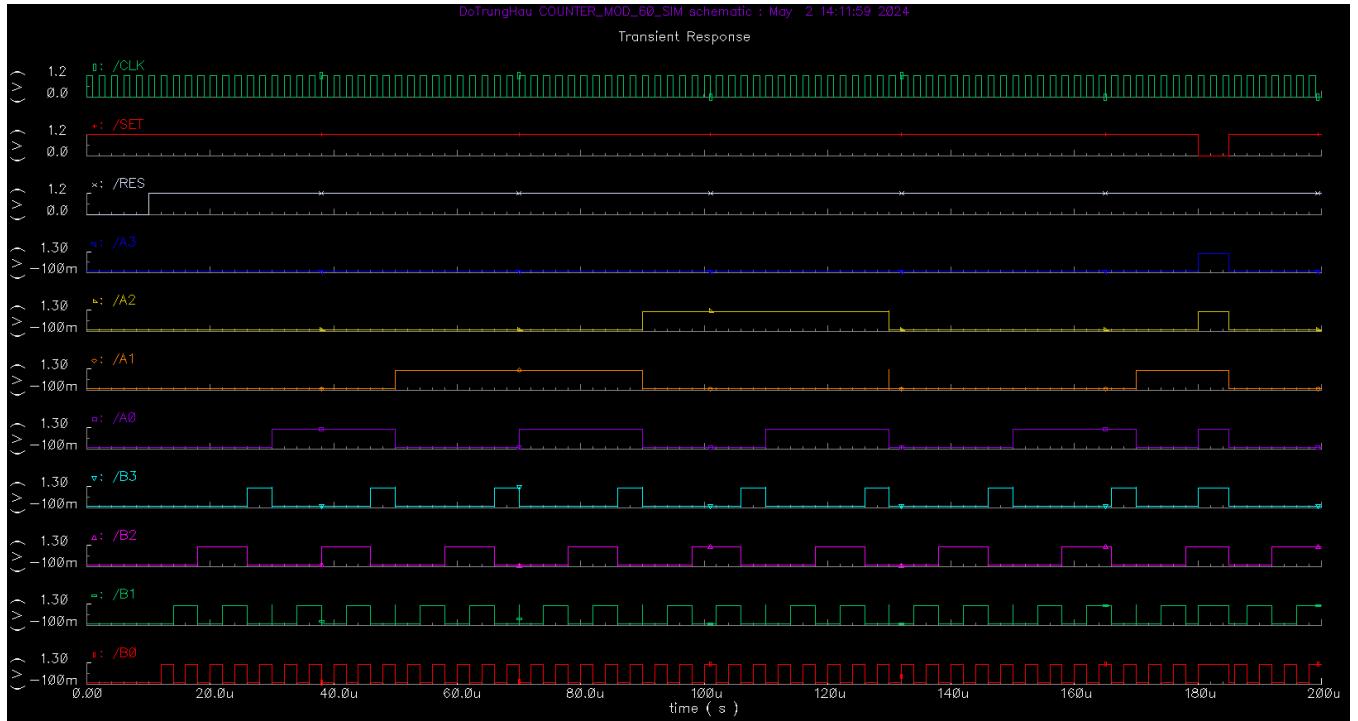
BÀI 6: THIẾT KẾ MẠCH TUẦN TỤ (tt)

I. MẠCH ĐÉM MOD60

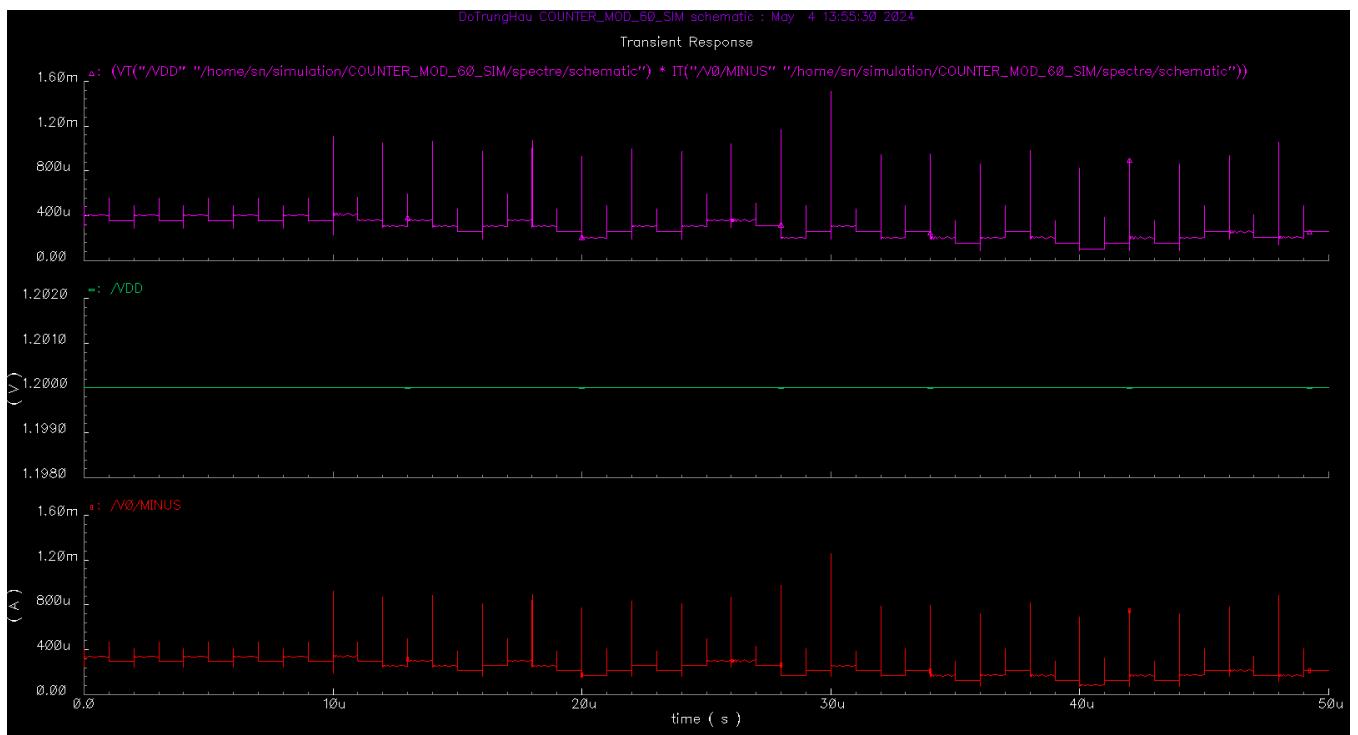
1.1 Mạch nguyên lý và đóng gói



1.2 Dạng sóng logic



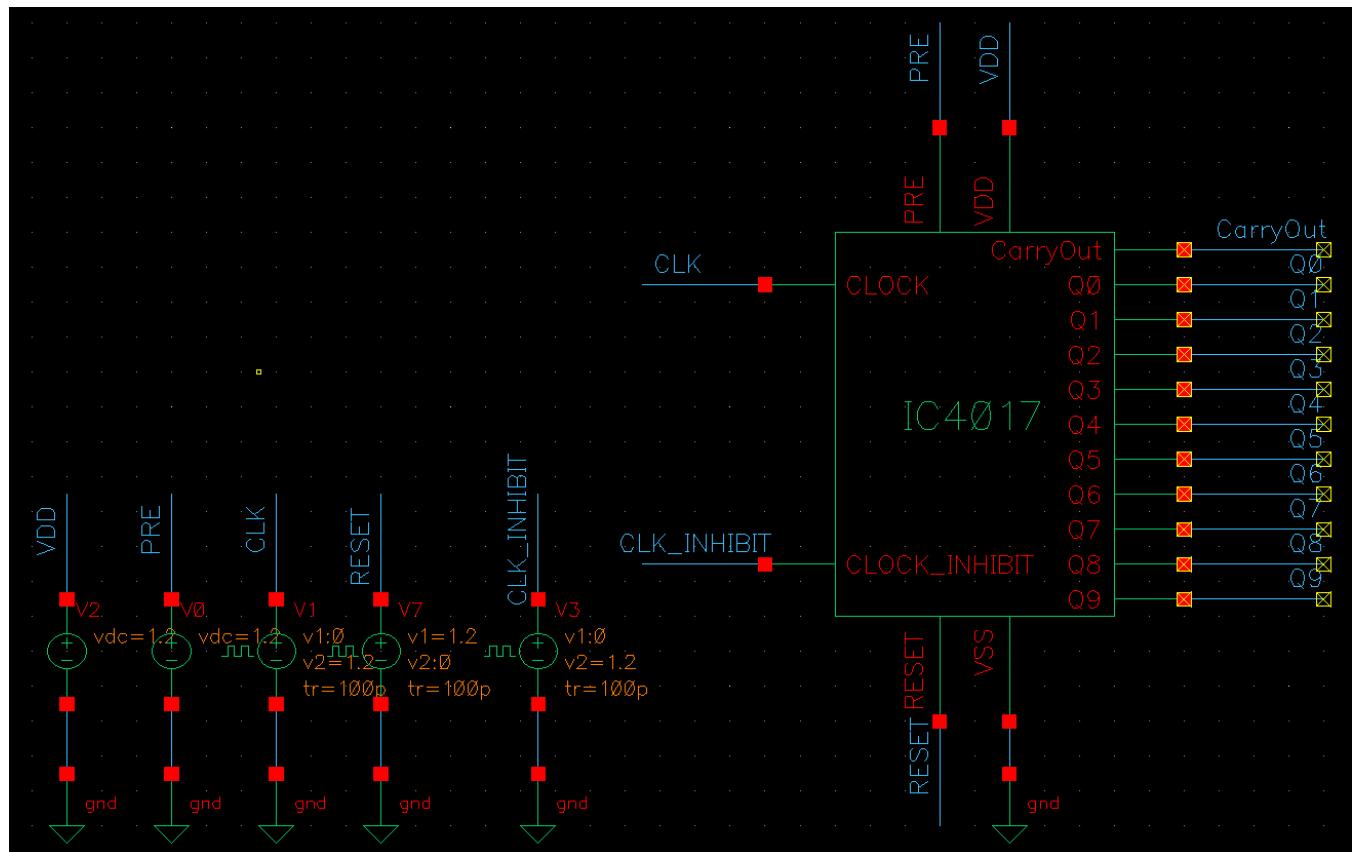
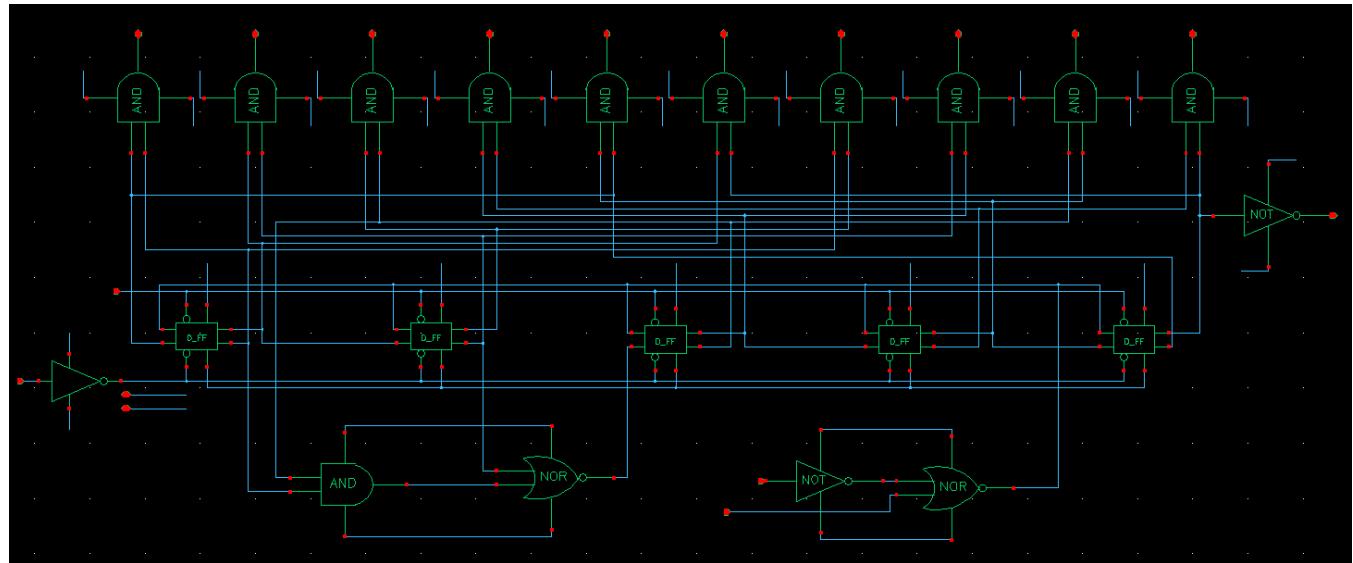
1.3 Công suất



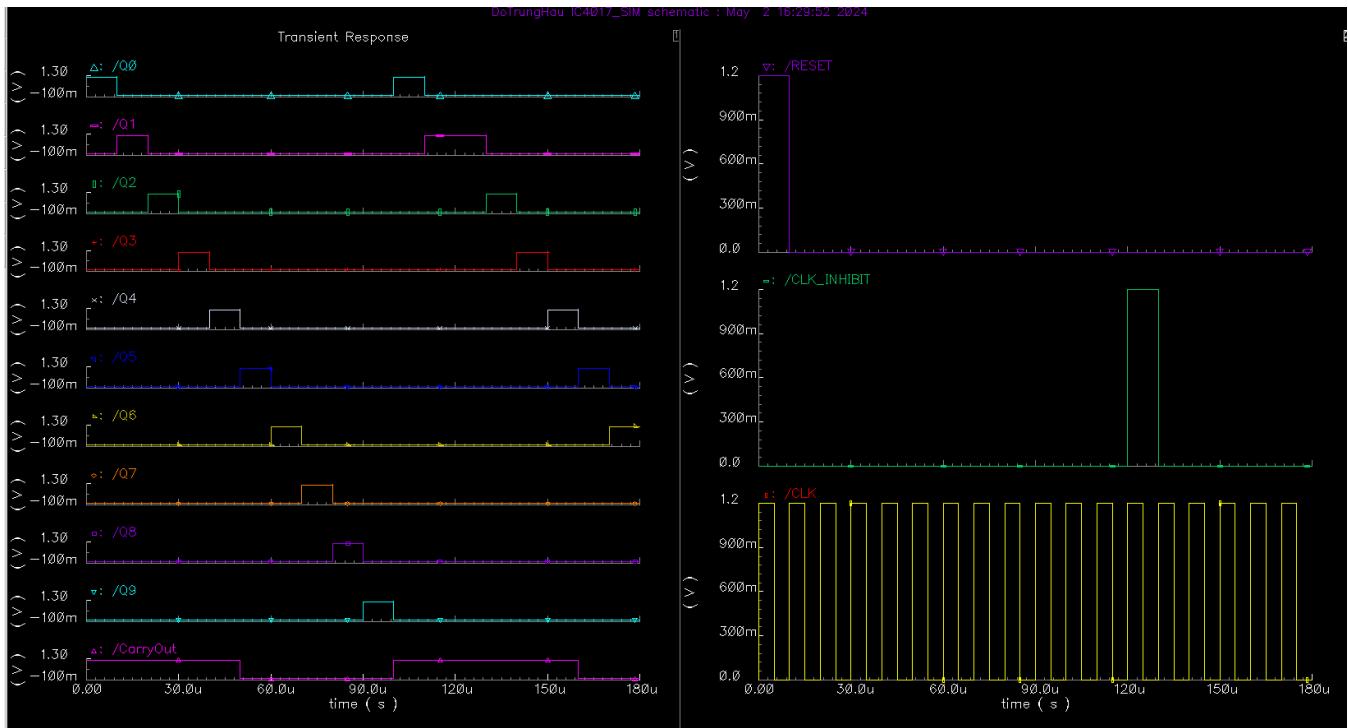
```
average(wavew56sli3()) = 282.6u
```

II. IC 4017

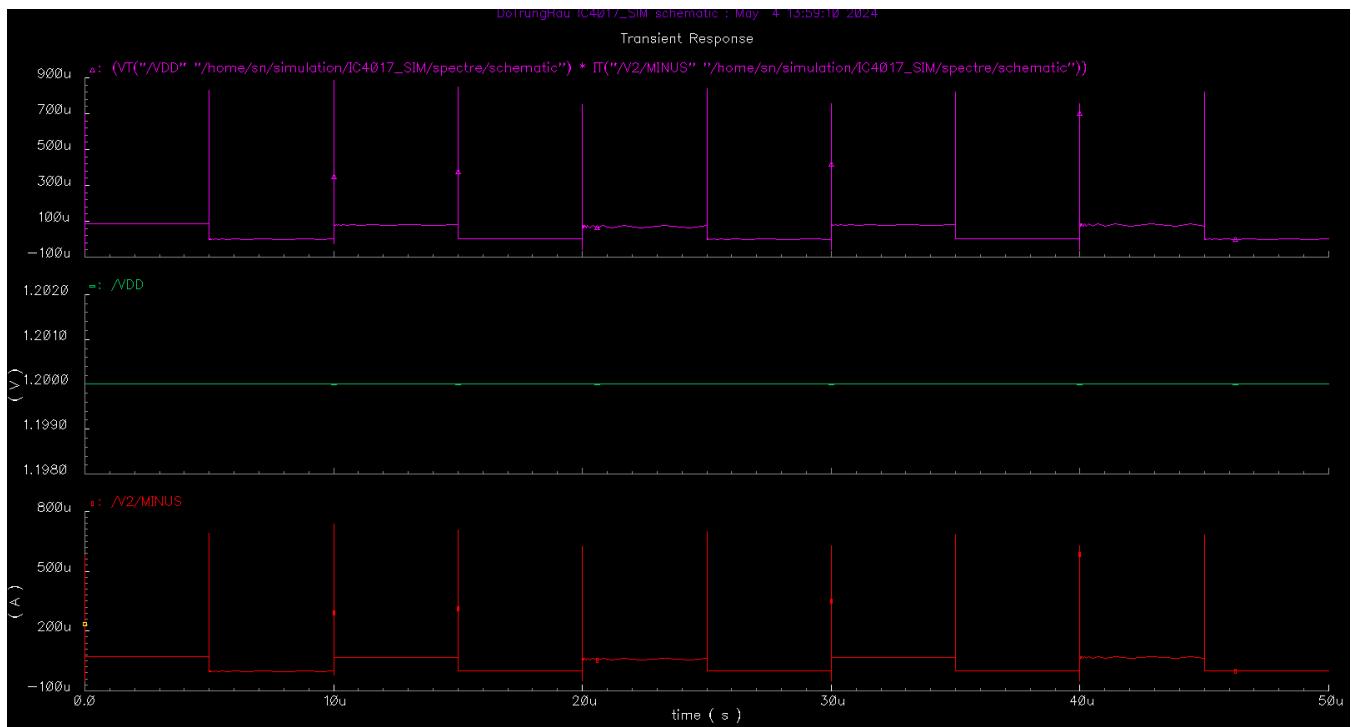
2.1 Mạch nguyên lý và đóng gói



2.2 Dạng sóng logic



2.3 Công suất



```
average(wavew62sli3()) = 39.81u
```