

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA ĐIỆN – ĐIỆN TỬ



**BÁO CÁO BÀI TẬP NHÓM
THỰC TẬP THIẾT KẾ
MẠCH TÍCH HỢP
VLSI**

Giảng viên: ThS. TRẦN THỊ QUỲNH NHƯ

Sinh viên: Nguyễn Minh Khoa An

MSSV: 21161099

Đỗ Trung Hậu

MSSV: 21161121

Tp. Hồ Chí Minh – 5/2024

MỤC LỤC

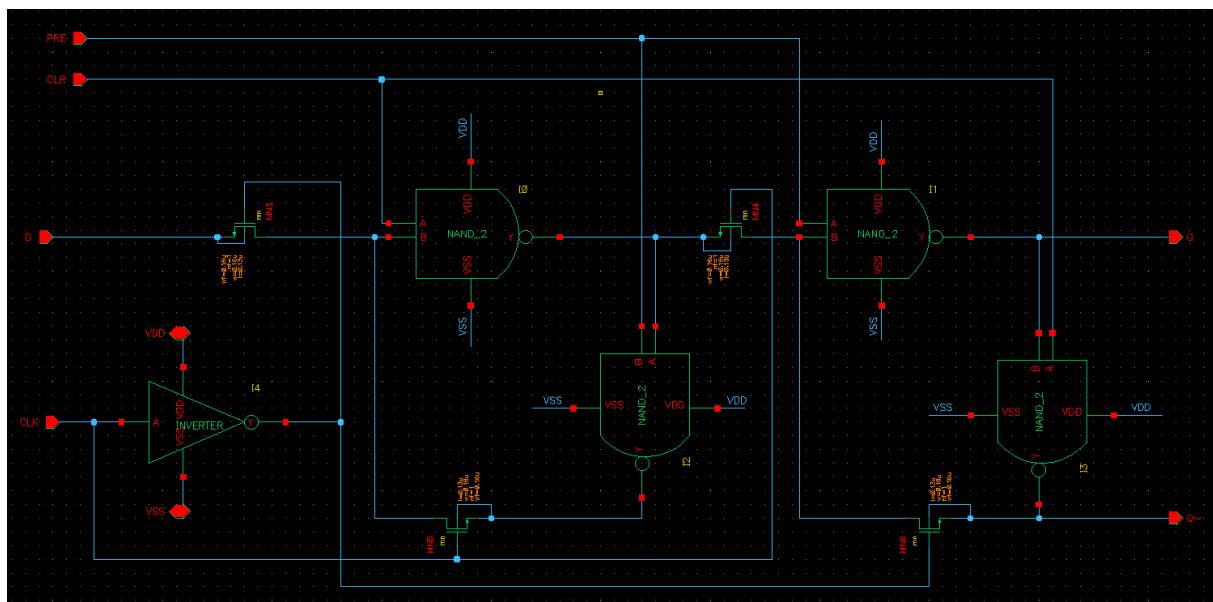
BÀI TẬP 1: THIẾT KẾ FLIP FLOP JK VÀ FLIP FLOP SR.....	1
1.1 Thiết kế FF SR từ FF D.....	1
1.3.1 Chuyển đổi FF D sang FF SR	1
1.3.2 Thiết kế và phân tích	3
1.3.2.1 Mạch nguyên lý	3
1.3.2.2 Đóng gói	3
1.3.2.3 Dạng sóng logic	3
1.3.2.4 Tính toán công suất	5
1.3.2.5 Tính toán độ trễ	6
1.3.3 Mạch FF SR hoạt động với tín hiệu xung clock.....	8
1.4 Thiết kế FF JK từ FF D.....	11
1.4.1 Chuyển đổi FF D sang FF JK.....	11
1.4.2 Thiết kế và phân tích	12
1.4.2.1 Mạch nguyên lý	12
1.4.2.2 Đóng gói	12
1.3.2.3 Dạng sóng logic	13
1.3.2.4 Tính toán công suất	14
1.3.2.5 Tính toán độ trễ	15
BÀI TẬP 2: THIẾT KẾ THANH GHI DỊCH 74HC595	18
2.1 Giới thiệu về IC 74HC595.....	18
2.2 Thiết kế và phân tích	21
2.2.1 Mạch nguyên lý	21
2.2.2 Đóng gói	22
2.2.3 Dạng sóng logic	23
2.2.4 Tính toán công suất	24
2.2.5 Tính toán độ trễ	25

PHỤ LỤC

BÀI TẬP 1: THIẾT KẾ FLIP FLOP JK VÀ FLIP FLOP SR

1.1 Thiết kế FF SR từ FF D

Việc thiết kế các Flip Flop có thể được thực hiện một cách nhanh chóng thông qua việc tận dụng các FF có sẵn và chuyển đổi giữa chúng. Trong bài này, nhóm sẽ sử dụng FF D đã được thiết kế từ các bài trước đó để phục vụ cho việc thiết kế các FF SR cũng như JK. Mạch nguyên lý của FF D được trình bày như hình 1.1. FF D bên dưới có ngõ vào xung clock tích cực cạnh lén, các ngõ vào bất đồng bộ PRE, CLR tích cực mức thấp.



Hình 1.1 Mạch nguyên lý FF D

1.3.1 Chuyển đổi FF D sang FF SR

Để chuyển đổi các FF qua lại với nhau, ta sử dụng bảng đầu vào kích như bảng 1.1.

TTHT	TTKT	SR – FF		JK – FF		D – FF	T – FF
		Q_n	Q_{n+1}	S	R		
0	0	0	X	0	X	0	0
0	1	1	0	1	X	1	1
1	0	0	1	X	1	0	1
1	1	X	0	X	0	1	0

Hình 1.2 Bảng đầu vào kích Flip Flop

Với FF D có sẵn và FF cần chuyển đổi sang là SR, ta có bảng trạng thái như sau:

Bảng 1.1 Bảng chuyển đổi trạng thái FF D sang FF JK và bìa K tương ứng

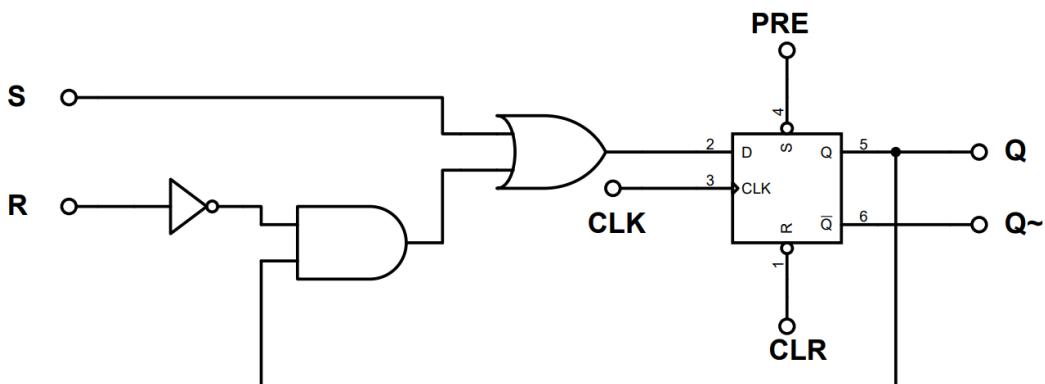
S	R	Q	D
0	X	0	0
1	0	1	1
0	1	0	0
X	0	1	1

D/SR	00	01	11	10
0	0	1	X	0
1	1	1	X	0

Sử dụng bìa Karnaugh để tối thiểu hàm với ngõ ra là D và ngõ vào là S, R và Q. Ta thu được hàm logic chuyển đổi FF tương ứng.

$$D = \overline{R}Q_n + S$$

Từ đó, ta có mạch điện của FF SR như hình bên dưới:



Hình 1.3 Mạch chuyển đổi FF D sang FF SR

Sau khi chuyển đổi, ta có được FF SR với bảng trạng thái như sau:

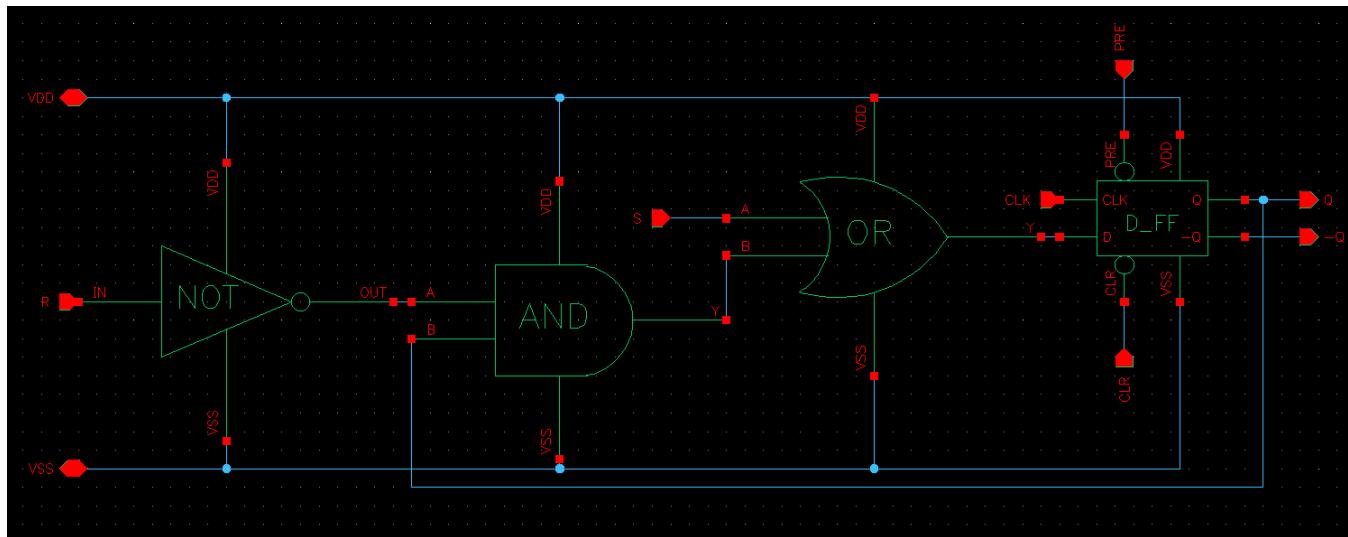
Bảng 1.2 Bảng trạng thái của FF JK

INPUT					OUTPUT		Trạng thái
PRE	CLR	CLK	S	R	Q	Q~	
0	0	X	X	X	1	1	Cảm
0	1	X	X	X	1	0	SET
1	0	X	X	X	0	1	RESET
1	1	↓	X	X	Q	Q~	Không đổi
1	1	↑	0	0	Q	Q~	Không đổi
1	1	↑	0	1	0	1	RESET
1	1	↑	1	0	1	0	SET
1	1	↑	1	1	1	1	Cảm

1.3.2 Thiết kế và phân tích

1.3.2.1 Mạch nguyên lý

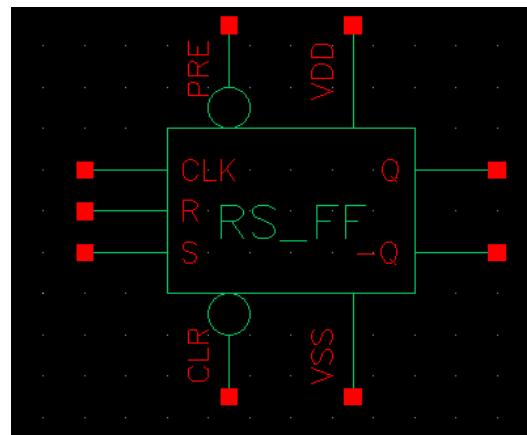
Mạch nguyên lý của FF SR được vẽ trên phần mềm Cadence như sau:



Hình 1.4 Mạch nguyên lý FF SR trên Cadence

1.3.2.2 Đóng gói

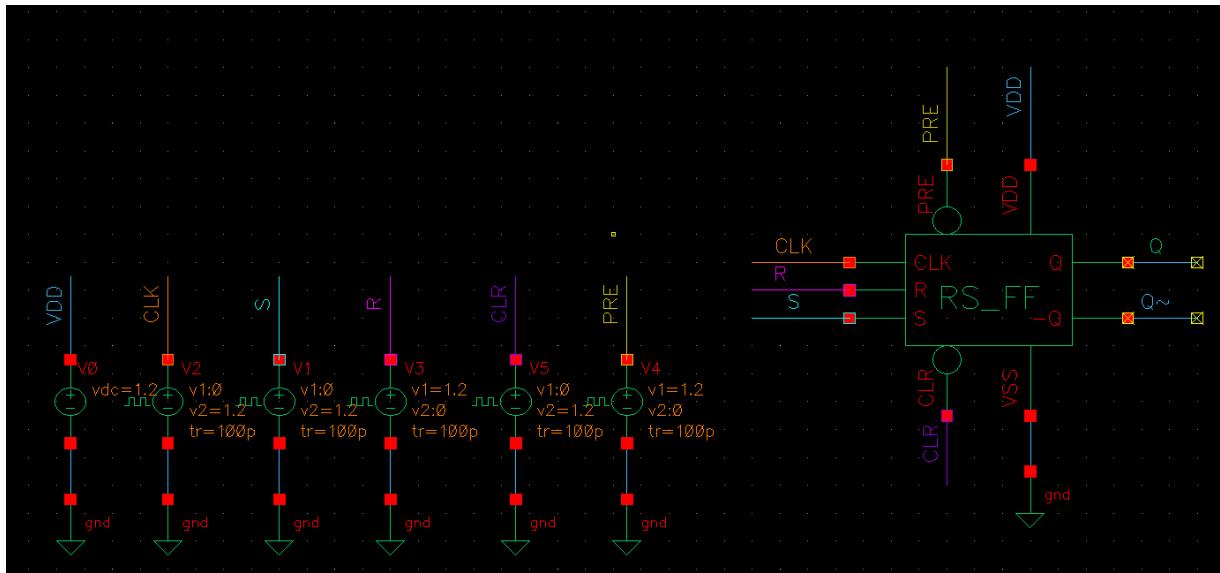
Để dễ dàng sử dụng, mạch FF SR được đóng gói như hình bên dưới, với các chân nguồn VDD, VSS, chân xung clock đồng bộ cạnh lẻ CLK, ngõ vào đồng bộ S, R, ngõ vào bắt đồng bộ PRE, CLR tích cực mức thấp và các ngõ ra Q và Q~.



Hình 1.5 Đóng gói mạch FF SR

1.3.2.3 Dạng sóng logic

Để tiến hành mô phỏng dạng sóng của mạch, ta sẽ thiết lập một mạch điện với các nguồn xung đầu vào là xung vuông để kiểm tra hoạt động logic của toàn mạch so với bảng trạng thái. Mạch kiểm tra được bố trí như hình bên.



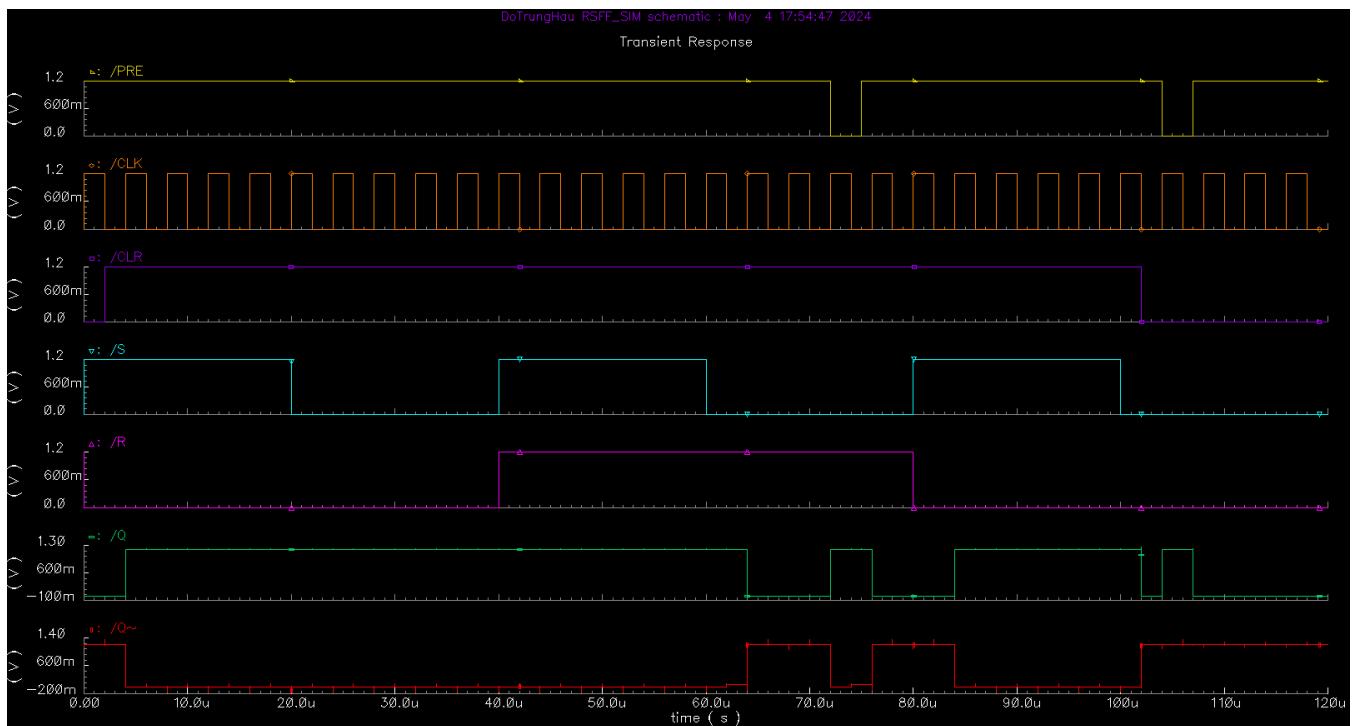
Hình 1.6 Mạch kiểm tra hoạt động FF SR

Các nguồn xung được thiết lập thông số như sau, theo thứ tự CLK – S – R – CLR – PRE.

Bảng 1.3 Thông số các nguồn xung cho mạch kiểm tra FF SR

	V1	V2	Delay	Rise time	Fall time	Pulse width	Period
CLK	0	1.2	0	100p	100p	2u	4u
S	0	1.2	0	100p	100p	20u	40u
R	1.2	0	0	100p	100p	40u	80u
CLR	0	1.2	2u	100p	100p	100u	118u
PRE	1.2	0	72u	100p	100p	3u	32u

Tiến hành mở hộp thoại Analog Environment, cài đặt các thư viện, xác định thời gian mô phỏng là 120u, phân tích tức thời ta thu được dạng sóng như sau.



Hình 1.7 Dạng sóng logic của FF SR

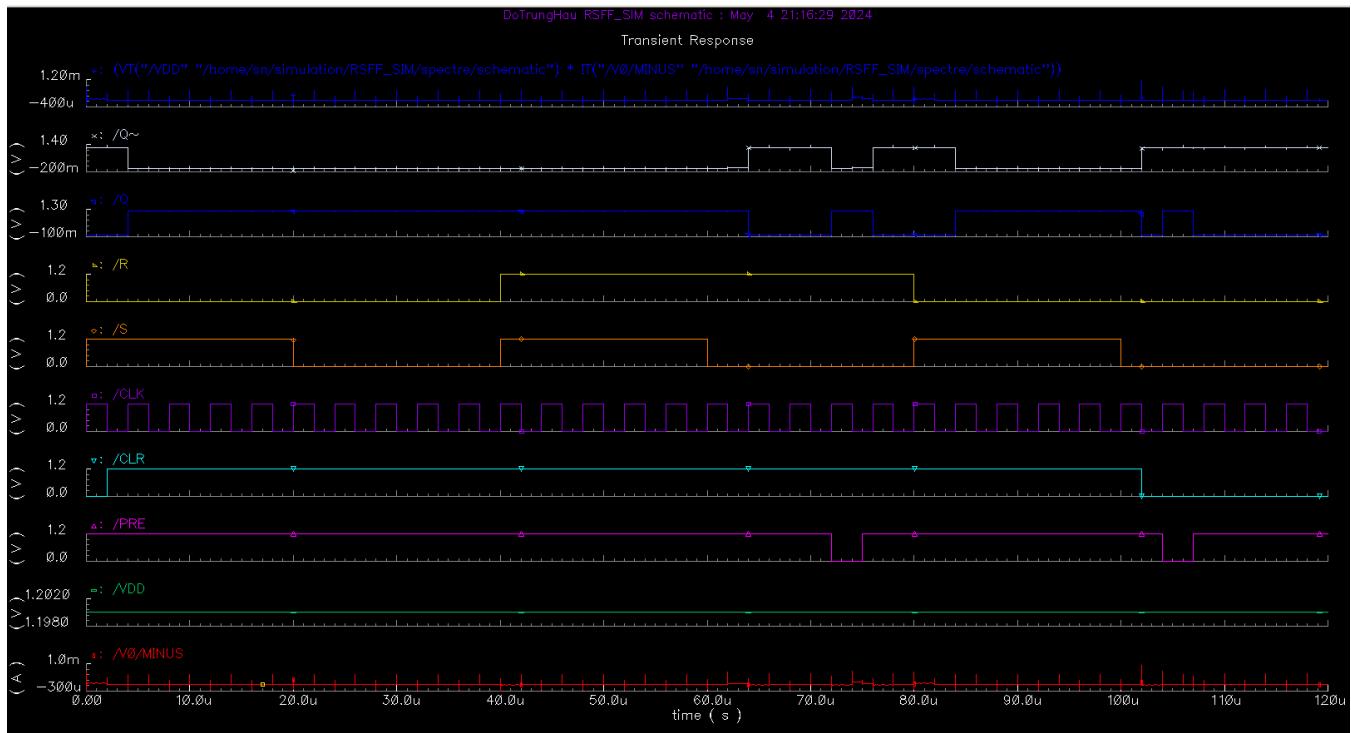
Nhận xét: Ban đầu tín hiệu CLR xuông mức thấp trong khoảng 2us, khi đó ngõ ra Q lập tức về 0 và tương ứng Q~ là 1. Từ khoảng 2us đến khoảng 72us là thời gian mà PRE=CLR=1, do đó trạng thái của ngõ ra chỉ phụ thuộc vào ngõ vào xung và ngõ vào đồng bộ S, R. Từ 2us đến 20us, SR = 10 nên ngõ ra Q = S = 1 và Q~ = 0 tương ứng cạnh lén xung CLK. Tiếp theo từ 20us – 40us là SR = 00, khi đó trạng thái trước đó của ngõ ra được giữ nguyên. Tiếp theo từ 40us – 60us là SR = 11, theo lý thuyết đây là trạng thái cấm khi Q = Q~ = 1, tuy nhiên ta chưa thấy được điều này là do trong quá trình chuyển đổi FF, các trạng thái cấm đã bị lược bỏ bớt đi so với FF RS nguyên bản. Trạng thái cấm này có thể được quan sát rõ ràng hơn ở các phần sau. Từ 60us – 80us là SR = 01 nên ngõ ra Q bằng 0, song tại thời điểm 72us có sự hiện diện của xung PRE từ cao về lại thấp, khiến cho ngõ ra Q lập tức lên 1 bất chấp các ngõ vào khác. Từ 80us – 100us, PRE = CLR = 1 nên ta xét tới SR và SR lúc này bằng 10 nên ngõ ra Q lên 1 khi có cạnh lén CLK. Từ 100us đến khoảng 103us là thời điểm PRE=CLR=0, đây là trạng thái cấm do ngõ vào bắt đồng bộ gây ra, chính vì thế ta quan sát được Q = Q~ bằng 1. Đối chiếu với bảng trạng thái, mạch hoạt động hoàn toàn chính xác. Chỉ duy nhất trạng thái cấm do ngõ vào SR gây ra thì không quan sát được rõ ràng. Do đó, nhóm sẽ thiết kế FF SR sử dụng mạch nguyên lý của chính nó.

1.3.2.4 Tính toán công suất

Công suất của toàn mạch khi đang hoạt động hay công suất động của mạch có thể được tính đơn giản bằng định luật cân bằng công suất. Tổng công suất phát bằng công suất thu, ở đây ta có thể tính công suất động của toàn mạch bằng cách tính công suất do nguồn DC cung cấp bằng công thức quen thuộc:

$$P = UI$$

Để trực quan hơn, nhóm tiến hành vẽ dạng sóng dòng điện và điện áp tương ứng, sau đó nhân từng điểm thời gian lại với nhau để thu được dạng sóng công suất tức thời như hình bên dưới. Để đánh giá được về độ lâu dài và ổn định, công suất được tính bằng công suất trung bình của mạch hoạt động trong khoảng thời gian mô phỏng. Việc tính toán được hỗ trợ bởi tính năng Calculator sẵn có trong phần mềm Cadence. Với hàm tính toán trung bình sóng (Average) sẽ cho ta giá trị độ lớn của công suất trung bình.



Hình 1.8 Dạng sóng công suất của FF RS

Thông qua dạng sóng công suất tức thời, ta có thể thấy được có những thời điểm giá trị công suất khá nhỏ, và có những điểm giá trị công suất lên cao đột ngột. Đây chính là thời điểm chuyển mạch, khi có sự thay đổi ngoã ra từ 0 lên 1 hay từ 1 về 0, đó là lúc mạch tiêu hao nhiều năng lượng nhất, do đó công suất động chủ yếu gây ra bởi hoạt động chuyển mạch trong quá trình hoạt động.

Tính toán giá trị công suất trung bình ta được kết quả như hình.

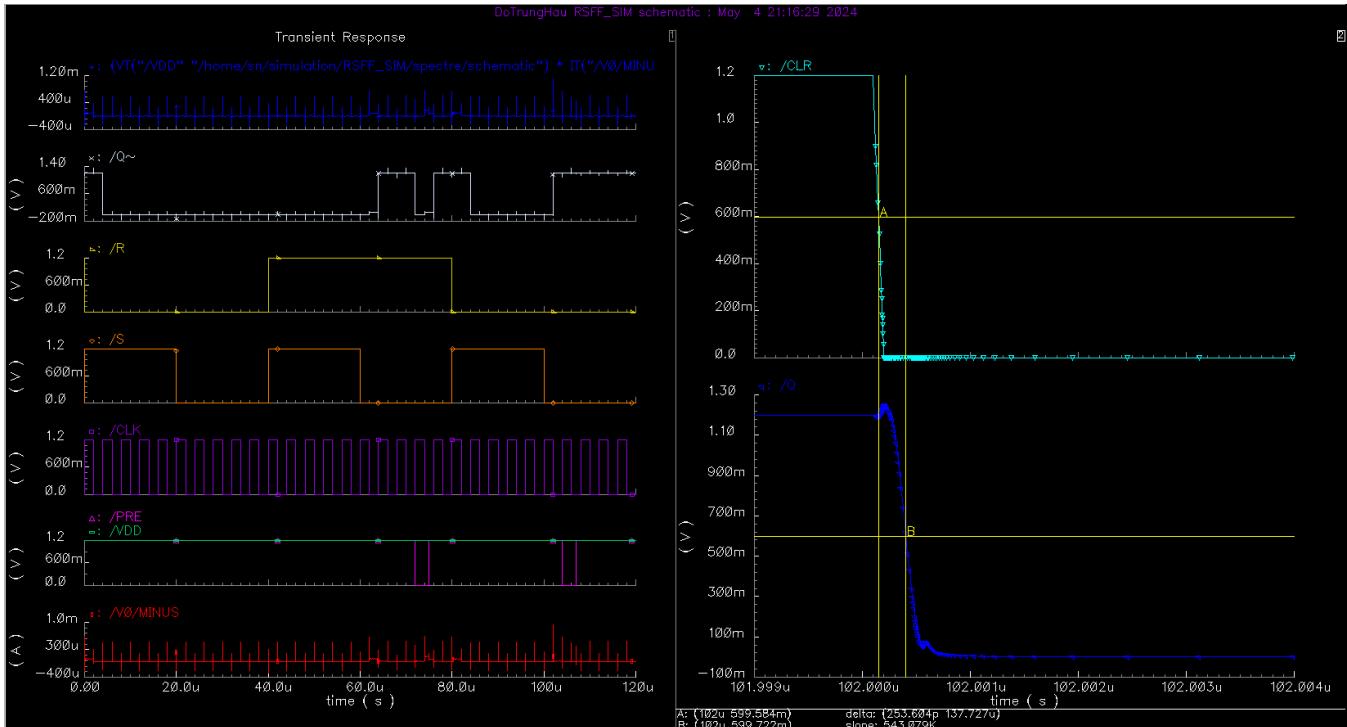


Hình 1.9 Công suất trung bình của FF SR

1.3.2.5 Tính toán độ trễ

Để tính toán được độ trễ, nhóm sẽ tính toán độ trễ giữa ngoã vào PRE, CLR so với ngõ ra, cũng như ngõ vào CLK so với ngõ ra.

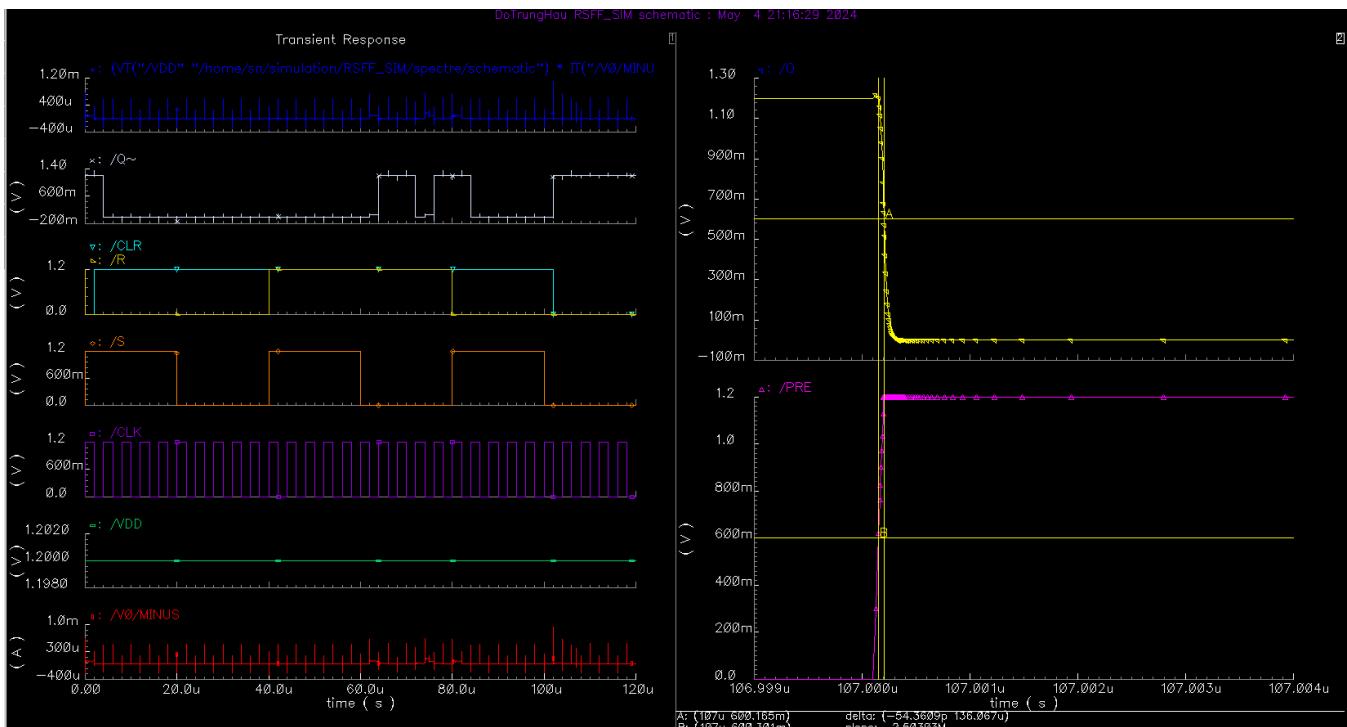
a) Độ trễ giữa CLR và Q



Hình 1.10 Độ trễ giữa ngõ vào CLR và ngõ ra Q

Thời gian kể từ khi ngõ vào CLR xuống mức 0 đến khi ngõ ra Q về mức 0 rơi vào khoảng 253.604ps.

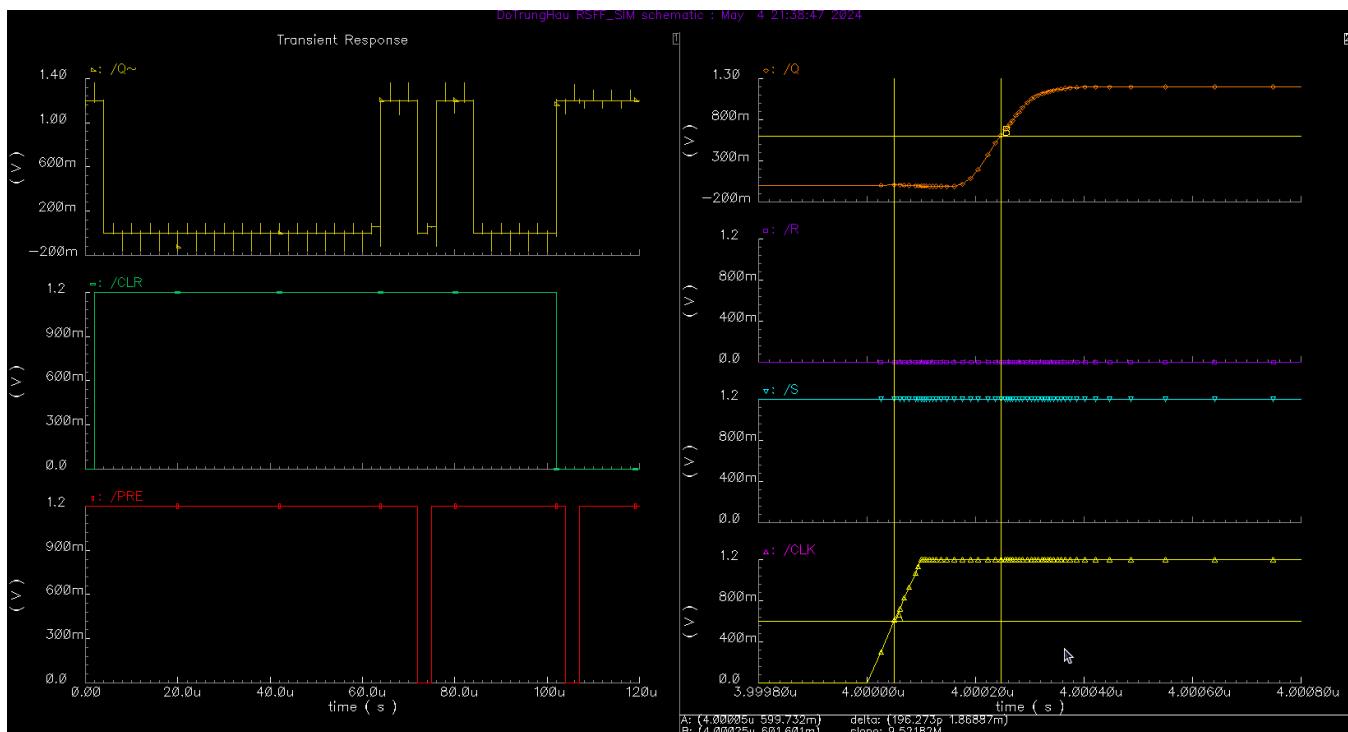
b) Độ trễ giữa PRE và Q



Hình 1.11 Độ trễ ngõ vào PRE và ngõ ra Q

Đối với ngõ vào PRE, khi PRE xuống 0 thì mất khoảng 54.3609ps sau thì ngõ ra Q mới lên 1, con số này khá là nhỏ.

c) Độ trễ giữa CLK và Q

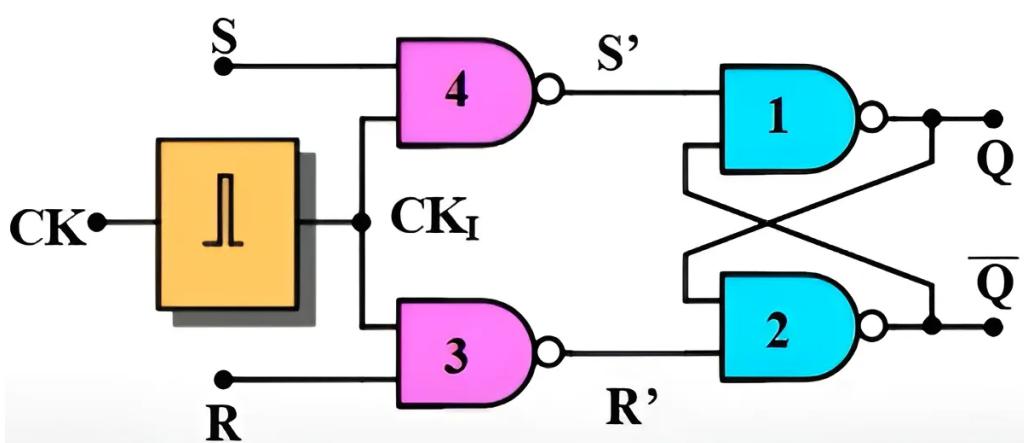


Hình 1.12 Độ trễ giữa ngõ vào CLR và ngõ ra Q

Xét trường hợp $SR = 10$, khi đó ngõ ra Q chuyển từ 0 lên 1 khi có cạnh lên của xung CLK. Như hình trên, khi CLK chuyển từ 0 lên 1 thì mất một khoảng 196.273 ps sau thì ngõ ra Q mới chuyển đổi từ 0 lên 1.

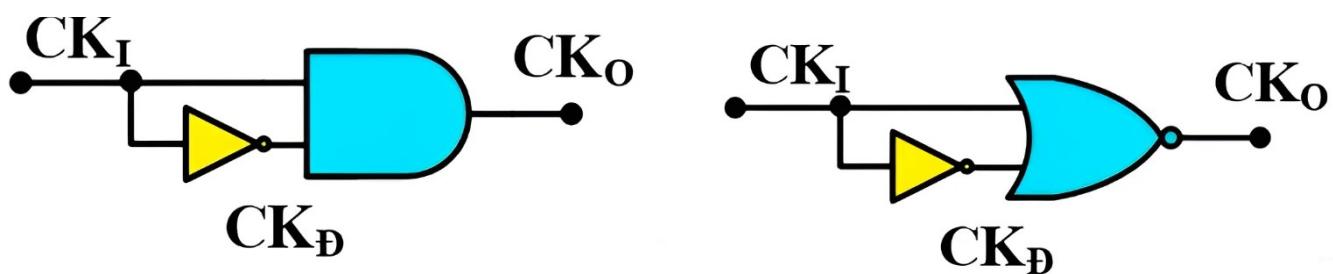
1.3.3 Mạch FF SR hoạt động với tín hiệu xung clock

Mạch điện của FF SR được tạo thành từ 4 cổng NAND như trên hình:



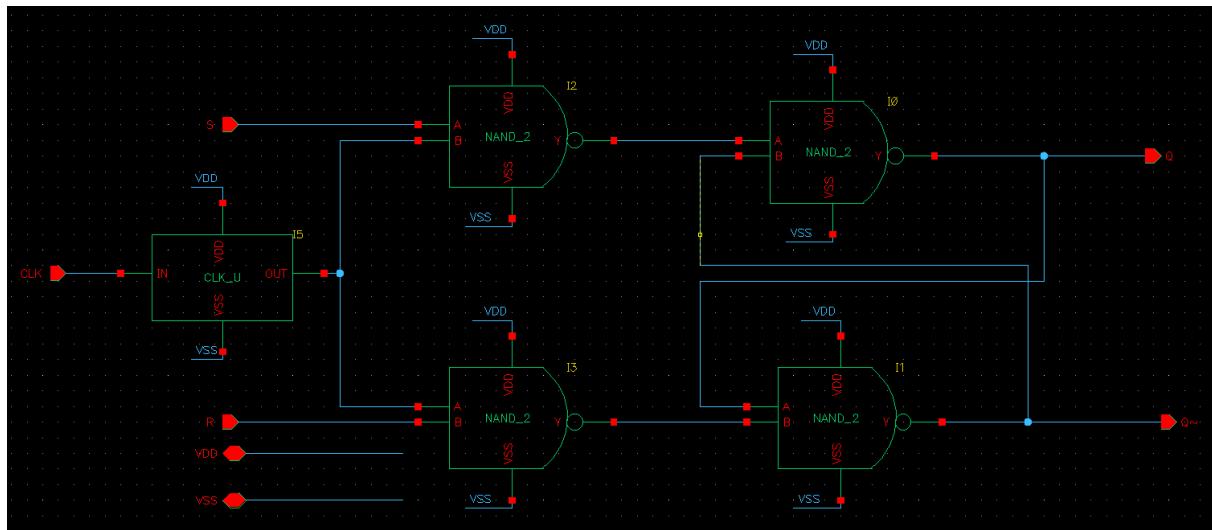
Hình 1.13 Mạch nguyên lý cơ bản của FF SR

Mạch nguyên lý này xuất phát từ mạch nguyên lý của mạch chốt SR, với tín hiệu cho phép E. Với mạch chốt, khi tín hiệu E lên mức cao, sự thay đổi của ngõ vào sẽ làm thay đổi ngõ ra. Như vậy, khi chúng ta cấp một xung clock thay cho chân cho phép E thì tại thời điểm xung CLK ở mức cao, ta sẽ không biết được rằng ngõ ra đã thay đổi trạng thái bao nhiêu lần. Điều này hoàn toàn không mong muốn đối với các mạch đồng bộ. Chính vì thế, chúng ta cần đảm bảo mỗi một xung cho ta một lần đổi trạng thái duy nhất, một trong số các ý tưởng đó chính là sự ra đời của mạch làm hẹp cạnh xung. Với mỗi chu kỳ xung CLK, mạch làm hẹp xung chỉ giữ lại một khoảng thời gian mức cao nhất định đủ để cho mạch thay đổi trạng thái một lần. Mạch làm hẹp cạnh xung lên và xuống được mô tả như hình bên dưới, nhờ vào tính chất trễ của tín hiệu sau khi đi qua một công logic tầm vài ns đến vài ns, đủ để ngõ ra thay đổi trạng thái một lần.



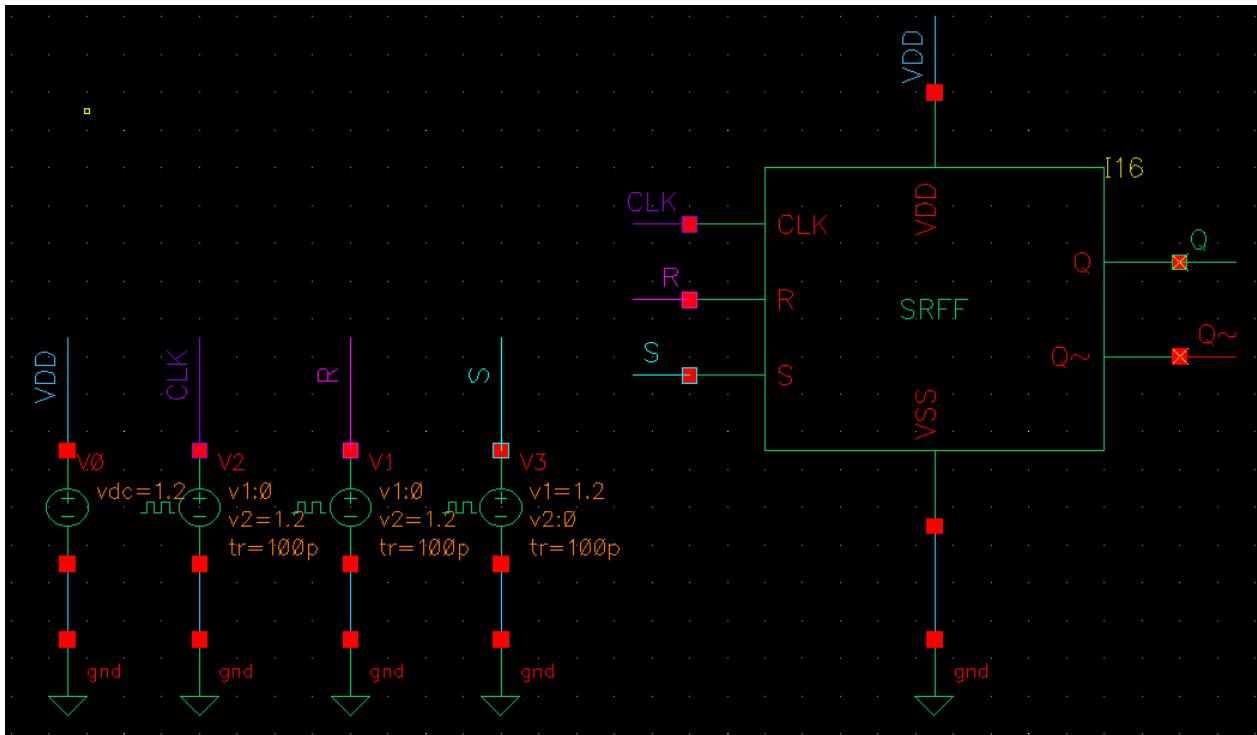
Hình 1.14 Mạch làm hẹp cạnh xung lên và xuống

Nhóm tiến hành vẽ lại mạch điện của FF SR như hình sau:



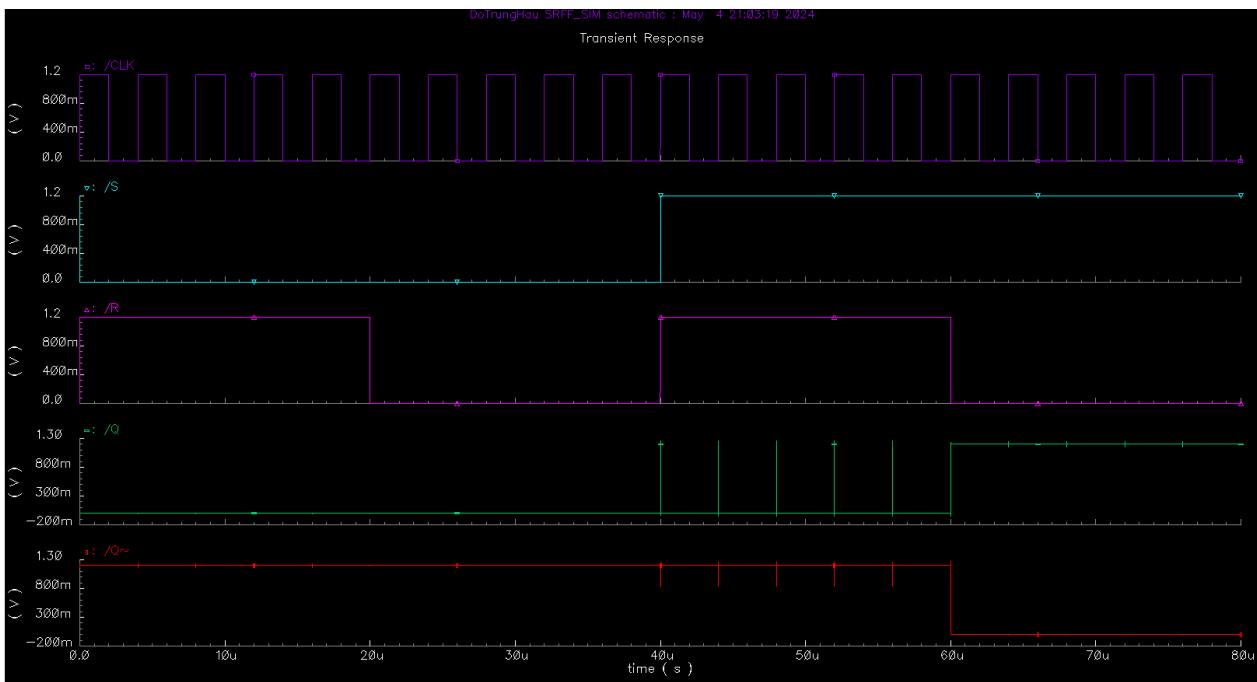
Hình 1.15 Mạch nguyên lý cơ bản của FF SR trên Cadence

Mạch kiểm tra cũng được bố trí, với các thông số nguồn xung tương tự bảng 1.1.



Hình 1.16 Mạch kiểm tra hoạt động của FF SR

Tiến hành chạy mô phỏng với thời gian 80u, ta thu được kết quả như hình.



Hình 1.17 Dạng sóng logic của FF SR với trạng thái cấm

Khi có cạnh lên xung CLK, các trạng thái ngõ ra SR khi bằng 01, 00, 10 đều cho ra kết quả đúng với bảng trạng thái, riêng với SR = 11 đây là trạng thái cấm do ngõ vào đồng bộ gây nên. Theo lý thuyết, khi ở trạng thái cấm ngõ ra Q và Q~ đều bằng 1. Đối chiếu với dạng sóng trong khoảng từ 40u đến 60u, ta nhận thấy khi có cạnh lên của xung CLK thì ngõ ra Q và Q~ đều bằng 1. Điều này hoàn toàn chính xác khi so sánh với bảng trạng thái của FF SR.

1.4 Thiết kế FF JK từ FF D

1.4.1 Chuyển đổi FF D sang FF JK

Tương tự với FF SR, FF JK cũng được chuyển đổi từ FF D thông qua bảng đầu vào kích.

Với FF D có sẵn và FF cần chuyển đổi sang là JK, ta có bảng trạng thái như sau:

Bảng 1.4 Bảng chuyển đổi FFD sang FF JK và bìa K tương ứng

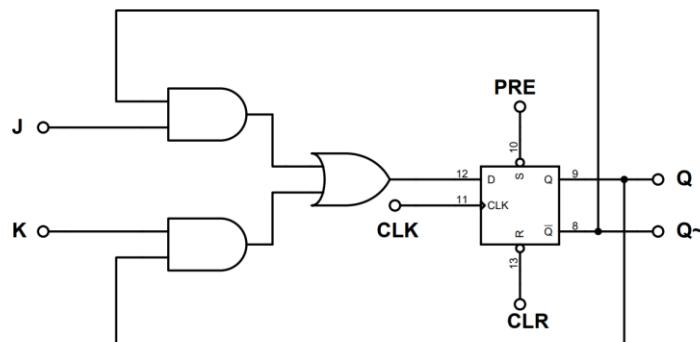
J	K	Q	D
0	X	0	0
1	X	1	1
X	1	0	0
X	0	1	1

D/JK	00	01	11	10
0	0	1	1	0
1	1	1	0	0

Sử dụng bìa Karnaugh để tối thiểu hàm với ngõ ra là D và ngõ vào là J, K và Q. Ta thu được hàm logic chuyển đổi FF tương ứng.

$$D = J\overline{Q_n} + \overline{K}Q_n$$

Từ đó, ta có mạch điện của FF JK như hình bên dưới:



Hình 1.18 Mạch nguyên lý cơ bản của FF JK

Sau khi chuyển đổi, ta có được FF JK với bảng trạng thái như sau:

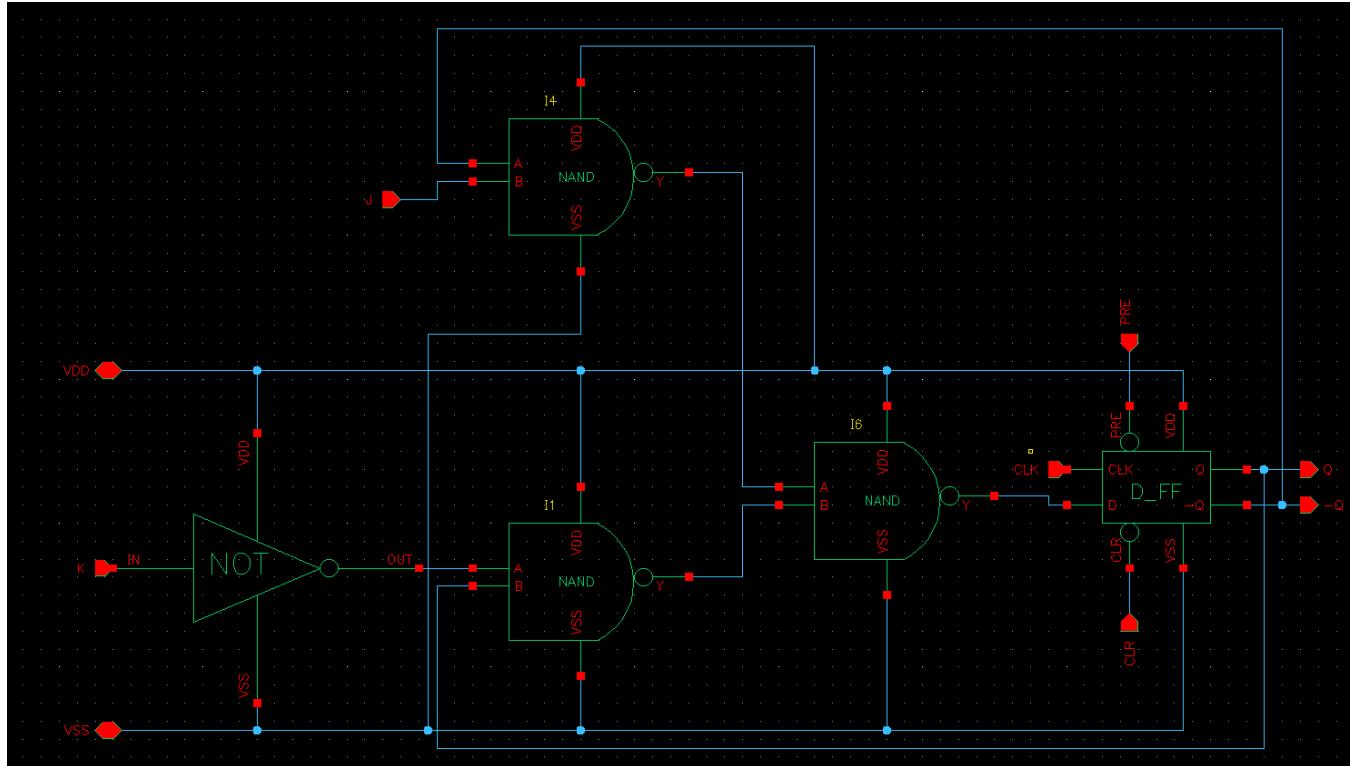
Bảng 1.5 Bảng trạng thái của FF JK

INPUT					OUTPUT		Trạng thái
PRE	CLR	CLK	J	K	Q	Q~	
0	0	X	X	X	1	1	Cầm
0	1	X	X	X	1	0	SET
1	0	X	X	X	0	1	RESET
1	1	↓	X	X	Q	Q~	Không đổi
1	1	↑	0	0	Q	Q~	Không đổi
1	1	↑	0	1	0	1	RESET
1	1	↑	1	0	1	0	SET
1	1	↑	1	1	1	1	Đảo

1.4.2 Thiết kế và phân tích

1.4.2.1 Mạch nguyên lý

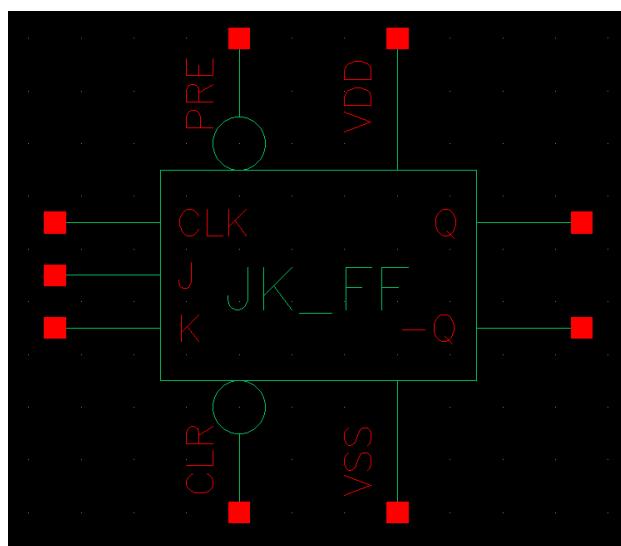
Mạch nguyên lý của FF JK được vẽ trên phần mềm Cadence như sau:



Hình 1.19 Mạch nguyên lý cơ bản của FF JK trên Cadence

1.4.2.2 Đóng gói

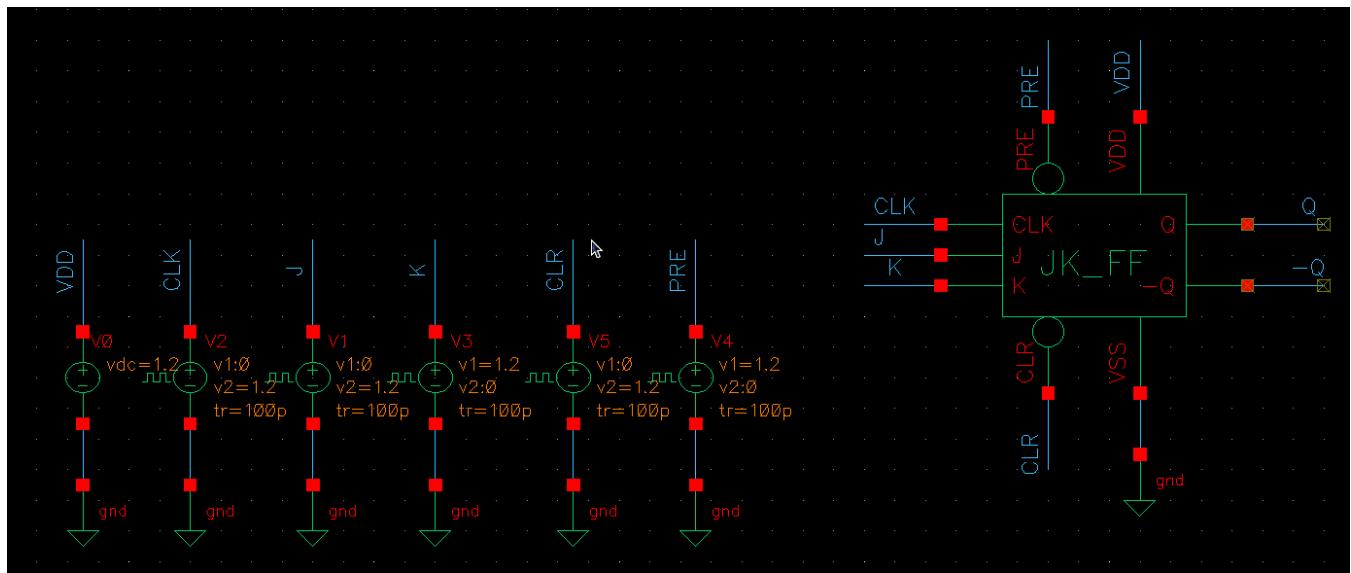
Để dễ dàng sử dụng, mạch FF SR được đóng gói như hình bên dưới, với các chân nguồn VDD, VSS, chân xung clock đồng bộ cạnh lẻ CLK, ngõ vào đồng bộ J, K, ngõ vào bát đồng bộ PRE, CLR tích cực mức thấp và các ngõ ra Q và Q~.



Hình 1.20 Đóng gói FF JK

1.3.2.3 Dạng sóng logic

Để tiến hành mô phỏng dạng sóng của mạch, ta sẽ thiết lập một mạch điện với các nguồn xung đầu vào là xung vuông để kiểm tra hoạt động logic của toàn mạch so với bảng trạng thái. Mạch kiểm tra được bố trí như hình bên.



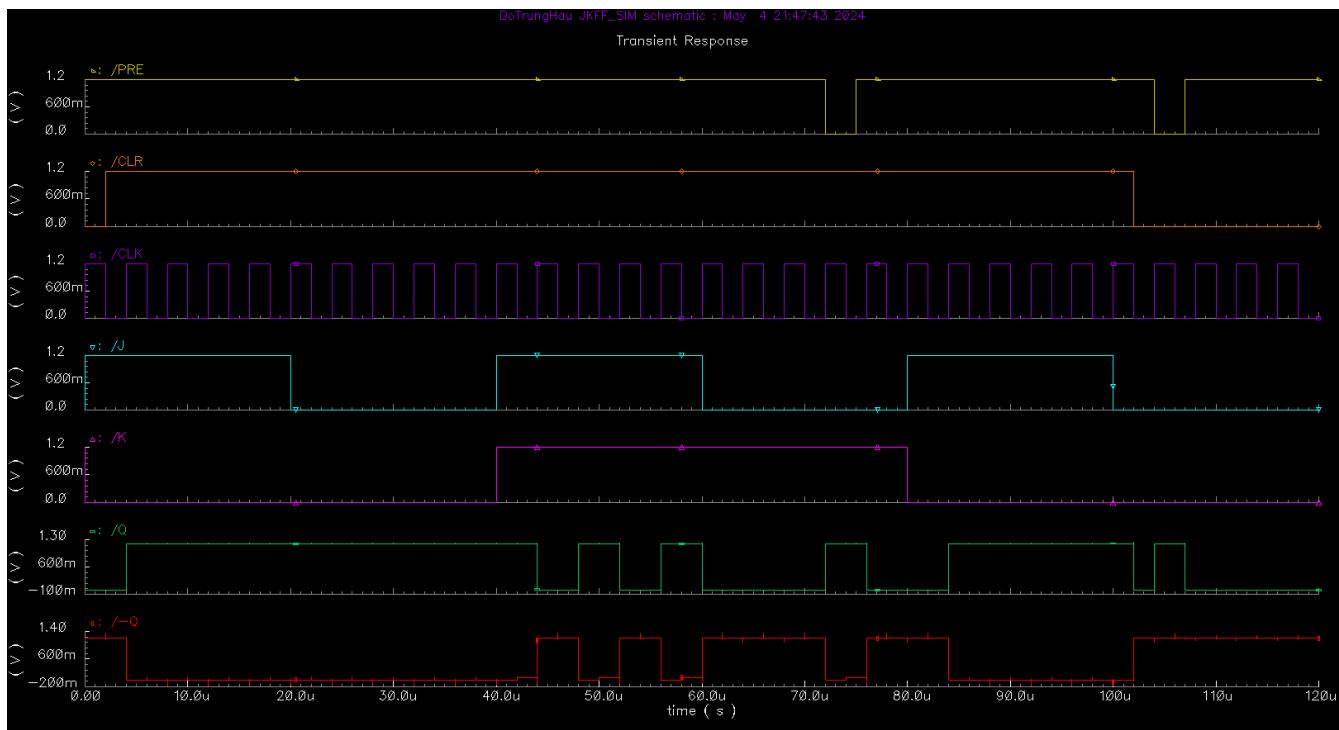
Hình 1.21 Mạch kiểm tra hoạt động của FF JK

Các nguồn xung được thiết lập thông số như sau, theo thứ tự CLK – J – K – CLR – PRE.

Bảng 1.6 Thông số các nguồn xung cho mạch kiểm tra FF JK

	V1	V2	Delay	Rise time	Fall time	Pulse width	Period
CLK	0	1.2	0	100p	100p	2u	4u
J	0	1.2	0	100p	100p	20u	40u
K	1.2	0	0	100p	100p	40u	80u
CLR	0	1.2	2u	100p	100p	100u	118u
PRE	1.2	0	72u	100p	100p	3u	32u

Tiến hành mở hộp thoại Analog Environment, cài đặt các thư viện, xác định thời gian mô phỏng là 120u, phân tích tức thời ta thu được dạng sóng như sau.



Hình 1.22 Dạng sóng logic của FF JK

Nhận xét: Ban đầu tín hiệu CLR xuống mức thấp trong khoảng 2us, khi đó ngõ ra Q lập tức về 0 và tương ứng Q~ là 1. Từ khoảng 2us đến khoảng 72us là thời gian mà PRE=CLR=1, do đó trạng thái của ngõ ra chỉ phụ thuộc vào ngõ vào xung và ngõ vào đồng bộ J, K. Từ 2us đến 20us, JK = 10 nên ngõ ra Q = J = 1 và Q~ = 0 tương ứng cạnh lên xung CLK. Tiếp theo từ 20us – 40us là JK = 00, khi đó trạng thái trước đó của ngõ ra được giữ nguyên. Tiếp theo từ 40us – 60us là JK = 11, theo lý thuyết đây là trạng thái đảo, để thấy mỗi khi có cạnh lên xung CLK thì trạng thái ngõ ra hiện tại bằng đảo trạng thái ngõ ra trước đó. Từ 60us – 80us là JK = 01 nên ngõ ra Q bằng 0, song tại thời điểm 72us có sự hiện diện của xung PRE từ cao về lại thấp, khiến cho ngõ ra Q lập tức lên 1 bắt cháp các ngõ vào khác. Từ 80us – 100us, PRE = CLR = 1 nên ta xét tới JK và JK lúc này bằng 10 nên ngõ ra Q lên 1 khi có cạnh lên CLK. Từ 100us đến khoảng 103us là thời điểm PRE=CLR=0, đây là trạng thái cấm do ngõ vào bắt đồng bộ gây ra, chính vì thế ta quan sát được Q = Q~ bằng 1. Đối chiếu với bảng trạng thái, mạch hoạt động hoàn toàn chính xác.

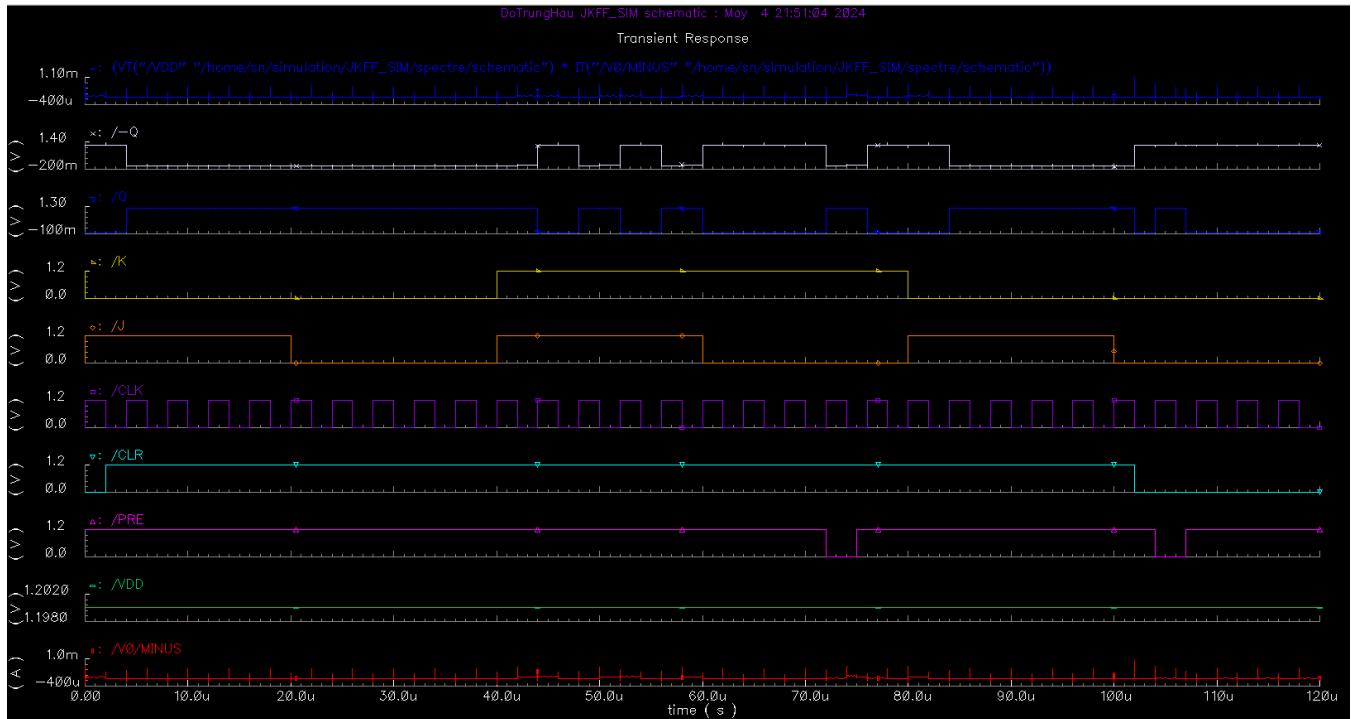
1.3.2.4 Tính toán công suất

Công suất của toàn mạch khi đang hoạt động hay công suất động của mạch có thể được tính đơn giản bằng định luật cân bằng công suất. Tổng công suất phát bằng công suất thu, ở đây ta có thể tính công suất động của toàn mạch bằng cách tính công suất do nguồn DC cung cấp bằng công thức quen thuộc:

$$P = UI$$

Để trực quan hơn, nhóm tiến hành vẽ dạng sóng dòng điện và điện áp tương ứng, sau đó nhân từng điểm thời gian lại với nhau để thu được dạng sóng công suất tức thời như hình bên dưới. Để

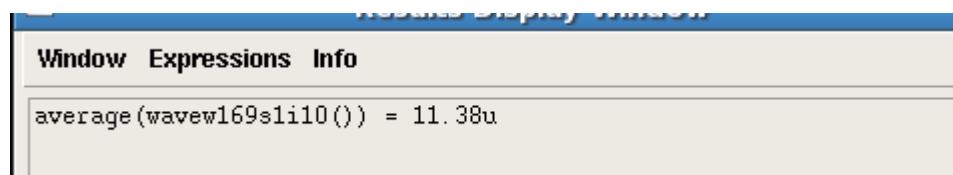
đánh giá được về độ lâu dài và ổn định, công suất được tính bằng công suất trung bình của mạch hoạt động trong khoảng thời gian mô phỏng. Việc tính toán được hỗ trợ bởi tính năng Calculator sẵn có trong phần mềm Cadence. Với hàm tính toán trung bình sóng (Average) sẽ cho ta giá trị độ lớn của công suất trung bình.



Hình 1.23 Dạng sóng công suất của FF JK

Thông qua dạng sóng công suất tức thời, ta có thể thấy được có những thời điểm giá trị công suất khá nhỏ, và có những điểm giá trị công suất lên cao đột ngột. Đây chính là thời điểm chuyển mạch, khi có sự thay đổi ngõ ra từ 0 lên 1 hay từ 1 về 0, đó là lúc mạch tiêu hao nhiều năng lượng nhất, do đó công suất động chủ yếu gây ra bởi hoạt động chuyển mạch trong quá trình hoạt động.

Tính toán giá trị công suất trung bình ta được kết quả như hình.

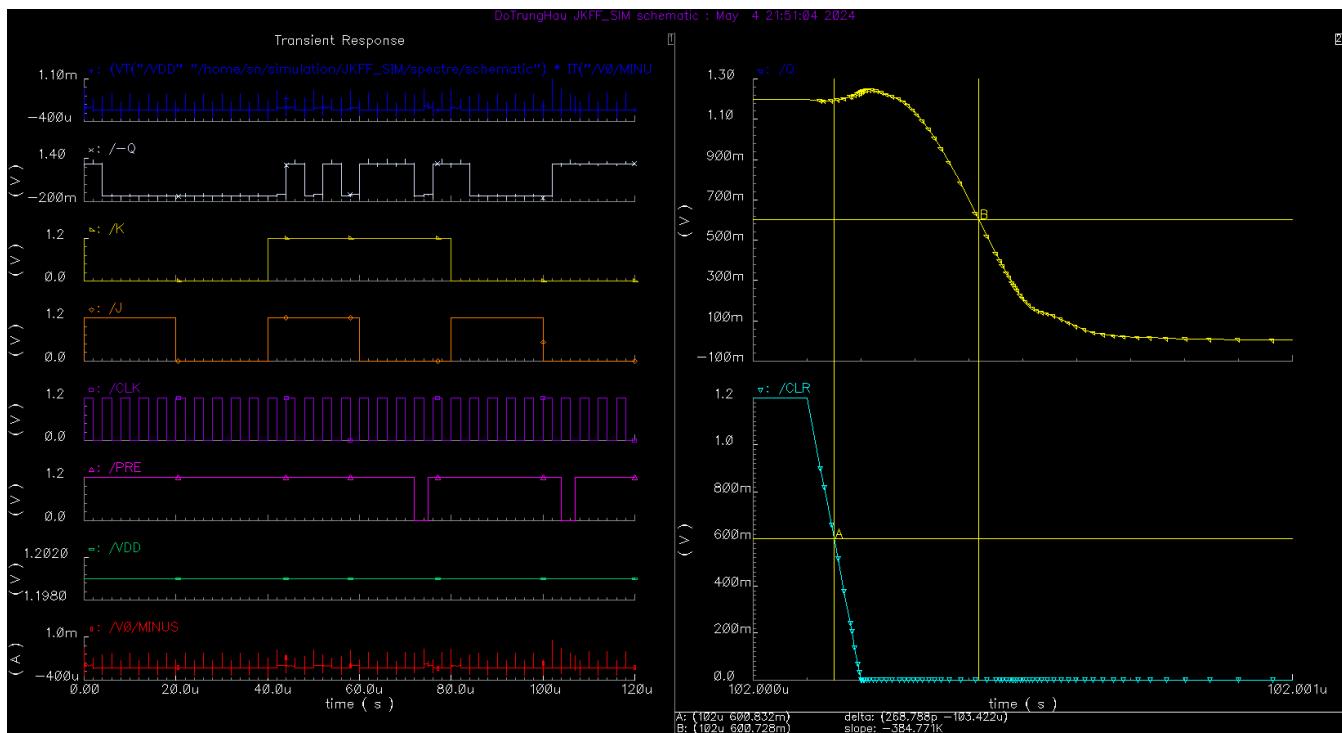


Hình 1.24 Công suất trung bình của FF JK

1.3.2.5 Tính toán độ trễ

Để tính toán được độ trễ, nhóm sẽ tính toán độ trễ giữa ngõ vào PRE, CLR so với ngõ ra, cũng như ngõ vào CLK so với ngõ ra.

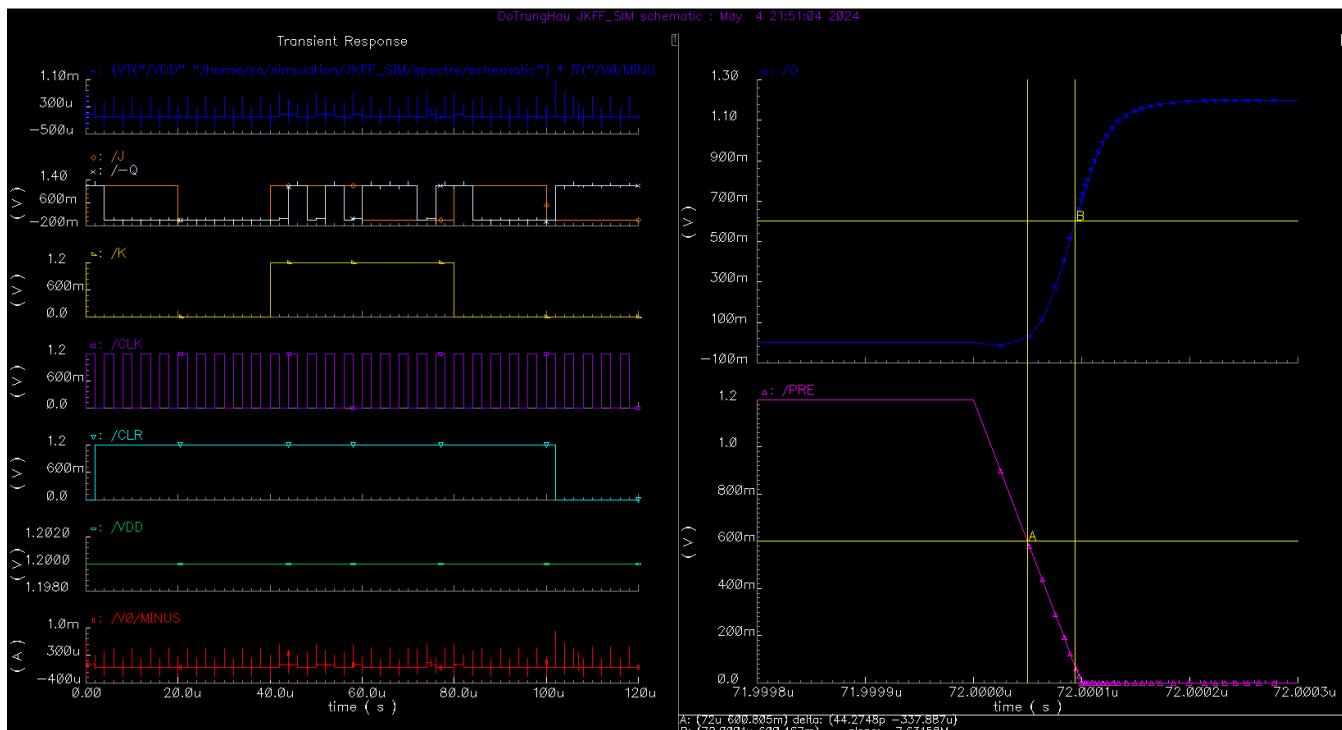
a) Độ trễ giữa CLR và Q



Hình 1.25 Độ trễ giữa ngõ vào CLR và ngõ ra Q

Thời gian kể từ khi ngõ vào CLR xuống mức 0 đến khi ngõ ra Q về mức 0 rơi vào khoảng 268.788ps.

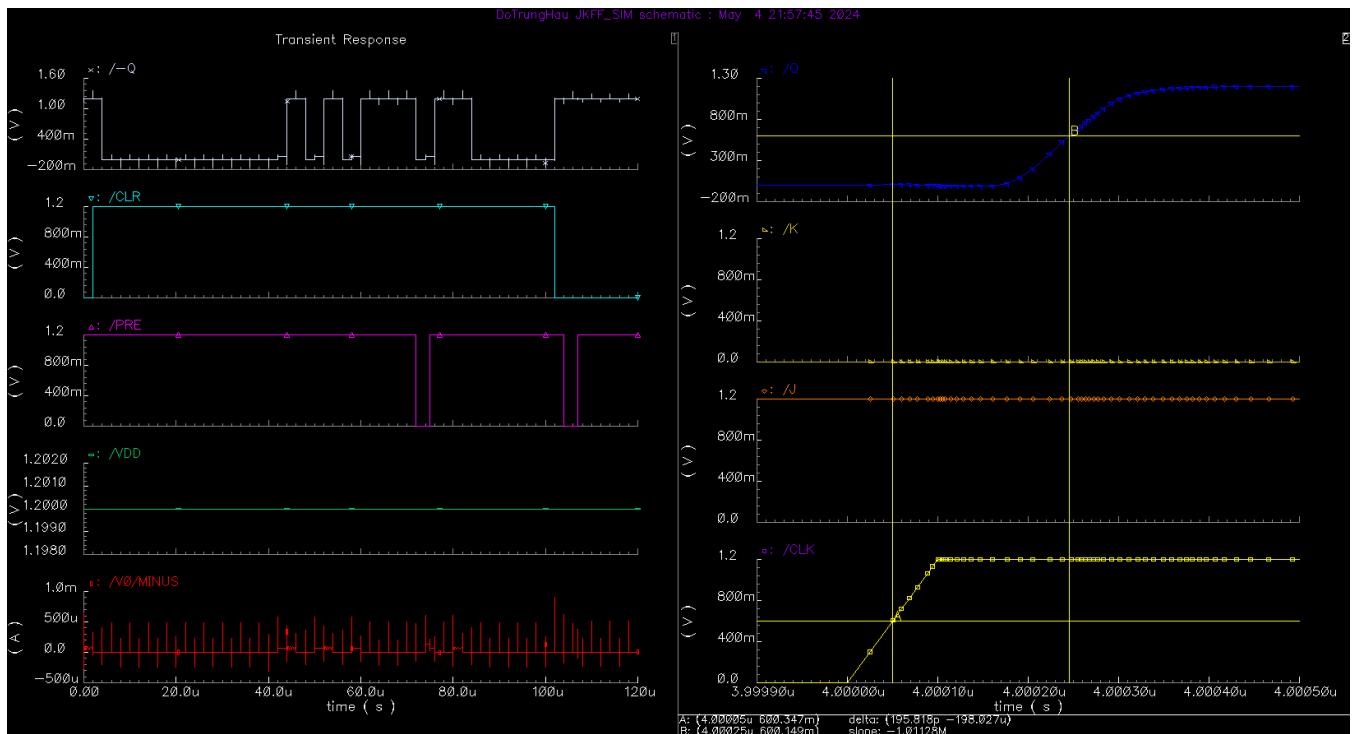
b) Độ trễ giữa PRE và Q



Hình 1.26 Độ trễ giữa ngõ vào PRE và ngõ ra Q

Đối với ngõ vào PRE, khi PRE xuống 0 thì mất khoảng 44.2748ps sau thì ngõ ra Q mới lên 1, con số này khá là nhỏ.

c) Độ trễ giữa CLK và Q



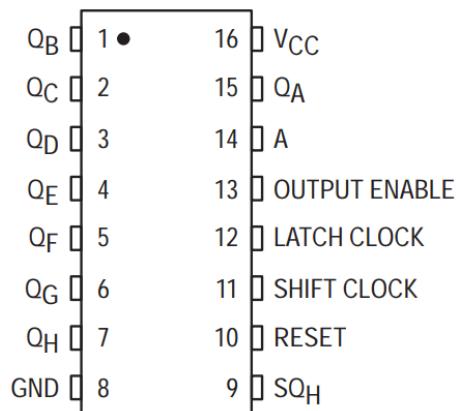
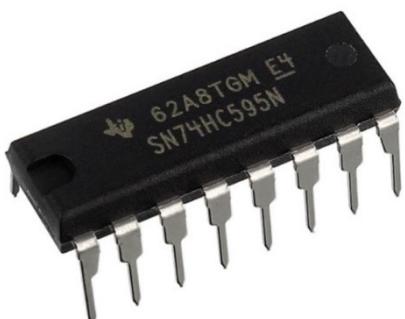
Hình 1.27 Độ trễ giữa ngõ vào CLK và ngõ ra Q

Xét trường hợp $JK = 10$, khi đó ngõ ra Q chuyển từ 0 lên 1 khi có cạnh lên của xung CLK. Như hình trên, khi CLK chuyển từ 0 lên 1 thì mất một khoảng 195.818ps sau thì ngõ ra Q mới chuyển đổi từ 0 lên 1.

BÀI TẬP 2: THIẾT KẾ THANH GHI DỊCH 74HC595

2.1 Giới thiệu về IC 74HC595

IC 74HC595 là thanh ghi dịch 8 bit, với ngõ vào dữ liệu nối tiếp và ngõ ra song song/nối tiếp. 74HC595 bao gồm hai thanh ghi tích hợp: một thanh ghi dịch và một thanh ghi lưu trữ. Dữ liệu được truyền nối tiếp để thay đổi từng bit thanh ghi. Nhưng nó chỉ chuyển vào thanh ghi lưu trữ khi chân chốt dữ liệu được kích ở mức cao. Hình dạng thực tế và sơ đồ chân của IC74HC595 như hình bên dưới.



Hình 2.1 Hình dạng thực tế IC74HC595 và sơ đồ chân

Bảng 2.1 Chức năng các chân cho IC74HC595

STT	Tên	Mô tả
1, 2, 3, 4, 5, 6, 7	Chân output (Q1 đến Q7)	Các chân dữ liệu ngõ ra.
8	GND	Nối đất
9	(Q7') Serial Output	Chân ghép tầng
10	(MR) Master Reset	Reset tất cả các đầu ra ở mức thấp.
11	(SH_CP) Clock	Ngõ vào xung clock cho tầng thanh ghi dịch.
12	(ST_CP) Latch	Xung latch cho tầng thanh ghi lưu trữ
13	(OE) Output Enable	Chân cho phép ngõ ra
14	(DS) Serial Data	Dữ liệu vào nối tiếp.
15	(Q0) Output	Chân ngõ ra đầu tiên.
16	Vcc	Nguồn cung cấp.

Bảng trạng thái của thanh ghi dịch 74HC595 được trình bày như sau.

Operation	Inputs					Resulting Function			
	Reset	Serial Input A	Shift Clock	Latch Clock	Output Enable	Shift Register Contents	Latch Register Contents	Serial Output SQH	Parallel Outputs QA – QH
Reset shift register	L	X	X	L, H, ↓	L	L	U	L	U
Shift data into shift register	H	D	↑	L, H, ↓	L	D SR _A ; SR _N SR _{N+1}	U	SR _G SR _H	U
Shift register remains unchanged	H	X	L, H, ↓	L, H, ↓	L	U	U	U	U
Transfer shift register contents to latch register	H	X	L, H, ↓	↑	L	U	SR _N LR _N	U	SR _N
Latch register remains unchanged	X	X	X	L, H, ↓	L	*	U	*	U
Enable parallel outputs	X	X	X	X	L	*	**	*	Enabled
Force outputs into high impedance state	X	X	X	X	H	*	**	*	Z

SR = shift register contents
LR = latch register contents

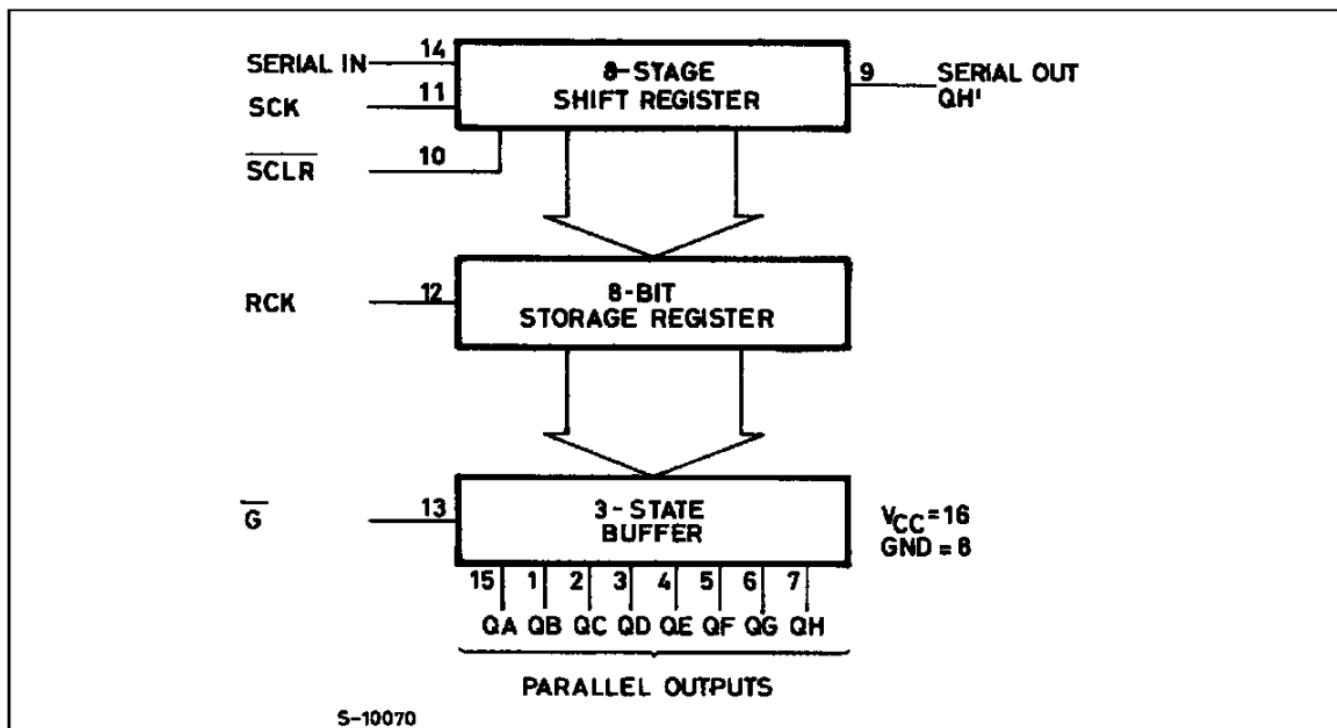
D = data (L, H) logic level
U = remains unchanged

↑ = Low-to-High
↓ = High-to-Low

* = depends on Reset and Shift Clock inputs
** = depends on Latch Clock input

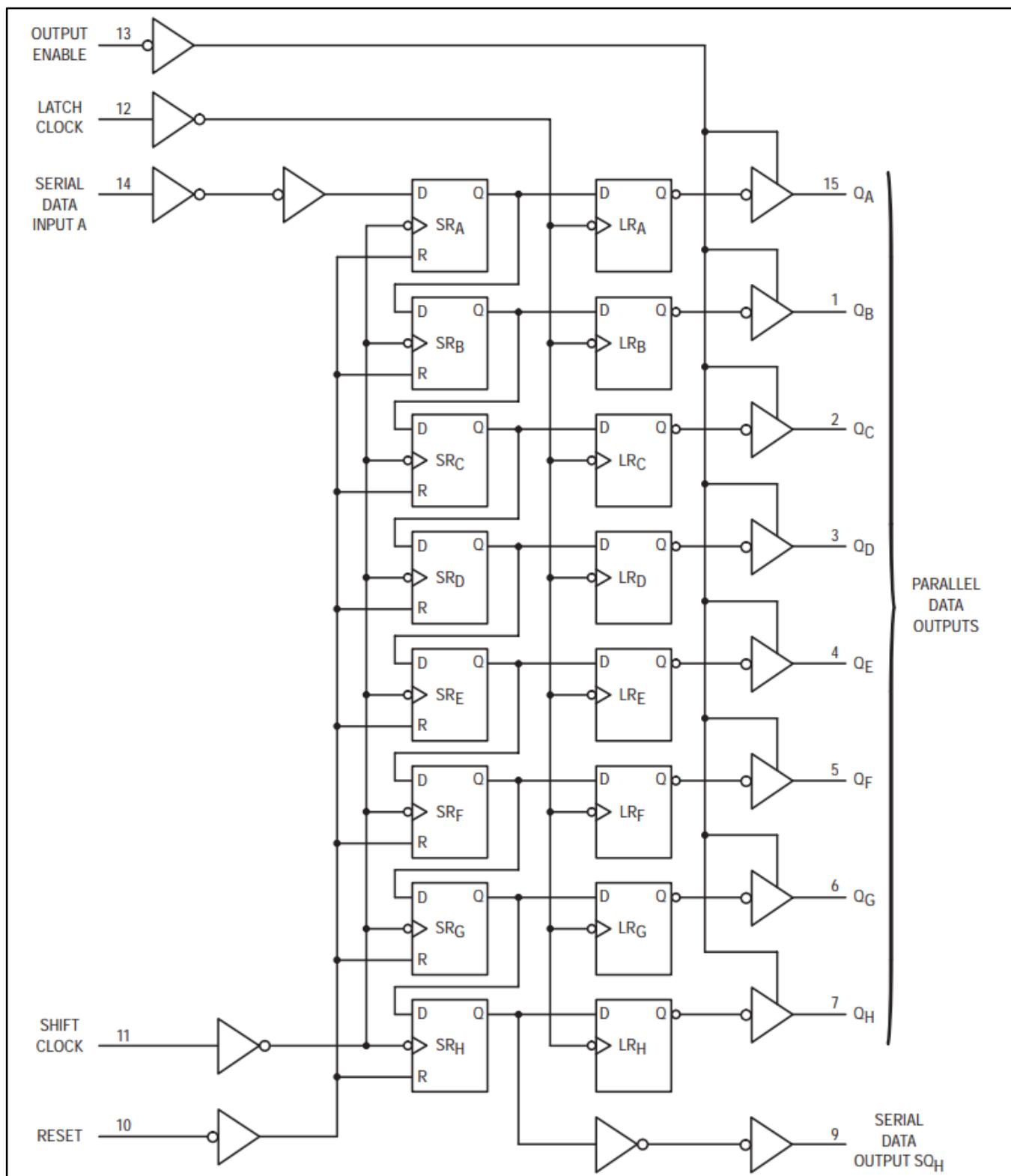
Hình 2.2 Bảng trạng thái của IC74HC595

Sơ đồ khối của IC74HC595 được mô tả như hình bên:



Hình 2.3 Sơ đồ khối của IC74HC595

Mạch nguyên lý của 74HC595 được mô tả như hình bên dưới.



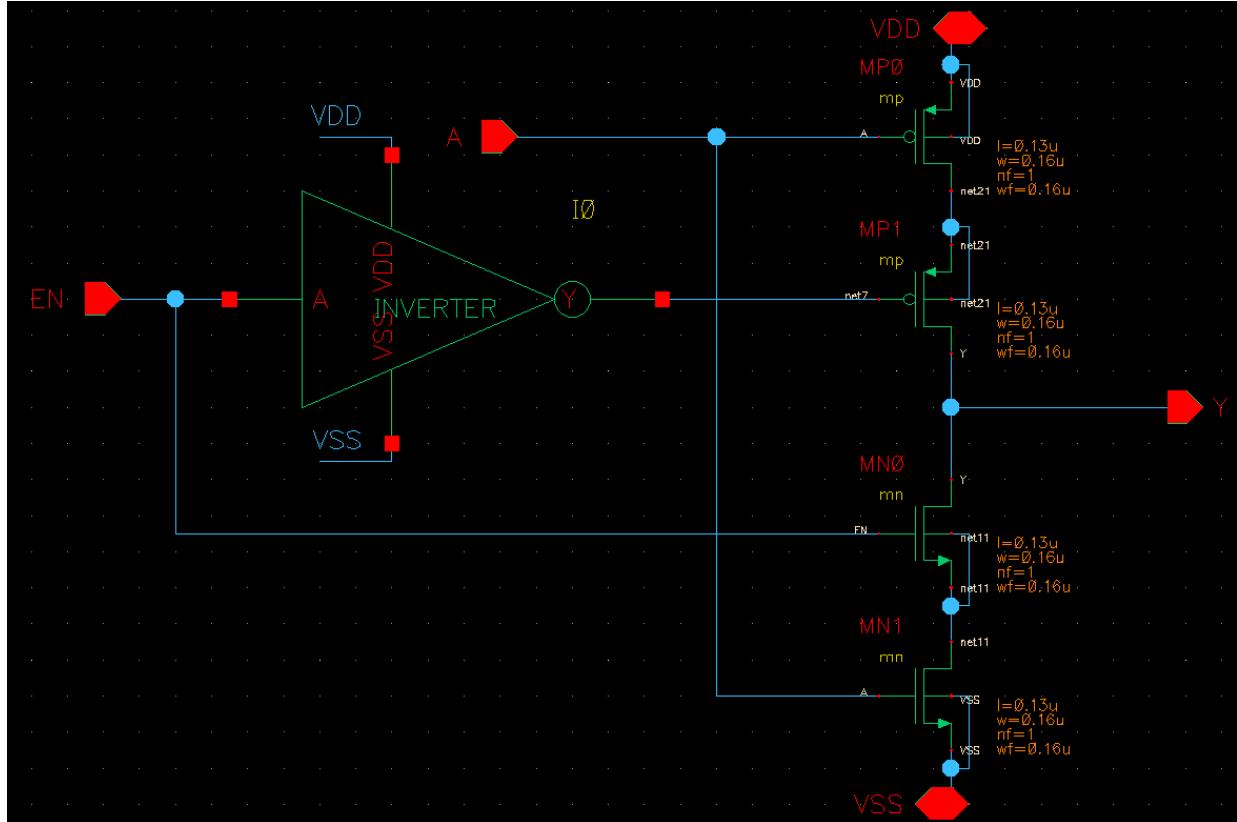
Hình 2.4 Sơ đồ nguyên lý của IC74HC595

2.2 Thiết kế và phân tích

2.2.1 Mạch nguyên lý

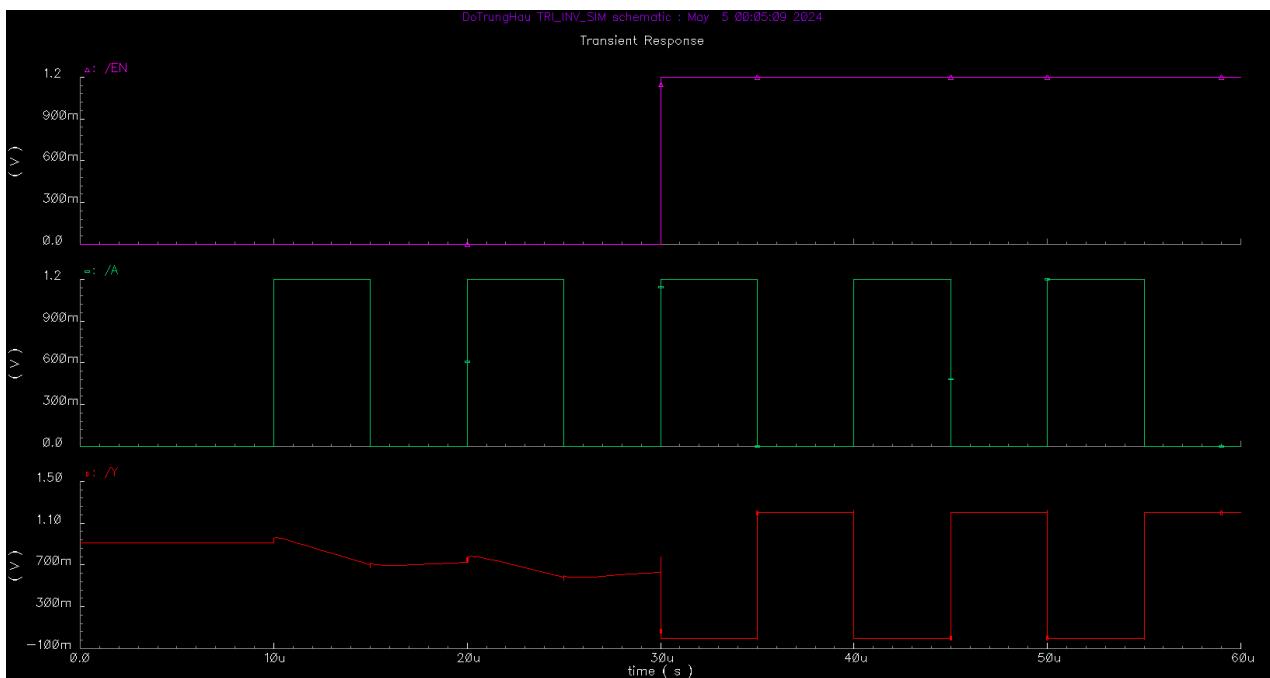
a) Bộ đếm đảo 3 trạng thái

Với bộ đếm đảo 3 trạng thái, ta có mạch nguyên lý như hình.



Hình 2.5 Mạch nguyên lý của bộ đếm đảo 3 trạng thái

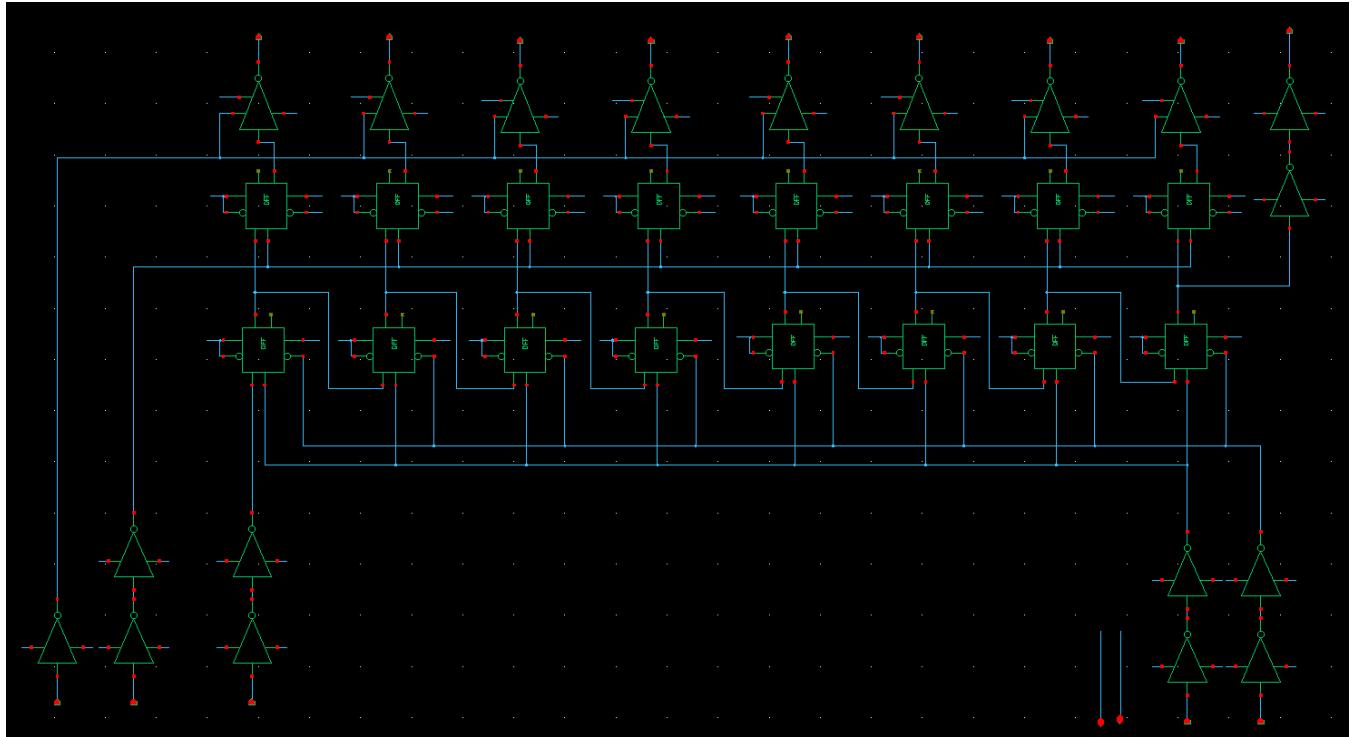
Dạng sóng của bộ đếm được mô tả như sau:



Hình 2.6 Dạng sóng logic của bộ đếm đảo 3 trạng thái

b) Thanh ghi dịch 74HC595

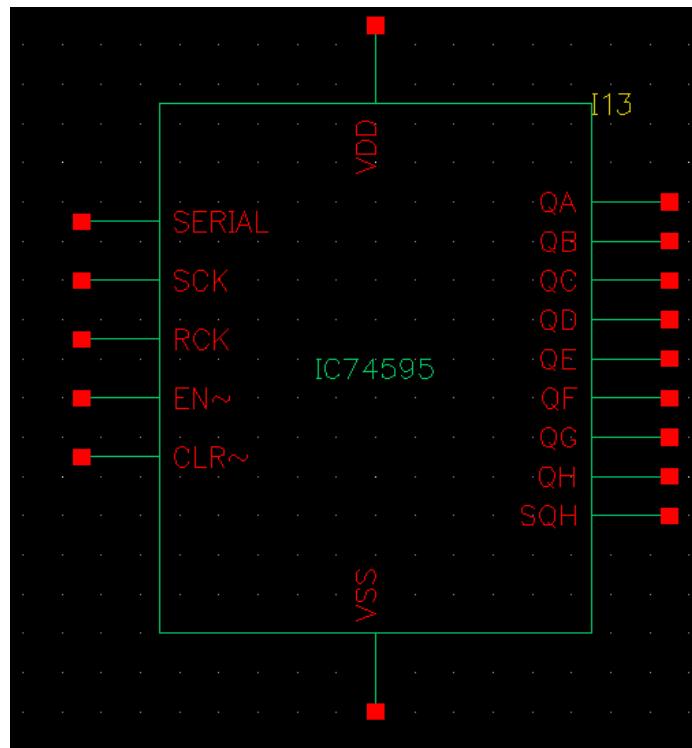
Mạch nguyên lý của IC 74HC595 được vẽ trên phần mềm Cadence như sau:



Hình 2.7 Mạch nguyên lý của IC74HC595

2.2.2 Đóng gói

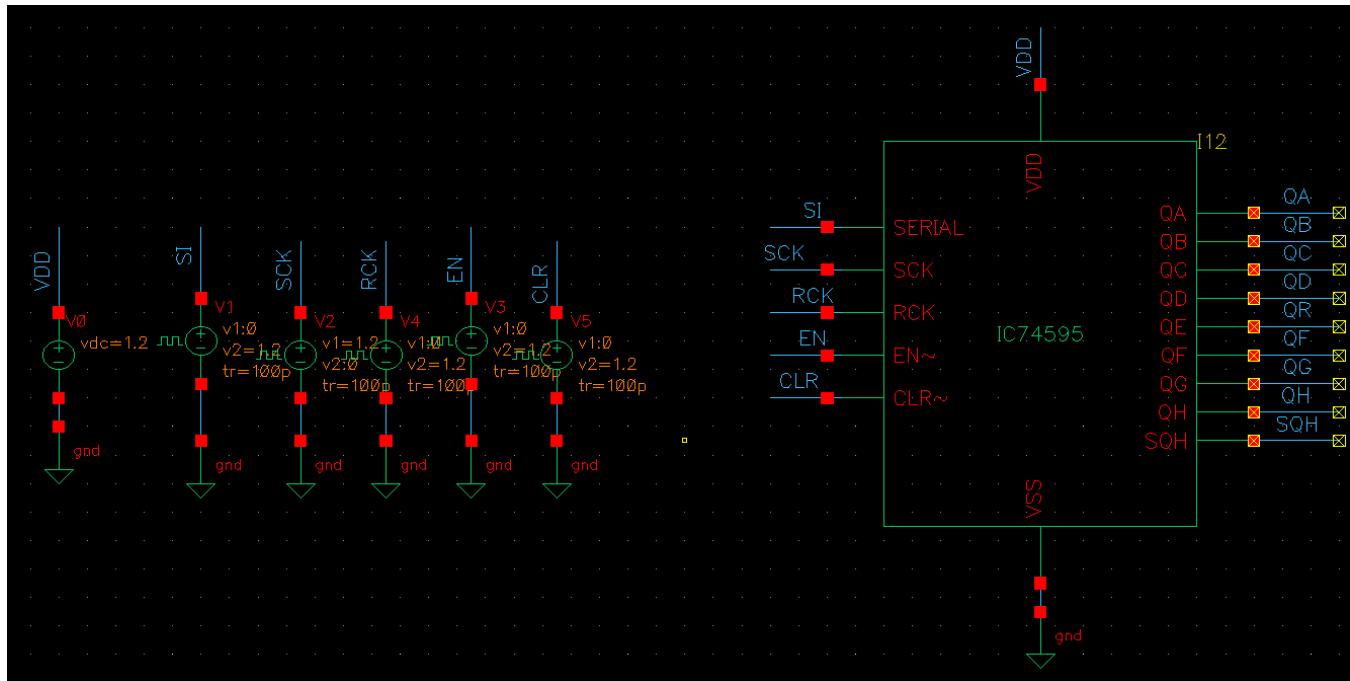
Để dễ dàng sử dụng, mạch IC74HC595 được đóng gói như hình bên dưới:



Hình 2.8 Đóng gói IC74HC595

2.2.3 Dạng sóng logic

Để tiến hành mô phỏng dạng sóng của mạch, ta sẽ thiết lập một mạch điện với các nguồn xung đầu vào là xung vuông để kiểm tra hoạt động logic của toàn mạch so với bảng trạng thái. Mạch kiểm tra được bố trí như hình bên.



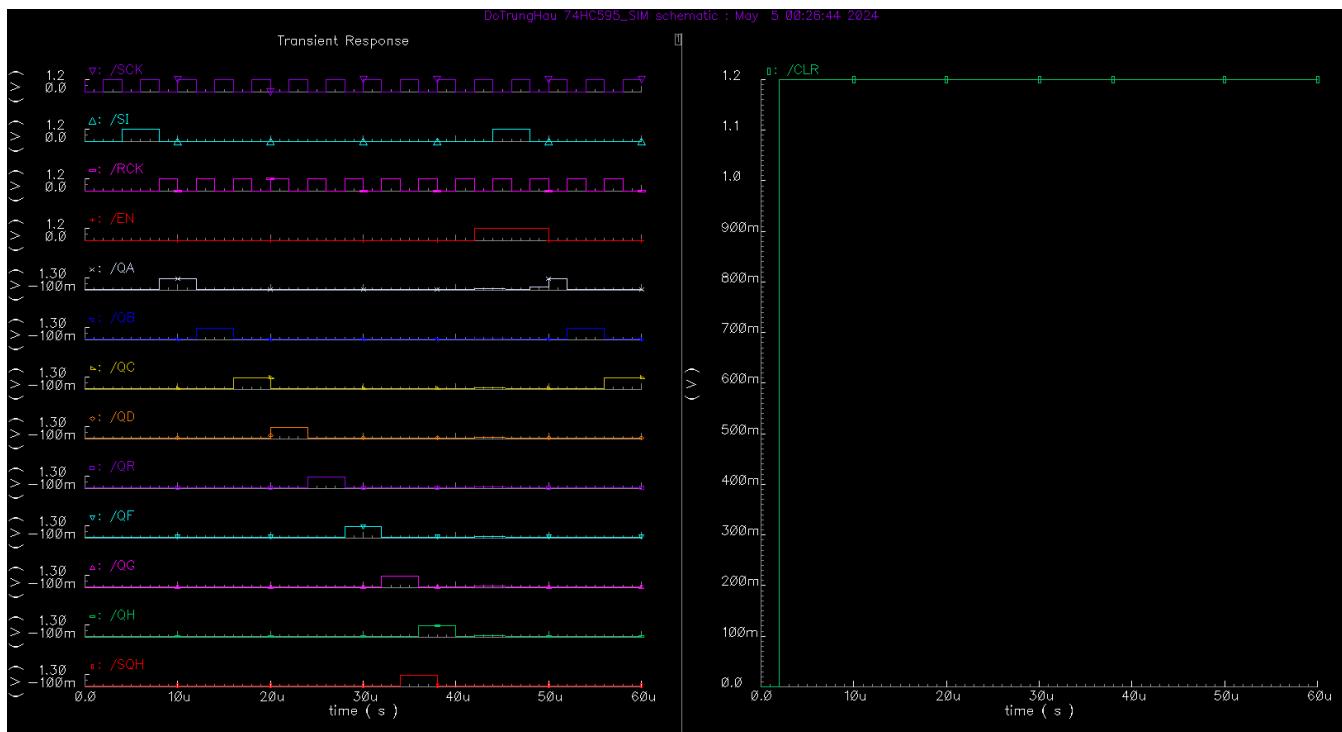
Hình 2.9 Mạch kiểm tra hoạt động của IC74HC595

Các nguồn xung được thiết lập thông số như sau, theo thứ tự SI – SCK – RCK – EN - CLR.

Bảng 2.3 Thông số nguồn xung cho mạch kiểm tra IC74HC595

	V1	V2	Delay	Rise time	Fall time	Pulse width	Period
SI	0	1.2	4u	100p	100p	4u	40u
SCK	1.2	0	0	100p	100p	2u	4u
RCK	0	1.2	8u	100p	100p	2u	4u
EN	0	1.2	42u	100p	100p	8u	18u
CLR	0	1.2	2u	100p	100p	58u	0

Tiến hành mở hộp thoại Analog Environment, cài đặt các thư viện, xác định thời gian mô phỏng là 60u, phân tích tức thời ta thu được dạng sóng như sau.



Hình 2.10 Dạng sóng logic của IC74HC595

Nhận xét: Ban đầu tín hiệu CLR xuống mức thấp trong khoảng 2us, khi đó các ngõ ra của tầng thanh ghi dịch lập tức về 0, tuy nhiên vào thời điểm này tín hiệu RCK không xuất hiện cạnh lên nên dữ liệu không được đẩy ra bên ngoài, do đó trạng thái của các ngõ ra Q không thể biết được rõ mức logic là 1 hay 0, nhưng ngõ ra SQH sẽ bằng 0 do nó liên quan đến ngõ ra của tầng thanh ghi dịch. Sau đó tín hiệu CLR lên 1 trở lại, nên sẽ không có trạng thái RESET nữa. Vào thời điểm 4us, ngõ vào SERIAL bắt đầu lên 1, cho đến khi có cạnh lên của xung SCK thì vẫn chưa có sự thay đổi ở ngõ ra do chưa có tín hiệu RCK. Trong khoảng thời gian từ 0 đến 42us, tín hiệu EN luôn bằng 0 nên ngõ ra luôn được cho phép. Cho đến thời điểm 8us, tín hiệu RCK chuyển đổi trạng thái từ 0 lên 1 nên 8 bit 10000000 sẽ được đẩy ra ngoài ngõ ra. Sau 8 xung cạnh lên RCK, bit 1 lần lượt dịch từ ngõ ra QA đến QH. Đối với xung SCK, khi đến xung thứ 8, ngõ ra SQH của tầng thanh ghi dịch cũng lên 1. Đến xung thứ 9 của SCK ngõ ra SQH trở về lại 0 do ngõ vào SI vẫn duy trì mức logic 0, đối với xung RCK cũng vậy, đến xung thứ 9 các ngõ ra Q cũng xóa về lại 0. Thời điểm từ 42us đến 50us, tín hiệu EN lên 1, lúc này ngõ ra bộ đệm ở trạng thái trở kháng cao do đó các ngõ Q lúc này không xác định được mức logic rõ ràng. Sau đó, ngõ vào EN về lại mức 0, ngõ ra tiếp tục được cho phép. Tín hiệu SI đã lên 1 tại thời điểm 45us, do đó quá trình dịch cú thế lặp lại chu trình như ban đầu.

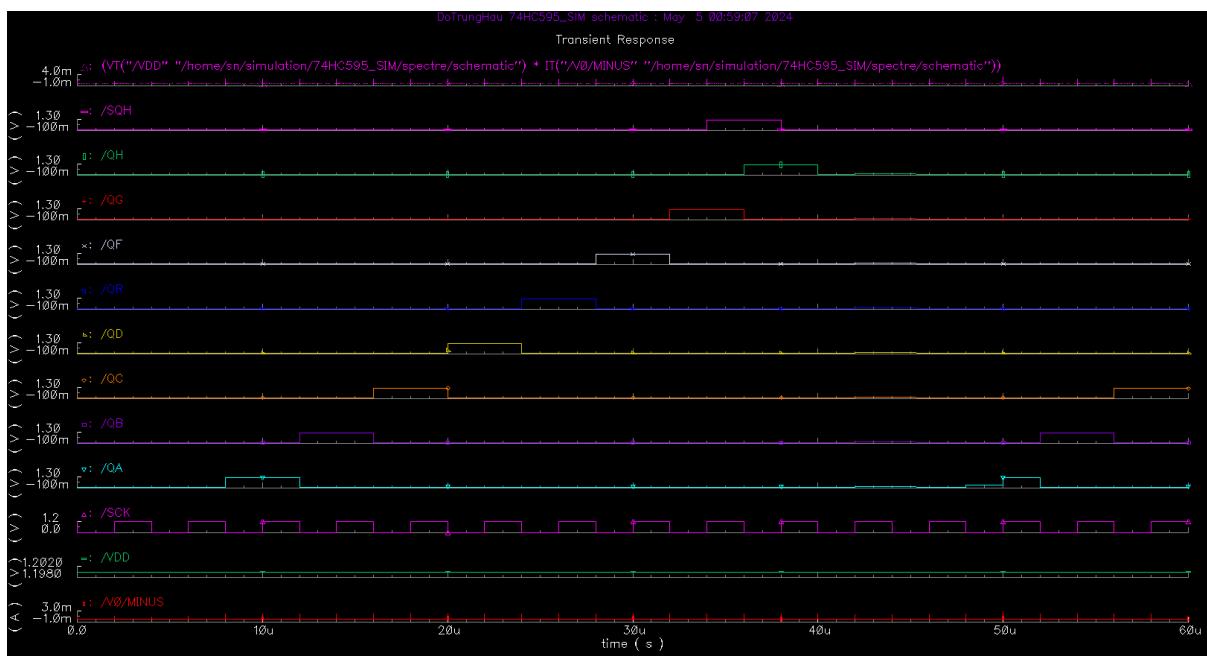
2.2.4 Tính toán công suất

Công suất của toàn mạch khi đang hoạt động hay công suất động của mạch có thể được tính đơn giản bằng định luật cân bằng công suất. Tổng công suất phát bằng công suất thu, ở đây ta có

thể tính công suất động của toàn mạch bằng cách tính công suất do nguồn DC cung cấp bằng công thức quen thuộc:

$$P = UI$$

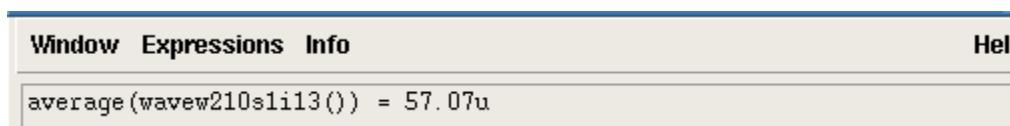
Để trực quan hơn, nhóm tiến hành vẽ dạng sóng dòng điện và điện áp tương ứng, sau đó nhân từng điểm thời gian lại với nhau để thu được dạng sóng công suất tức thời như hình bên dưới. Để đánh giá được về độ lâu dài và ổn định, công suất được tính bằng công suất trung bình của mạch hoạt động trong khoảng thời gian mô phỏng. Việc tính toán được hỗ trợ bởi tính năng Calculator sẵn có trong phần mềm Cadence. Với hàm tính toán trung bình sóng (Average) sẽ cho ta giá trị độ lớn của công suất trung bình.



Hình 2.11 Dạng sóng công suất của IC74HC595

Thông qua dạng sóng công suất tức thời, ta có thể thấy được có những thời điểm giá trị công suất khá nhỏ, và có những điểm giá trị công suất lên cao đột ngột. Đây chính là thời điểm chuyển mạch, khi có sự thay đổi ngõ ra từ 0 lên 1 hay từ 1 về 0, đó là lúc mạch tiêu hao nhiều năng lượng nhất, do đó công suất động chủ yếu gây ra bởi hoạt động chuyển mạch trong quá trình hoạt động.

Tính toán giá trị công suất trung bình ta được kết quả như hình.

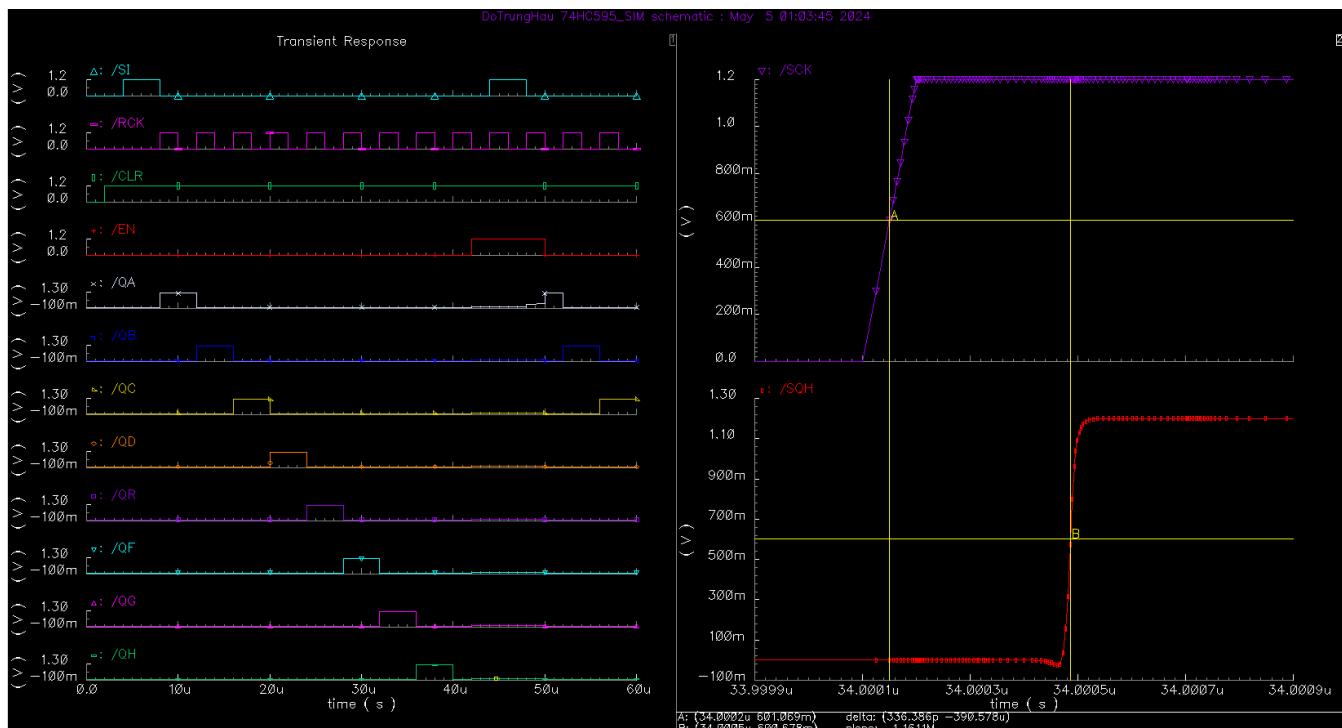


Hình 2.12 Công suất trung bình của IC74HC595

1.3.2.5 Tính toán độ trễ

Để tính toán được độ trễ, nhóm sẽ tính toán độ trễ giữa ngõ vào SCK so với ngõ ra SQH, cũng như ngõ vào RCK so với các ngõ ra Q.

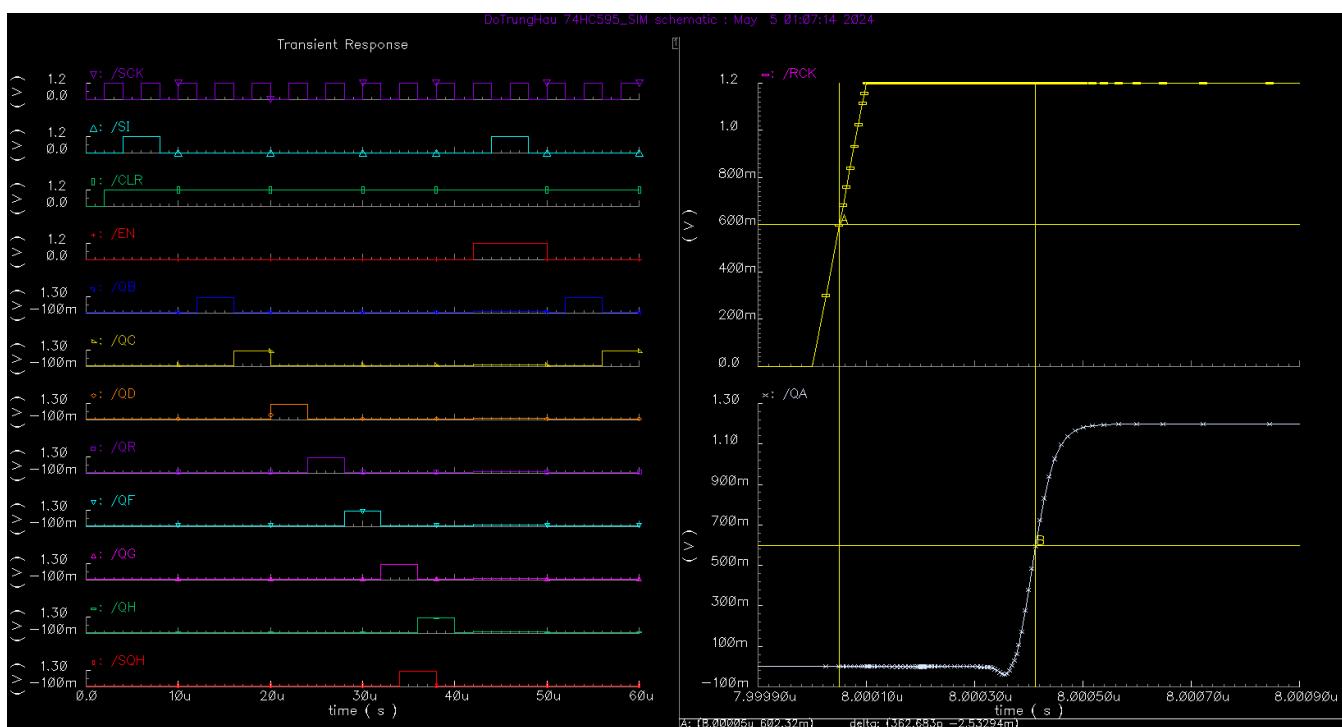
a) Độ trễ giữa SCK và ngõ ra SQH.



Hình 2.13 Độ trễ giữa ngõ vào SCK và ngõ ra SQH

Khi ngõ vào SCK chuyển trạng thái từ 0 lên 1, thì mất một khoảng thời gian 336.386ps sau thì ngõ ra SQH mới chuyển trạng thái lên 1.

b) Độ trễ giữa RCK và ngõ ra QA.



Hình 2.14 Độ trễ giữa ngõ vào RCK và ngõ ra QA

Khi ngõ vào RCK chuyển trạng thái từ 0 lên 1, thì các ngõ Q cũng thay đổi trạng thái, ở đây nhóm tính độ trễ cho ngõ vào RCK và ngõ ra QA làm đại diện. Quan sát trên hình, ta thấy được độ trễ giữa tín hiệu RCK và ngõ ra QA là khoảng 362.683 ps.

PHỤ LỤC

Đường dẫn video: https://youtu.be/D48d0_jEFE0

Dự phòng:

<https://drive.google.com/file/d/1y52H67fFlsGdJr2wWO3fkU36brZ3ldHZ/view?usp=sharing>