

Week 1

Fundación Fulgor

CMOS Analog Integrated Circuit Design

Presentado por:

Dolores Pilar Gomez

Año 2025

Índice

Introducción	3
Marco Teórico	4
0.1. Regiones operativas de los transistores MOS	4
0.1.1. Física Básica de Dispositivos MOS	4
0.1.2. La estructura del MOSFET	4
0.1.3. Símbolos MOS	6
Zonas de Operación	7
0.1.4. Voltaje Umbral	7
0.1.5. Análisis del NMOS	7
0.1.6. Análisis del PMOS	7
0.1.7. Región Triodo	9
0.1.8. Saturación de la corriente de drenador	10
0.1.9. Transconductancia del MOS	12
0.1.10. Comportamiento de g_m con parámetros constantes	12
Efectos de Segundo Orden	13
0.1.11. Body Effect	13
0.1.12. Modulación de longitud de canal	14
0.1.13. Conducción subumbral	15
Teoría del escalado	16
0.1.14. Capacitancia de placa inferior C_j	16
0.1.15. Capacitancia de pared lateral C_{jsw}	17
0.1.16. Impacto del escalado	17
Teoría del escalado	18
Capítulo 2: Problema 2.1	19
0.1.17. Análisis del gráfico NMOS/PMOS	20
0.1.18. Umbral diferente	20
0.1.19. Curva Parabólica	20
0.1.20. Diferencia de movilidad	20
0.1.21. Influencia de λ	20
0.1.22. Balance de diseño CMOS	20
0.2. Desarrollo conceptual de los resultados	22
0.2.1. Longitud efectiva del canal (L_{eff})	22
0.2.2. Relación geométrica W/L_{eff}	22

0.2.3.	Capacitancia de óxido (C_{ox})	23
0.2.4.	Factores de transconductancia efectivos	23
0.2.5.	Corriente de drenaje en saturación (I_D)	23
0.2.6.	Transconductancia (g_m) y Resistencia de salida (r_o)	25
0.2.7.	LTSpice	26

Introducción

Esta unidad aborda los conceptos fundamentales relacionados con el funcionamiento de los dispositivos semiconductores empleados en los circuitos integrados. El objetivo es comprender el comportamiento de los transistores MOS mediante el análisis basado en el modelo/ecuaciones cuadráticas, así como aclarar las limitaciones de dicho modelo debido a los efectos de canal corto.

Marco Teórico

0.1. Regiones operativas de los transistores MOS

Prepare un documento breve sobre las regiones operativas de un transistor MOS. ¿Cuáles son las regiones operativas más comunes en las que operan los transistores MOS en un circuito y cuáles son las principales diferencias entre ellas?

0.1.1. Física Básica de Dispositivos MOS

Iniciamos el análisis explorando la estructura de los transistores MOS y desarrollamos sus relaciones entre corriente y voltaje (I/V). Posteriormente, abordamos fenómenos de segundo orden como el efecto de cuerpo, la modulación de la longitud del canal y la conducción en régimen subumbral.

0.1.2. La estructura del MOSFET

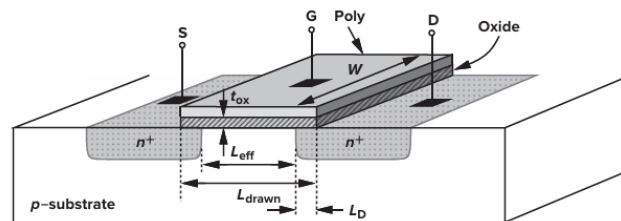


Figura 1: Estructura MOSFET (NMOS)

La figura 1 muestra la estructura de un dispositivo MOS tipo n (NMOS), el cual está fabricado sobre un sustrato tipo p (denominado "bulk"). Hay dos regiones tipo n fuertemente dopadas que forman los terminales de Drenador y Surtidor, una pieza de polisilicio ("poly") conductora que actúa como compuerta y una delgada capa de óxido de Silicio (SiO_2) que actúa como aislante.

Desde un punto de vista simplista, el dispositivo PMOS se obtiene invirtiendo todos los tipos de dopado (incluido el sustrato). Es decir, posee un sustrato tipo n y posee dos regiones tipo p fuertemente dopadas que forman los terminales de Drenador y Surtidor.

Es importante aclarar que el "bulk", se compone de portadores mayoritarios y minoritarios. Es decir, un sustrato tipo p posee como portadores mayoritarios a los "huecos", y como portadores minoritarios a los electrones.

Debido a que las uniones fuente/drenaje se difunden lateralmente durante la fabricación, la distancia real entre la fuente y el drenaje es:

$$L_{\text{eff}} = L_{\text{drawn}} - 2L_D \quad (1)$$

0.1.3. Símbolos MOS

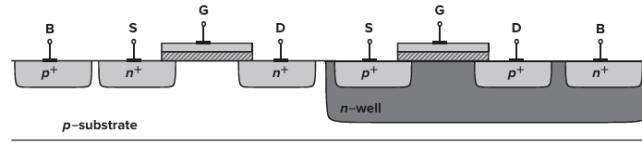


Figura 2: Dispositivo PMOS simple / PMOS dentro de un n-well

En tecnologías CMOS, donde se integran transistores NMOS y PMOS en la misma oblea, el PMOS no se puede colocar directamente sobre el sustrato tipo p (usado para NMOS). Por eso se utiliza un n-well:

- El n-well es una region tipo n localizada dentro del sustrato tipo p.
- Dentro del n-well se fabrican los PMOS, con sus regiones fuente/drenaje tipo p.
- El n-well se conecta al voltaje más positivo del circuito para mantener las uniones pn en polarización inversa.

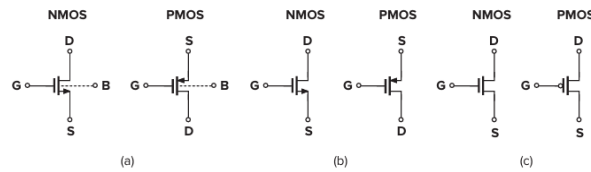


Figura 3: Simbología MOS

El source del PMOS se ubica en la parte superior (a VDD) porque el dispositivo solo conduce cuando su compuerta se encuentra a un potencial inferior al de la fuente. En contraste, el source del NMOS se coloca en la parte inferior (a GND) porque su conducción requiere que la compuerta esté a un potencial superior. Esta disposición, más allá de ser una convención de representación, resulta fundamental para que la lógica CMOS funcione de manera correcta, simétrica y eficiente, asegurando transiciones limpias entre niveles lógicos altos y bajos.

Zonas de Operación

0.1.4. Voltaje Umbral

El punto en el que el transistor comienza a conducir se conoce como voltaje umbral (V_{TH}).

0.1.5. Análisis del NMOS

¿Qué ocurre cuando el voltaje de compuerta V_G aumenta desde cero?

Al aumentar V_G de forma positiva, los huecos en el sustrato tipo p son repelidos del área bajo la compuerta, dejando atrás iones negativos que reflejan la carga de la compuerta (region de agotamiento). En esta condición, no fluye corriente, ya que no hay portadores de carga disponibles.

Cuando el potencial en la interfaz alcanza un valor suficientemente positivo, electrones comienzan a fluir desde la fuente hacia la interfaz y eventualmente hacia el drenaje, permitiendo el paso de corriente. Este fenómeno ocurre gradualmente a medida que aumenta V_G y se define como el punto en el que la interfaz óxido-silicio se vuelve tan tipo n como el sustrato es tipo p.

0.1.6. Análisis del PMOS

¿Qué ocurre cuando el voltaje de compuerta V_G disminuye desde el nivel de la fuente?

Cuando la fuente de un transistor PMOS está conectada a un potencial alto (V_{DD}), si la compuerta se mantiene al mismo nivel ($V_G = V_S$), el transistor permanece *apagado*, ya que no existe diferencia de potencial negativa entre compuerta y fuente ($V_{GS} = 0$). En esta condición, los huecos que actúan como portadores en el canal no están disponibles para la conducción, y solo existe una región de agotamiento bajo la compuerta.

Al disminuir el voltaje de la compuerta con respecto a la fuente ($V_G < V_S$), los electrones presentes en el sustrato tipo n son repelidos de la interfaz, lo que favorece la acumulación de huecos en la región bajo el óxido. A medida que esta acumulación se intensifica, se forma un canal de tipo p que conecta la fuente con el drenaje.

Cuando la diferencia de potencial V_{GS} se hace suficientemente negativa (menor que el voltaje umbral V_{TH}), el canal queda establecido y el PMOS comienza a *conducir corriente de huecos* desde la fuente (a mayor potencial) hacia el drenaje (a menor potencial).

En resumen, el PMOS se enciende cuando la compuerta se encuentra a un potencial más bajo que la fuente, lo que provoca la formación de un canal de huecos que permite la circulación de corriente.

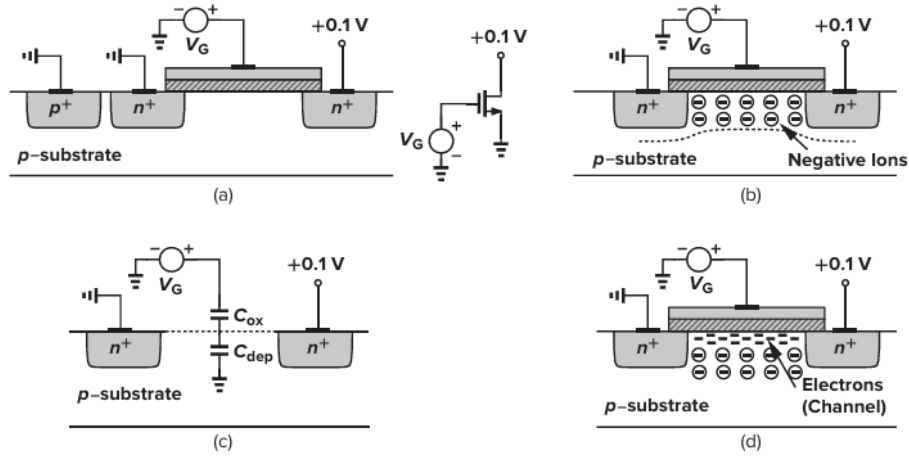


Figura 4: (a) MOSFET activado por voltaje de compuerta; (b) Formación de la región de agotamiento; (c) Inicio de la inversión; (d) Formación de la capa de inversión

En términos generales, se asume que el transistor NMOS se enciende cuando:

$$V_{GS} > V_{TH} \quad (2)$$

Y el transistor PMOS se enciende cuando:

$$V_{GS} < V_{TH} \quad (3)$$

0.1.7. Región Triodo

Se llama a $V_{GS} - V_{TH}$ voltaje de sobreexcitación y a W/L relación de aspecto. Si $V_{DS} \leq V_{GS} - V_{TH}$, el dispositivo opera en la región triodo.

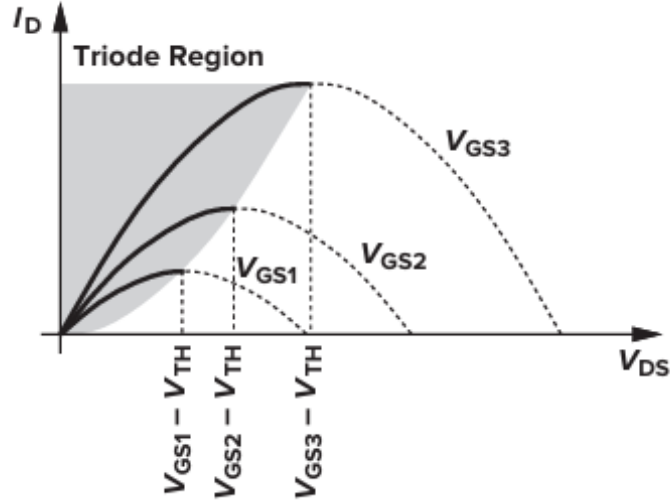


Figura 5: Region Triodo

En la región triodo, el transistor actúa más como una resistencia controlada por V_{GS} , la cual es inversamente proporcional al voltaje de sobreexcitación. Cabe destacar que, a diferencia de los transistores bipolares, un dispositivo MOS puede estar “encendido” incluso si no transporta corriente.

La resistencia equivalente se puede expresar como:

$$I_D \approx \mu C_{ox} \frac{W}{L} [(V_{GS} - V_{th})V_{DS}],$$

y definiendo el parámetro

$$\beta = \mu C_{ox} \frac{W}{L},$$

se obtiene:

$$I_D \approx \beta(V_{GS} - V_{th})V_{DS}$$

Por lo tanto, la resistencia equivalente de encendido es:

$$R_{on} = \frac{V_{DS}}{I_D} \approx \frac{1}{\beta(V_{GS} - V_{th})}.$$

El pico de cada parábola ocurre en:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$



Figura 6: Resistencia lineal controlada por voltaje

0.1.8. Saturación de la corriente de drenador

Si $V_{DS} > V_{GS} - V_{TH}$, la corriente de drenador se vuelve relativamente constante, y decimos que el dispositivo opera en la zona de saturación.

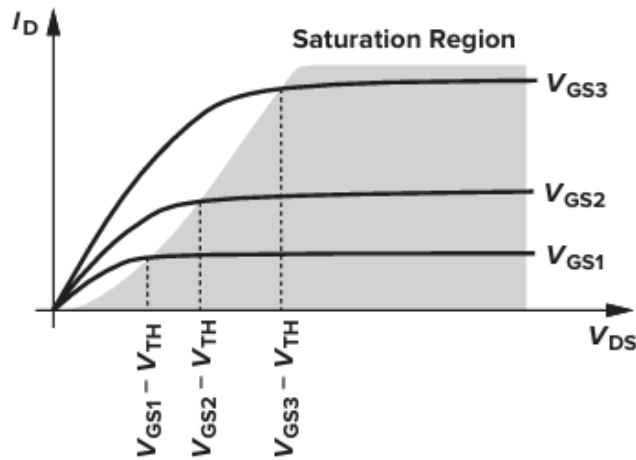


Figura 7: Saturación de la corriente de Drenador

Para el NMOS, la corriente de drenador en saturación se define como:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

Para el PMOS, la corriente de drenador en saturación se define como:

$$I_D = -\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

El signo negativo aparece aquí porque se asume que la corriente de drenador (I_D) fluye desde el drenador hacia la fuente, mientras que los huecos (portadores en el PMOS) se desplazan en la dirección opuesta.

Este fenómeno se conoce como *Pinch-off*, en donde llega un momento en que V_{DS} es tan grande que, justo en la zona del drenador, el voltaje de la compuerta ya no alcanza para mantener abierto el canal.

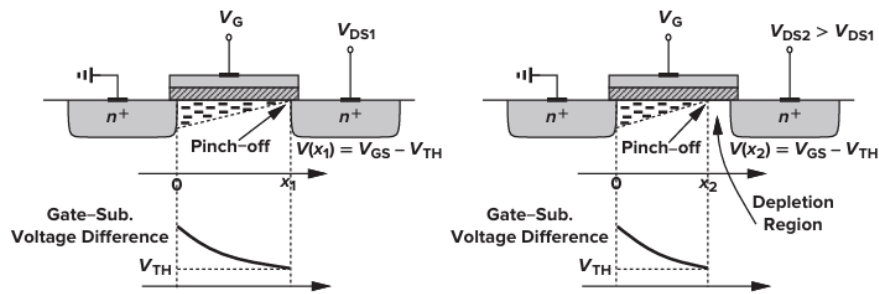


Figura 8: Pinch-off

En ese punto, el canal se estrecha o se *estrangula*: la corriente no se corta, sigue fluyendo porque los electrones que llegan son atraídos hacia el drenador por el campo eléctrico. Y como la entrada de electrones está controlada solo por V_{GS} , la corriente se vuelve prácticamente independiente de V_{DS} .

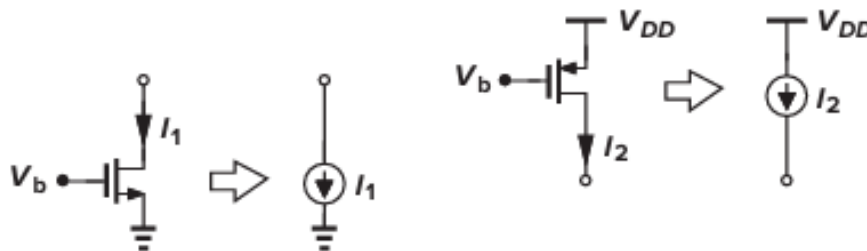


Figura 9: Transistores MOSFET en saturación operando como fuentes de corriente

Cabe destacar que la fuente de corriente NMOS inyecta corriente hacia tierra (GND), mientras que la fuente de corriente PMOS extrae corriente desde VDD. En otras palabras, solo uno de los terminales de cada fuente de corriente está “flotante”.

0.1.9. Transconductancia del MOS

La transconductancia es una figura de mérito que indica que tan bien un dispositivo convierte un voltaje en una corriente. Es decir, representa la *sensibilidad* del dispositivo. Se puede apreciar que un pequeño cambio en V_{GS} produce un gran cambio en I_D :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (4)$$

La misma también se puede definir como:

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (5)$$

$$g_m = \frac{2I_D}{V_{GS} - V_{TH}} \quad (6)$$

0.1.10. Comportamiento de g_m con parámetros constantes

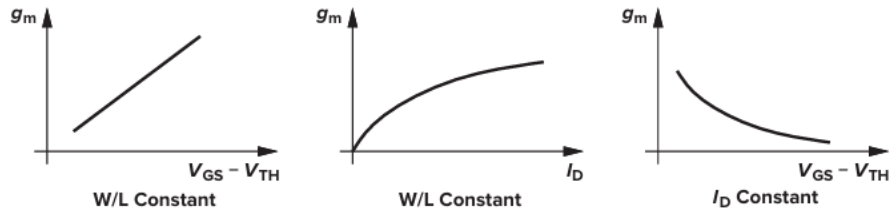


Figura 10: Transconductancia aproximada de un MOS como función del voltaje de sobreexcitación y de la corriente de drenaje

- Con I_D constante: Para una corriente fija, un transistor con menor voltaje de sobreexcitación es más sensible.
- Con W/L constante: Si se mantiene fija la geometría del transistor y se incrementa el voltaje de sobreexcitación, g_m aumenta linealmente. A mayor voltaje de entrada, es más sensible.

Efectos de Segundo Orden

0.1.11. Body Effect

Cuando el voltaje del sustrato V_B es más negativo que el de la fuente V_S , se genera una mayor región de agotamiento debajo de la puerta ya que más huecos son atraídos hacia la conexión del sustrato (pero no existe una capa de inversión).

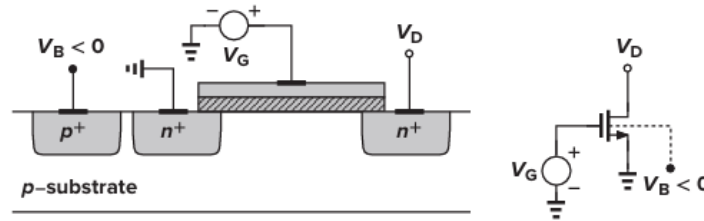


Figure 2.22 NMOS device with negative bulk voltage.

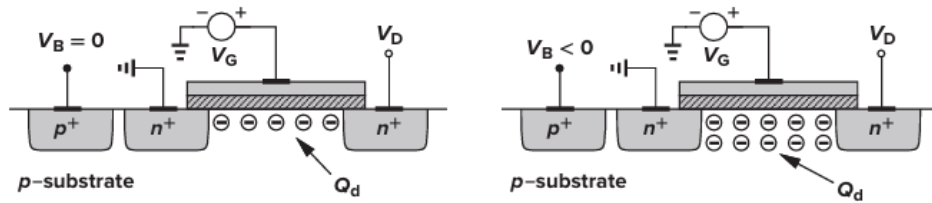


Figura 11: Boddy Effect

Para formar una capa de inversión (necesaria para que el transistor conduzca), la puerta debe aplicar más voltaje. Por lo tanto, V_{TH} aumenta.

La ecuación que define el valor de V_{TH} es:

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F} \right) \quad (7)$$

donde:

- V_{TH0} : Voltaje umbral para $V_{SB} = 0$ (sin polarización del cuerpo).
- γ : Coeficiente de efecto de cuerpo, dado por $\gamma = \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}}$.
- ϕ_F : Potencial de Fermi, que depende de la concentración de dopaje del sustrato.

- V_{SB} : Voltaje entre la fuente y el sustrato (Source–Bulk).

En términos físicos, el efecto de cuerpo implica que al aumentar V_{SB} , el voltaje umbral V_{TH} también se incrementa, haciendo más difícil encender el transistor.

0.1.12. Modulación de longitud de canal

En teoría, cuando un transistor MOSFET opera en la región de saturación, la corriente I_D debería mantenerse constante, independientemente de V_{DS} . Sin embargo, en la práctica no ocurre exactamente así debido a la modulación de longitud de canal.

- Cuando el transistor entra en saturación, el canal se estrangula cerca del drenador (*Pinch off* >)
- A medida que V_{DS} sigue aumentando, el punto de estrangulamiento se desplaza hacia la fuente, lo que acorta efectivamente la longitud del canal.
- Como consecuencia, la resistencia del canal disminuye, permitiendo que la corriente I_D aumente ligeramente con V_{DS} , en lugar de permanecer constante.

La corriente de drenador en saturación se expresa como:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (8)$$

donde:

- λ : parámetro de modulación por longitud de canal (inverso de la tensión de Early).
- V_{DS} : voltaje drenador–fuente.

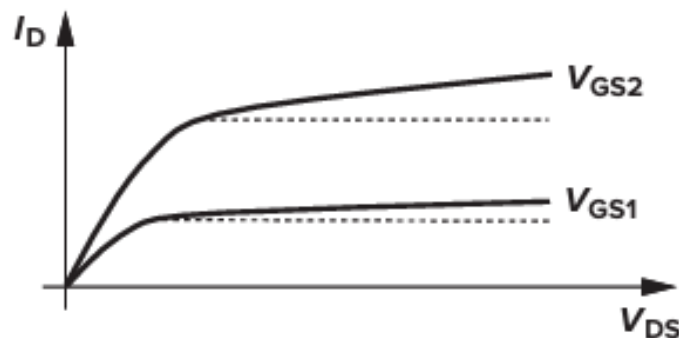


Figura 12: Modulación de longitud de canal

0.1.13. Conducción subumbral

En el análisis ideal de un transistor MOSFET, se suele asumir que el dispositivo se apaga abruptamente cuando V_{GS} cae por debajo del voltaje umbral V_{TH} . Sin embargo, para valores $V_{GS} < V_{TH}$ aún existe una capa de inversión débil en el canal, la cual permite que una corriente pequeña fluya del drenador hacia la fuente. Esta corriente se denomina *corriente de subumbral*:

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right), \quad (9)$$

donde:

- $I_0 \propto \frac{W}{L}$, es decir, depende de la geometría del transistor.
- $n > 1$ es un factor de no idealidad que depende del proceso de fabricación.
- $V_T = \frac{kT}{q}$ es el voltaje térmico, aproximadamente 25 mV a temperatura ambiente.

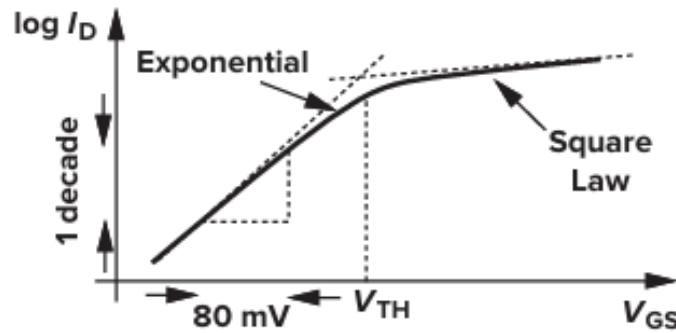


Figura 13: Conducción subumbral

En circuitos con millones de transistores, esta corriente residual puede representar un consumo significativo, incluso cuando los dispositivos están “apagados”.

Es especialmente relevante en tecnologías de bajo voltaje y en diseño de bajo consumo, donde se busca minimizar la corriente de fuga.

Teoría del escalado

Reducir el tamaño de los transistores permite mejorar simultáneamente la velocidad, densidad y eficiencia energética.

La teoría del escalado propone 3 reglas básicas:

- Reducir todas las dimensiones físicas (laterales y verticales) por un factor (α) >1 . Esto incluye longitud de canal, espesor de óxido, etc.
- V_{DS} : Reducir el voltaje umbral V_{TH} y el voltaje de alimentación V_{DD} por el mismo factor α . Esto mantiene las proporciones eléctricas y evita campos eléctricos excesivos (escalado de campo constante).
- Aumentar las concentraciones de dopado por el factor α .

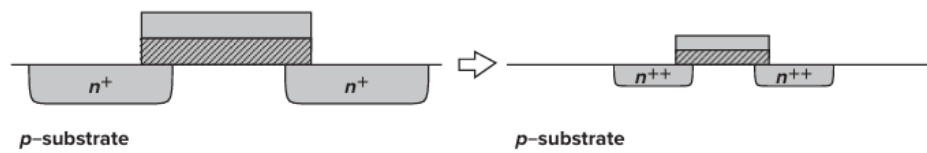


Figura 14: Escalado ideal del transistor MOS

Por otro lado, se modifican las capacitancias parásitas:

0.1.14. Capacitancia de placa inferior C_j

- Depende del área de la unión y del ancho de la región de agotamiento.
- Al escalar las dimensiones del transistor, el ancho de la región de agotamiento se reduce, lo que aumenta la capacitancia por unidad de área.
- C_j aumenta con el escalado.

0.1.15. Capacitancia de pared lateral C_{jsw}

- Depende del perímetro de la unión y su profundidad.
- Aunque el perímetro se reduce, la profundidad también se reduce, lo que compensa el efecto.
- C_{jsw} permanece constante bajo escalado ideal.

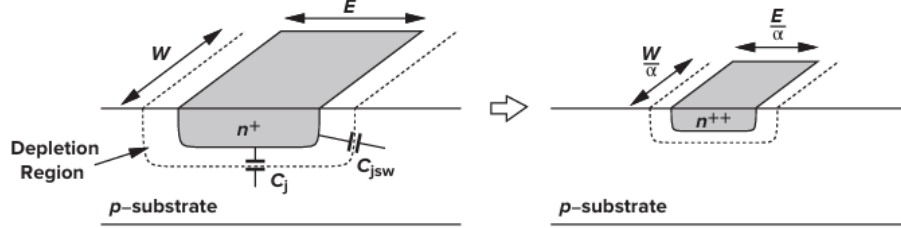


Figura 15: Escalado de las capacitancias de las uniones S/D

0.1.16. Impacto del escalado

- La ganancia intrínseca $g_m r_o$ disminuye considerablemente debido a los efectos de canal corto y degradación de parámetros.
- Reducción del voltaje de alimentación V_{DD} . Además, los niveles máximos de oscilación de voltaje también se reducen (límite de rango).
- Disipación de potencia por un factor cuadrático:

$$\left(\frac{V_{DD}}{\alpha}\right) \left(\frac{I_{DD}}{\alpha}\right) = \frac{V_{DD} I_{DD}}{\alpha^2}$$

- Si se desea restaurar el rango dinámico, se debe aumentar g_m , lo que implica incrementar la corriente de polarización I_D , anulando el ahorro de potencia.

Efectos de canal corto

Los efectos de geometría pequeña surgen porque cinco factores desvían el escalado del escenario ideal:

- Los campos eléctricos tienden a aumentar porque el voltaje de alimentación no se ha escalado proporcionalmente.
- El término de potencial interno en la ecuación para el ancho total de la region de agotamiento no es escalable ni despreciable:

$$W = \sqrt{\frac{2\varepsilon_s}{q} \frac{N_A + N_D}{N_A N_D} (V_{bi} + V_R)} \quad (10)$$

- La profundidad de las uniones fuente/drenaje no puede reducirse fácilmente.
- La movilidad disminuye a medida que aumenta el dopado del sustrato.
- La pendiente de subumbral no es escalable.

Capitulo 2: Problema 2.1

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model

LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8

PMOS Model

LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

Figura 16: SPICE models

Para $W/L = 50/0.5$, grafique la I_D de un NFET y un PFET en función de V_{GS} a medida que V_{GS} varía de 0 a 3 V. Suponga que $V_{DS} = 3$ V. Se consideran valores absolutos.

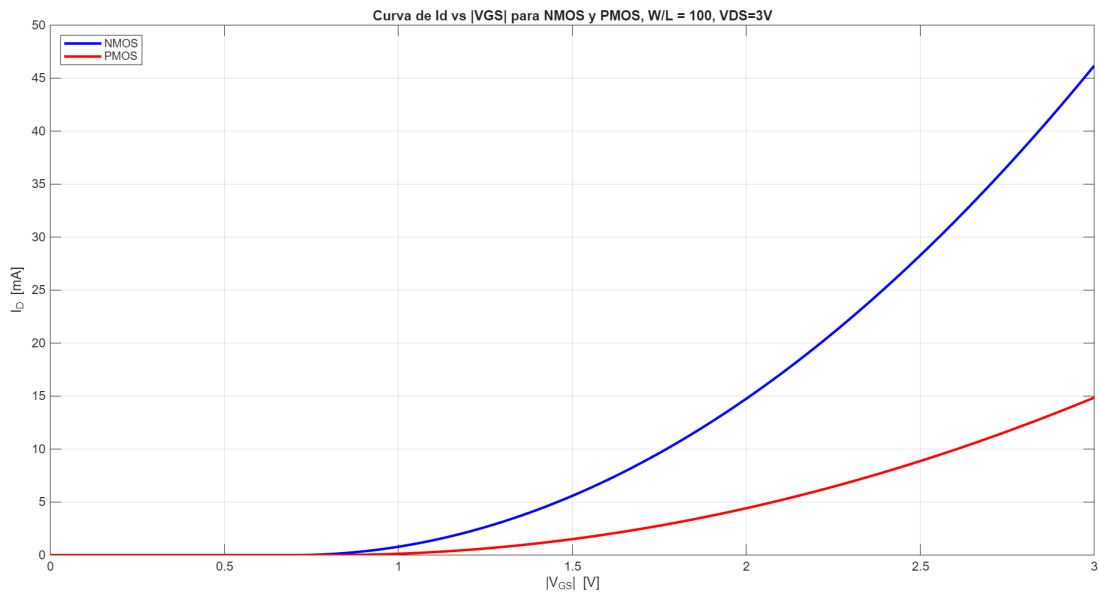


Figura 17: Problema 2.1

0.1.17. Análisis del gráfico NMOS/PMOS

0.1.18. Umbral diferente

- El NMOS conduce cuando $V_{GS} > V_{TH} \approx 0.7 \text{ V}$.
- El PMOS conduce cuando $V_{GS} > V_{TH} \approx 0.8 \text{ V}$.
- En los gráficos se ve claramente que hasta esos puntos la corriente es cero.

0.1.19. Curva Parabólica

Una vez superado el umbral, I_D crece cuadráticamente con V_{GS} .

0.1.20. Diferencia de movilidad

- El NMOS tiene mayor movilidad ($350 \text{ cm}^2/\text{V} \cdot \text{s}$ vs $100 \text{ cm}^2/\text{V} \cdot \text{s}$ en el PMOS).
- Esto hace que, para un mismo V_{GS} , el NMOS logre corrientes más grandes que el PMOS.

0.1.21. Influencia de λ

El término $(1 + \lambda V_{DS})$ corrige la modulación de la longitud de canal. Como $V_{DS} = 3 \text{ V}$ y λ es mayor en el PMOS, su pendiente se ajusta un poco más, pero sigue siendo más débil en comparación con el efecto de la movilidad.

0.1.22. Balance de diseño CMOS

Para lograr simetría entre NMOS y PMOS en un circuito CMOS real (por ejemplo, un inversor), es necesario ajustar los anchos W de los transistores. Usualmente se hace al PMOS más ancho que al NMOS para compensar la menor movilidad de huecos.

Resultados del Problema 2.1

A continuación se presentan los valores calculados para cada una de las preguntas:

Resolución de ejercicios

A continuación, se detallan los pasos seguidos en el cálculo de los parámetros de los transistores NMOS y PMOS, utilizando los datos provistos.

Resolución de ejercicios

A continuación, se detallan los cálculos realizados para los parámetros de los transistores NMOS y PMOS.

Pregunta 1 y 2: Longitud efectiva

$$L_{\text{eff}} = L - 2L_D$$

Para el NMOS:

$$L_{\text{eff,n}} = 0,5 \mu m - 2 \cdot 0,08 \mu m = 0,340 \mu m$$

Para el PMOS:

$$L_{\text{eff,p}} = 0,5 \mu m - 2 \cdot 0,09 \mu m = 0,320 \mu m$$

Pregunta 3 y 4: Relación W/L_{eff}

$$\frac{W}{L_{\text{eff,n}}} = \frac{50 \mu m}{0,340 \mu m} = 147,06$$

$$\frac{W}{L_{\text{eff,p}}} = \frac{50 \mu m}{0,320 \mu m} = 156,25$$

Pregunta 5: Capacitancia de óxido C_{ox}

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}, \quad \varepsilon_{ox} = \varepsilon_r \cdot \varepsilon_0$$

$$C_{ox} = \frac{3,9 \cdot 8,854 \times 10^{-12}}{9 \times 10^{-9}} = 3,837 \times 10^{-3} \frac{F}{m^2}$$

$$C_{ox} = 3836,73 \mu F/m^2$$

Pregunta 6 y 7: Factor $\mu C_{ox} \frac{W}{L_{\text{eff}}} (1 + \lambda V_{DS})$

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L_{\text{eff}}} (1 + \lambda V_{DS})$$

Para el NMOS:

$$K_n = 12,84 \frac{mA}{V^2}$$

Para el PMOS:

$$K_p = 4,80 \frac{mA}{V^2}$$

Pregunta 8 y 9: Corriente de drenaje en saturación

$$I_D = K(V_{GS} - V_T)^2$$

Para el NMOS:

$$I_{D,n} = 67,90 \text{ mA}$$

Para el PMOS:

$$I_{D,p} = 23,21 \text{ mA}$$

Resultados finales:

- $L_{\text{eff},n} = 0,340 \mu\text{m}$, $L_{\text{eff},p} = 0,320 \mu\text{m}$
- $\frac{W}{L_{\text{eff},n}} = 147,06$, $\frac{W}{L_{\text{eff},p}} = 156,25$
- $C_{ox} = 3836,73 \mu\text{F}/\text{m}^2$
- $K_n = 12,84 \text{ mA}/\text{V}^2$, $K_p = 4,80 \text{ mA}/\text{V}^2$
- $I_{D,n} = 67,90 \text{ mA}$, $I_{D,p} = 23,21 \text{ mA}$

0.2. Desarrollo conceptual de los resultados

0.2.1. Longitud efectiva del canal (L_{eff})

Para el NMOS se obtuvo $L_{\text{eff}} = 0,340 \mu\text{m}$, mientras que para el PMOS se obtuvo $L_{\text{eff}} = 0,320 \mu\text{m}$. Esto refleja que, debido a la difusión lateral de las regiones fuente y drenaje (L_D), la longitud efectiva siempre es menor que la longitud de canal dibujada ($L = 0,5 \mu\text{m}$). Una L_{eff} más corta implica un canal más débilmente controlado por la compuerta, incrementando los efectos de canal corto.

0.2.2. Relación geométrica W/L_{eff}

El NMOS presenta un cociente de 147,06, mientras que el PMOS tiene un valor de 156,25. Esta relación determina la capacidad de conducción relativa de cada dispositivo. A mayor W/L_{eff} , mayor corriente puede transportar el transistor. En este caso, ambos transistores son bastante anchos respecto a su longitud efectiva, lo cual es típico en diseños de potencia moderada.

0.2.3. Capacitancia de óxido (C_{ox})

Se obtuvo un valor de $C_{ox} = 3836,73 \mu\text{F}/\text{m}^2$. Este parámetro depende del espesor del óxido (t_{ox}) y de la constante dieléctrica del material. Un valor alto de C_{ox} implica que la compuerta controla mejor el canal, lo que a su vez mejora la transconductancia del transistor.

0.2.4. Factores de transconductancia efectivos

El NMOS presenta un valor de $12,84 \text{ mA}/\text{V}^2$, mientras que el PMOS tiene un valor de $4,80 \text{ mA}/\text{V}^2$. Estos coeficientes muestran la ganancia de corriente en saturación. El NMOS es más eficiente debido a la mayor movilidad de los electrones ($\mu_n \approx 350 \text{ cm}^2/\text{V} \cdot \text{s}$) en comparación con la de los huecos en el PMOS ($\mu_p \approx 100 \text{ cm}^2/\text{V} \cdot \text{s}$).

0.2.5. Corriente de drenaje en saturación (I_D)

Con un voltaje de compuerta $V_{GS} = 3 \text{ V}$, los resultados fueron:

- $I_{D,NMOS} = 67,90 \text{ mA}$
- $I_{D,PMOS} = 23,21 \text{ mA}$

A igualdad de condiciones (W/L , $|V_{GS}|$, $|V_{DS}|$), el NMOS conduce aproximadamente tres veces más corriente que el PMOS, lo que concuerda con la diferencia de movilidad entre electrones y huecos.

Resultados del Problema 2.2

A continuación se muestran los cálculos realizados en MATLAB para los transistores NMOS y PMOS, con $W/L = 50/0,5$ y $|I_D| = 0,5 \text{ mA}$:

Resolución (Preguntas 10 a 17)

Se detallan a continuación los cálculos realizados a partir de los parámetros SPICE y la corriente de operación indicada ($I_D = 0,5 \text{ mA}$).

Datos

$$t_{ox} = 9 \times 10^{-9} \text{ m}, \quad \varepsilon_0 = 8,854 \times 10^{-12} \text{ F/m}, \quad \varepsilon_{ox} = 3,9\varepsilon_0$$
$$W = 50 \times 10^{-6} \text{ m}, \quad L = 0,5 \times 10^{-6} \text{ m}, \quad \frac{W}{L} = 100$$

$$\begin{aligned}\mu_n &= 350 \times 10^{-4} \frac{m^2}{Vs}, & V_{Tn} &= 0,7 \text{ V}, & \lambda_n &= 0,1 \text{ V}^{-1} \\ \mu_p &= 100 \times 10^{-4} \frac{m^2}{Vs}, & V_{Tp} &= -0,8 \text{ V}, & \lambda_p &= 0,2 \text{ V}^{-1} \\ I_{D,\text{target}} &= 0,5 \times 10^{-3} \text{ A}\end{aligned}$$

Pregunta 10: Relación W/L

$$\frac{W}{L} = \frac{50 \times 10^{-6}}{0,5 \times 10^{-6}} = 100.$$

Respuesta: $W/L_{NMOS} = 100,00$, $W/L_{PMOS} = 100,00$.

Pregunta 11: Capacitancia de óxido C_{ox}

$$\begin{aligned}C_{ox} &= \frac{\varepsilon_{ox}}{t_{ox}} = \frac{3,9 \cdot 8,854 \times 10^{-12}}{9 \times 10^{-9}} = 3,83673 \times 10^{-3} \frac{F}{m^2}. \\ C_{ox} &\approx 3836,73 \mu F/m^2.\end{aligned}$$

Preguntas 12 y 13: Transconductancia g_m

Partimos de la ecuación de saturación (sin λ) para I_D :

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2.$$

Despejando V_{GS} :

$$V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu C_{ox}(W/L)}}.$$

Luego la transconductancia en saturación (linealizada) es:

$$g_m = \frac{dI_D}{dV_{GS}} \approx \mu C_{ox} \frac{W}{L} (V_{GS} - V_T).$$

Sustituyendo numéricos se obtiene (resultados provistos por MATLAB):

$$g_{m,n} \approx 3,66 \text{ mA/V}, \quad g_{m,p} \approx 1,96 \text{ mA/V}.$$

Preguntas 14 y 15: Resistencia de salida r_o

Usamos la aproximación

$$r_o = \frac{1}{\lambda I_D}.$$

$$r_{o,n} = \frac{1}{0,1 \cdot 0,5 \times 10^{-3}} = 20000 \, \Omega = 20,00 \, \text{k}\Omega.$$

$$r_{o,p} = \frac{1}{0,2 \cdot 0,5 \times 10^{-3}} = 10000 \, \Omega = 10,00 \, \text{k}\Omega.$$

Preguntas 16 y 17: Ganancia intrínseca $g_m r_o$

$$\text{Ganancia intrínseca} = g_m r_o.$$

Usando los valores calculados:

$$(g_m r_o)_n = 3,66 \times 10^{-3} \frac{A}{V} \cdot 2,0 \times 10^4 \, \Omega \approx 73,29 \left(\frac{A \cdot \Omega}{V} \right),$$

$$(g_m r_o)_p = 1,96 \times 10^{-3} \frac{A}{V} \cdot 1,0 \times 10^4 \, \Omega \approx 19,59 \left(\frac{A \cdot \Omega}{V} \right).$$

Resultados finales (resumen)

- Pregunta 10: $W/L_{NMOS} = 100,00$, $W/L_{PMOS} = 100,00$.
- Pregunta 11: $C_{ox} = 3836,73 \, \mu\text{F}/\text{m}^2$.
- Pregunta 12: $g_{m,n} = 3,66 \, \text{mA}/\text{V}$.
- Pregunta 13: $g_{m,p} = 1,96 \, \text{mA}/\text{V}$.
- Pregunta 14: $r_{o,n} = 20,00 \, \text{k}\Omega$.
- Pregunta 15: $r_{o,p} = 10,00 \, \text{k}\Omega$.
- Pregunta 16: $(g_m r_o)_n = 73,29 \, (A \cdot \Omega)/V$.
- Pregunta 17: $(g_m r_o)_p = 19,59 \, (A \cdot \Omega)/V$.

0.2.6. Transconductancia (g_m) y Resistencia de salida (r_o)

Transconductancia g_m :

La transconductancia es una medida de la capacidad del transistor para convertir un cambio de voltaje de compuerta en un cambio de corriente de drenaje. Para transistores en saturación, se calcula como:

$$g_m = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)$$

donde μ es la movilidad del portador, C_{ox} la capacitancia por unidad de área de la compuerta, y $V_{GS} - V_T$ es la sobre-voltaje de la compuerta.

- Para el NMOS, $g_m \approx 1,97 \text{ mA/V}$ - Para el PMOS, $g_m \approx 0,99 \text{ mA/V}$

Esto refleja la mayor movilidad de electrones en el NMOS comparado con la movilidad de huecos en el PMOS, lo que permite al NMOS generar más corriente por cada voltio aplicado en la compuerta.

Resistencia de salida r_o :

La resistencia de salida representa la variación de la corriente de drenaje ante cambios en V_{DS} debido a la modulación de longitud de canal (efecto channel-length modulation):

$$r_o = \frac{1}{\lambda I_D}$$

donde λ es el parámetro de modulación de longitud de canal y I_D es la corriente de operación.

- NMOS: $r_o \approx 20 \text{ k}\Omega$ - PMOS: $r_o \approx 10 \text{ k}\Omega$

Un mayor r_o implica mayor linealidad y mayor capacidad de amplificación del transistor. Como el PMOS tiene mayor λ , su resistencia de salida es menor, reflejando una menor ganancia intrínseca.

0.2.7. LTSpice

A partir de las trazas simuladas en el ejemplo de la herramienta LTSpice, determine el valor de la corriente del colector en $V1 = 10 \text{ V}$ e $I1 = 100 \text{ }\mu\text{A}$ e introdúzcalo en el cuadro de respuesta a continuación en unidades de mA.

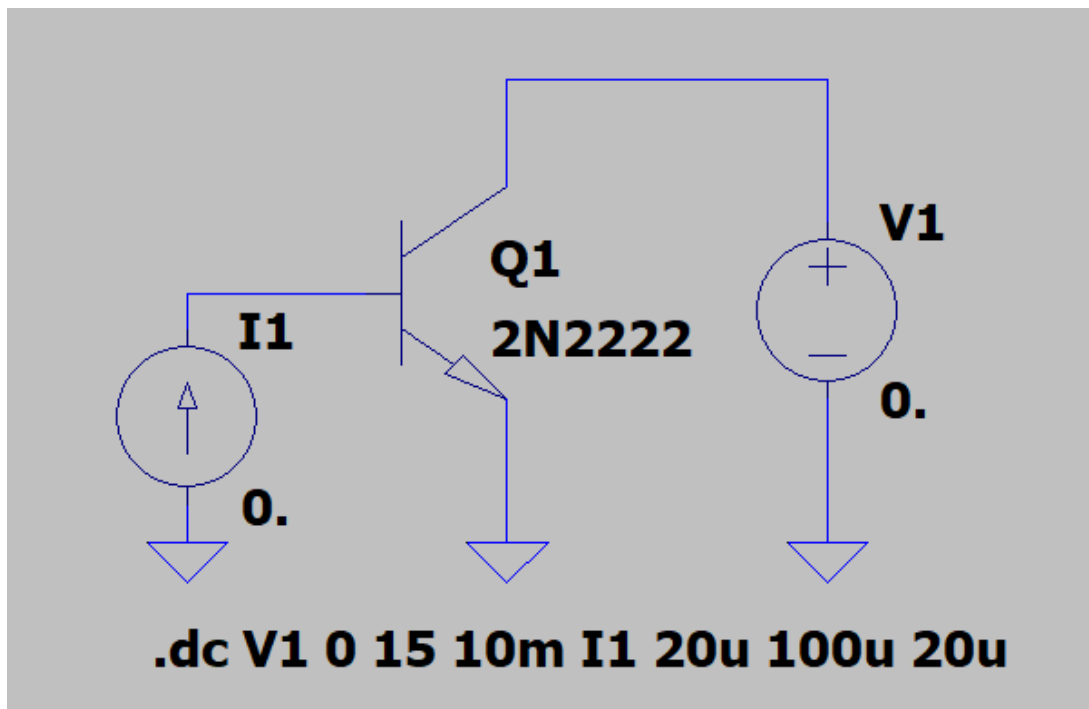


Figura 18: Esquemático

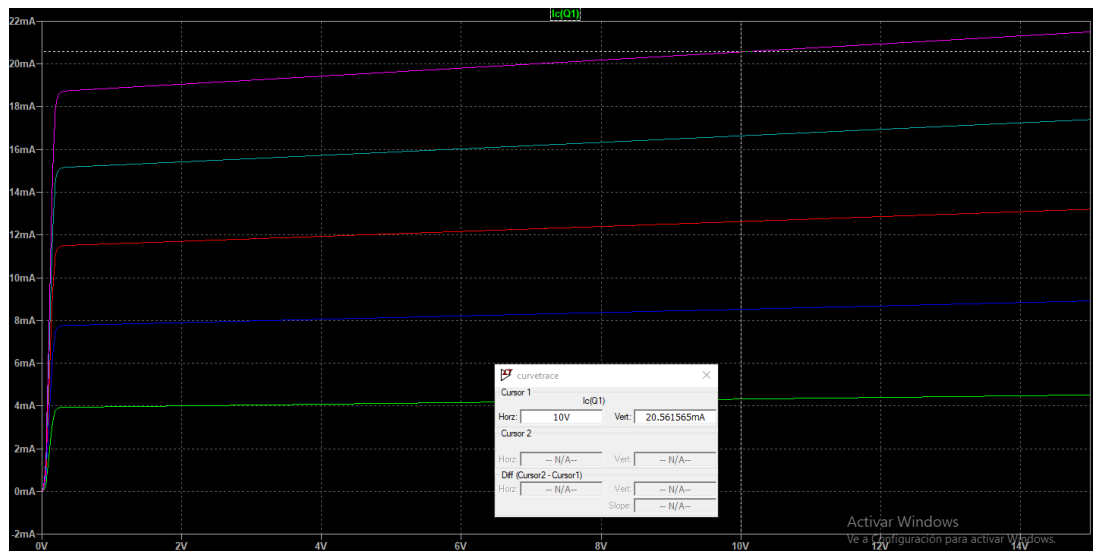


Figura 19: Familia de curvas BJT

Corriente de Colector (I_C) = 20.56 mA