Conceptos de Arquitectura de Computadoras

Clase 4

Segmentación de Instrucciones

Repertorio sencillo de instrucciones

LW y SQ: load y store --> maquina de una direc. Llevan de un registro a memoria o al reves. Son las unicas que acceden a memoria principal

ADD, SUB, AND, OR --> entran operandos y salen un resultado distinto

BEQ --> como el JZ
SLT --> NUEVO

Instrucción	Pseudocódigo	Descripción
LW	LW RT, inmed(RS)	Carga registro RT desde memoria
SW	SW RT, inmed(RS)	Almacena en memoria desde registro RT
ADD	ADD RD, RS, RT	Suma palabras en registros RS y RT, resultado en RD
SUB	SUB RD, RS, RT	Resta palabras en registros RS y RT, resultado en RD
AND	AND RD, RS, RT	AND de palabras en registros RS y RT, resultado en RD
OR	OR RD, RS, RT	OR de palabras en registros RS y RT, resultado en RD
SLT	SLT RD, RS, RT	Pone 1 en RD si RS es menor o igual que RT
BEQ	BEQ RS, RT, destino	Salta a 'destino' si RS es igual a RT único salto condicional que vamos a usar

En todas las instrucciones salvo las primeras dos, vamos a utilizar TRES registros (corresponde a una máquina de 3 direcciones)

Casi todos utilizan modo de direc directo de registro. Salvo las que acceden a memoria --> modo de direc indirecto con desplazamiento

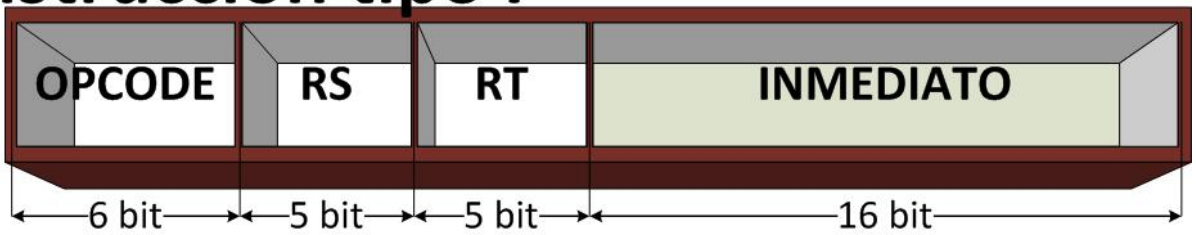
Este procesador tiene condiciones:
-> todas las operaciones hay que hacerlas en registros de la CPU
--> solo acceden a memoria LW y SW
--> dos direccionamientos, inmediato y de registro??

Formato de instrucción

TODAS las instrucciones tienen el mismo tamaño --> 32 bits!!!! Se dividen en función de que operación quiero hacer

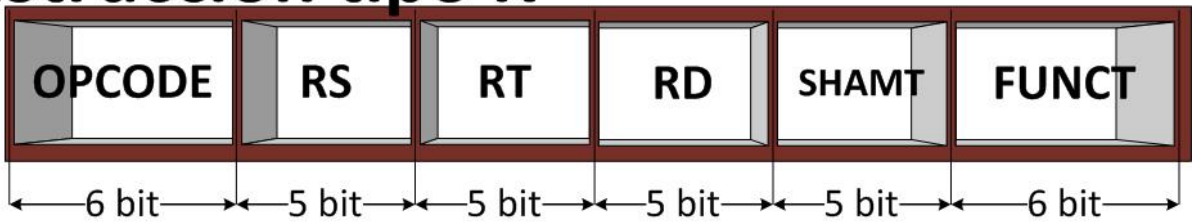
Instrucción tipo I

BEQ --> 2 registros y un valor.
LW y SW



Instrucción tipo R

todos los operandos son registros. RS, RT, RD



6 bits para el CodOp, 3 campos de 5 bits para registros. 1 campo de 5 bits para SHAMT. 1 campo de 6 bits para manejar la UC de la ALU

modo de direc

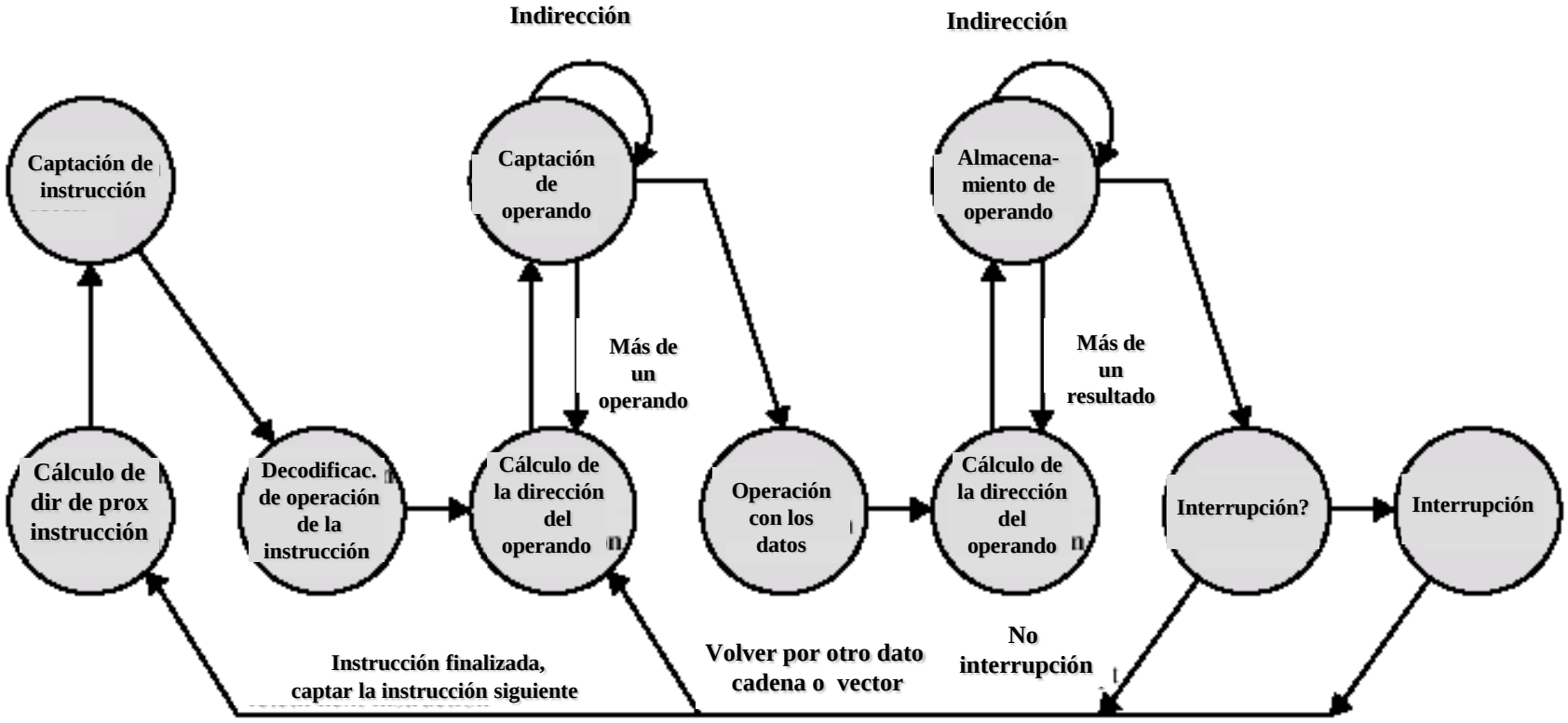
Instrucción tipo J

jmp

Dan la posibilidad de escribir un valor NUMERICO para sumarle al PC.
El PC tiene 32 bits por lo tanto se va a hacer la EXTENSION DE SIGNO para poder sumar bien

Diagrama de estados del ciclo de instrucción

varia como lo implementamos en hardware para sacarle el max provecho



Tareas a realizar por ciclo

tareas a realizar para poder cumplir el ciclo de instrucción anterior

- **Búsqueda (F, *Fetch*)** primera tarea a realizar para completar una instrucción
  accede a la memoria por la instrucción y simultáneamente incrementa el PC
  - Se accede a memoria por la instrucción
  - Se incrementa el PC
- **Decodificación (D, *Decode*)** decodificación de la operación para saber cuantos operandos se necesitan y y luego se realiza la búsqueda de operandos.
  - Se decodifica la instrucción, obteniendo operación a realizar en la ruta de datos
  - Se accede al banco de registros por el/los operando/s (si es necesario) en simultaneo se accede a los registros de la CPU y obtener el o los operandos
  - Se calcula el valor del operando inmediato con extensión de signo (si hace falta)
- **Ejecución (X, *Execute*)** realizar operación con los operandos del paso anterior. Se utiliza la ALU
  - Se ejecuta la operación en la ALU
- **Acceso a memoria (M, *Memory Access*)** se accede a mem para guardar el resultado, si es necesario
  - Si se requiere un acceso a memoria, se accede
- **Almacenamiento (W, *Writeback*)** a la CPU se le ponen los registros para no tener que acceder a memoria
  - Si se requiere volcar un resultado a un registro, se accede al banco de registros

M y W: son de almacenamiento pero puedo acceder para buscar un dato no para almacenar un resultado

pero buscar un operando en memoria no es lo recomendado entonces se intenta tener los operandos siempre en registro

Ruta de Datos en un ciclo

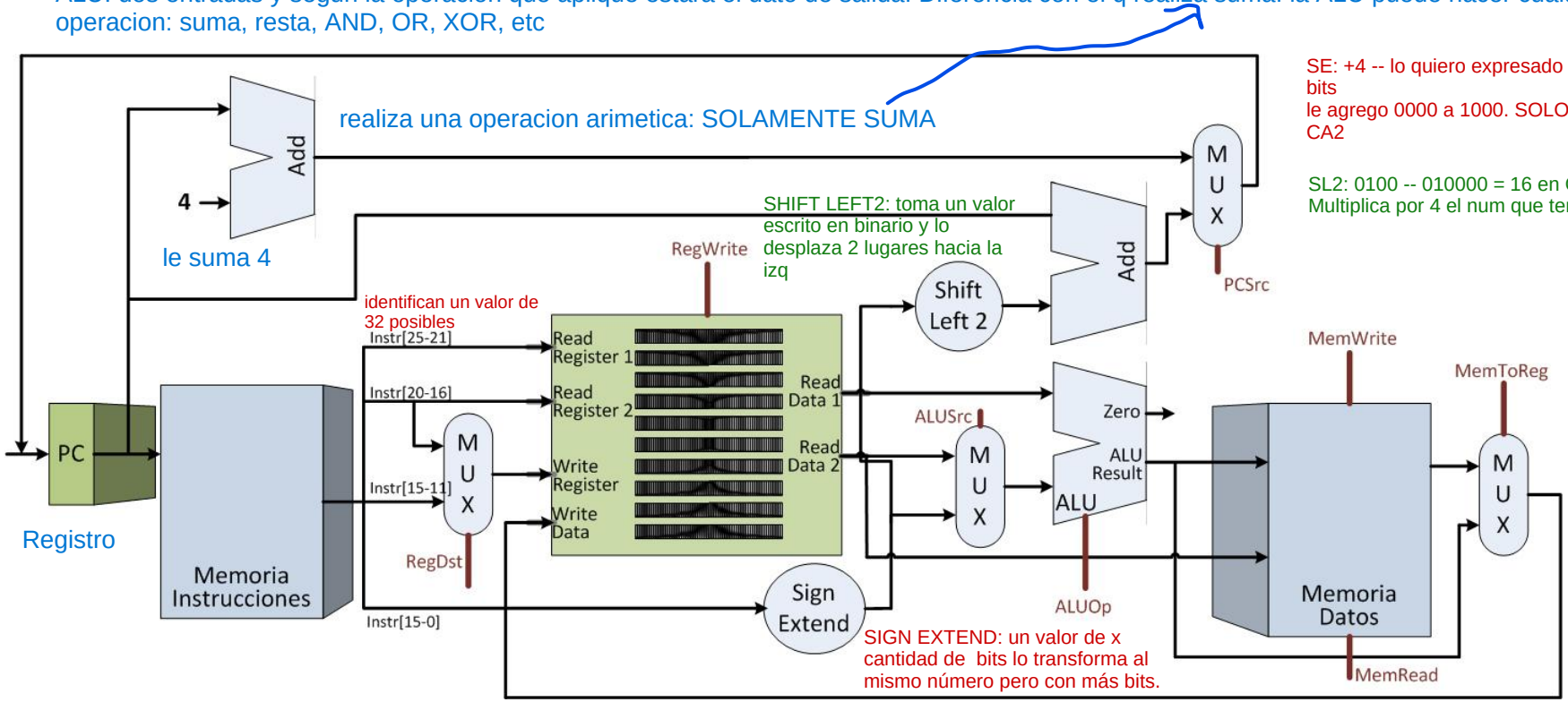
CAMBIOS QUE HACEMOS A LA RUTA DE DATOS VISTA ANTERIORMENTE

Se analiza de izq a derecha. Cuando se llega a la derecha terminó la instrucción

Banco de registro: puedo leer dos registros simultáneos y obtener sus dos valores de forma independiente. Estos dos datos pueden ir a la ALU.

En la ALU se calcula el resultado y se envía al banco de registros

ALU: dos entradas y segun la operación que aplique estará el dato de salida. Diferencia con el q realiza suma: la ALU puede hacer cualq operacion: suma, resta, AND, OR, XOR, etc

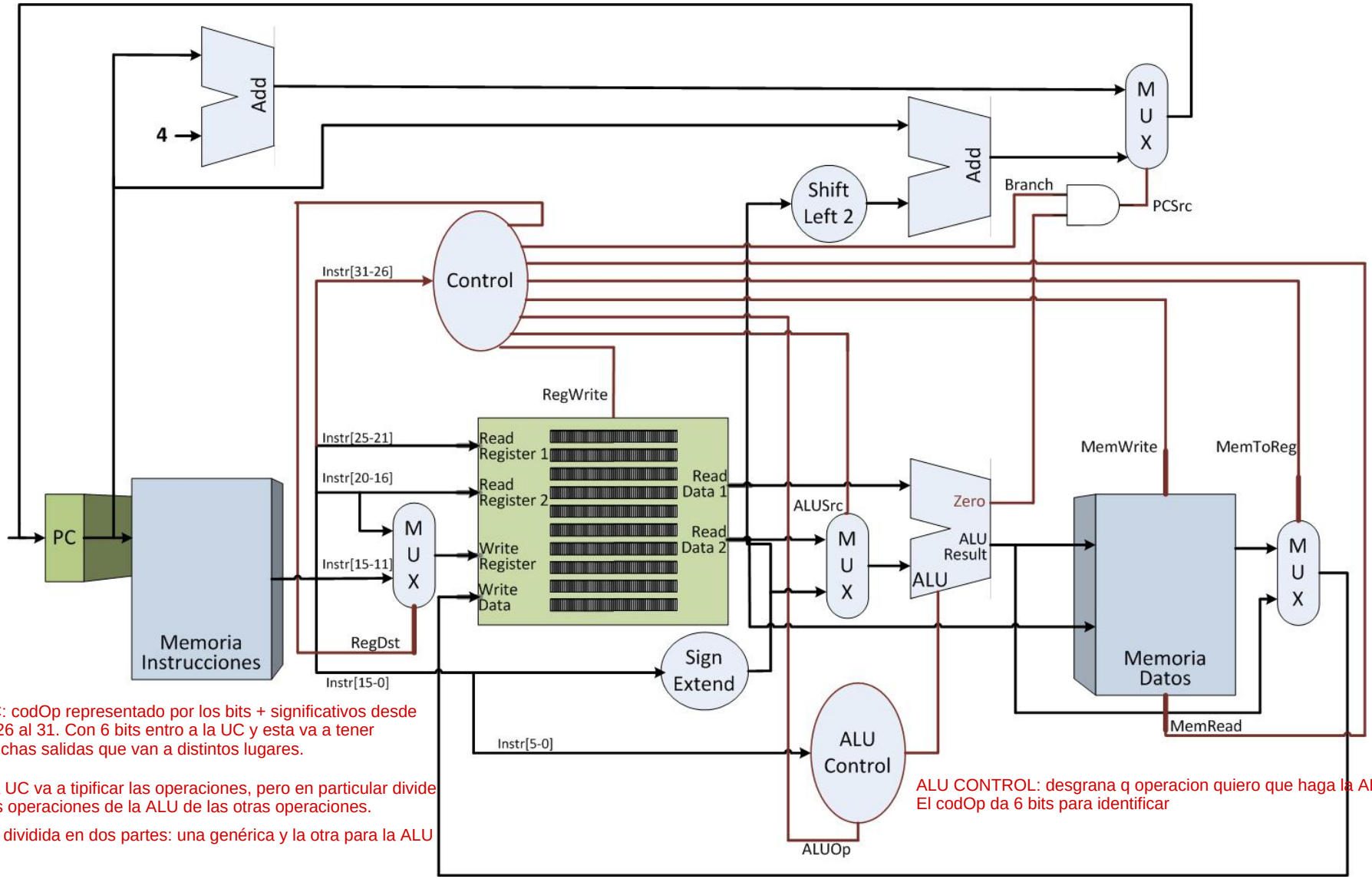


M U X: multiplexor circuito combinatorio que permite de varias entradas posibles tener una sola salida. La salida se elige a través de una señal de control.

Por qué le suma 4 al PC? ANTIGUAMENTE por cómo se tuvo que armar la relación o interacción de la CPU con la memoria. La mem solo tenía una sola manera de conectarse a través del bus de datos

Se va de a 4 bytes a buscar a memoria

Ruta de Datos y unidad de control



UC: codOp representado por los bits + significativos desde el 26 al 31. Con 6 bits entro a la UC y esta va a tener muchas salidas que van a distintos lugares.

La UC va a tipificar las operaciones, pero en particular divide las operaciones de la ALU de las otras operaciones.

UC dividida en dos partes: una genérica y la otra para la ALU

ALU CONTROL: desgrana q operacion quiero que haga la ALU. El codOp da 6 bits para identificar

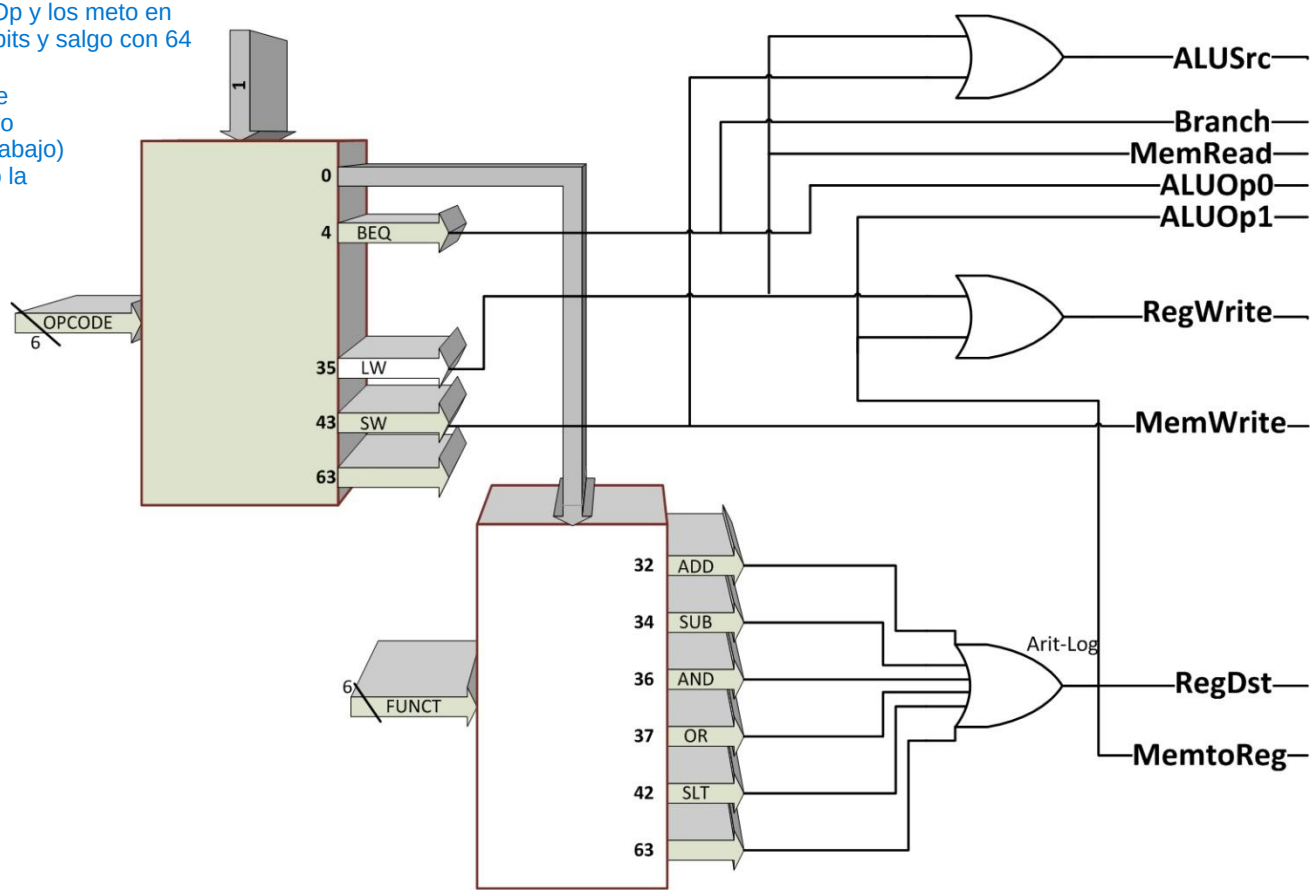
VER ESTO EN LIBROOOOOOOOOOOOOOO. No esta en el stallings

Unidad de control con decodificadores y puertas lógicas

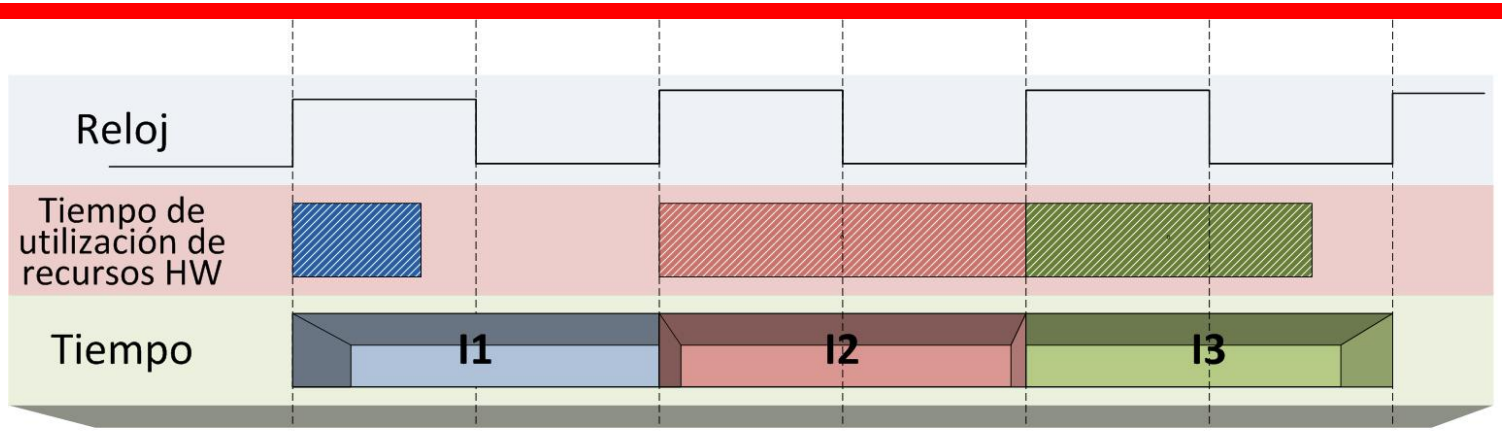
Tomo 6 bits del codOp y los meto en la caja. Entro con 6 bits y salgo con 64

Si los 6 bits son 0, se habilita entrada a otro decodificador (el de abajo) y con eso administro la ALU

Los bits que entran son distintos a los que salen



Comparación monociclo-multiciclo



Asumimos que las instrucciones tardan el mismo tiempo en Von Neumann

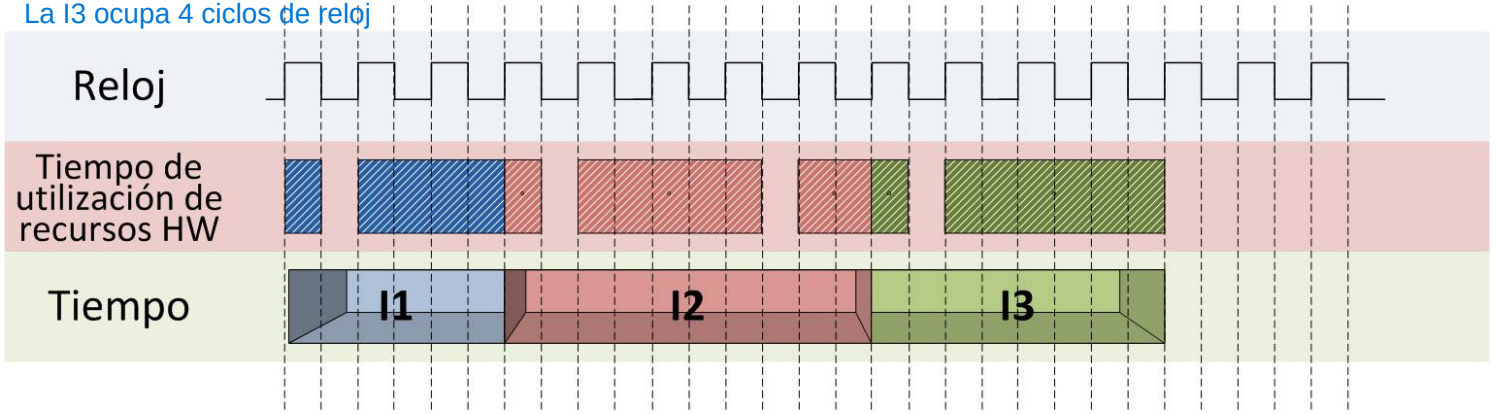
Cada instrucción tardaba 1 ciclo de reloj, pero desperdiciando hardware. Por lo tanto se agregó un hardware controlado por un reloj.

Cada instruccion tiene 5 fases para realizar para controlar lo que paso cuando no se utiliza el hardware.

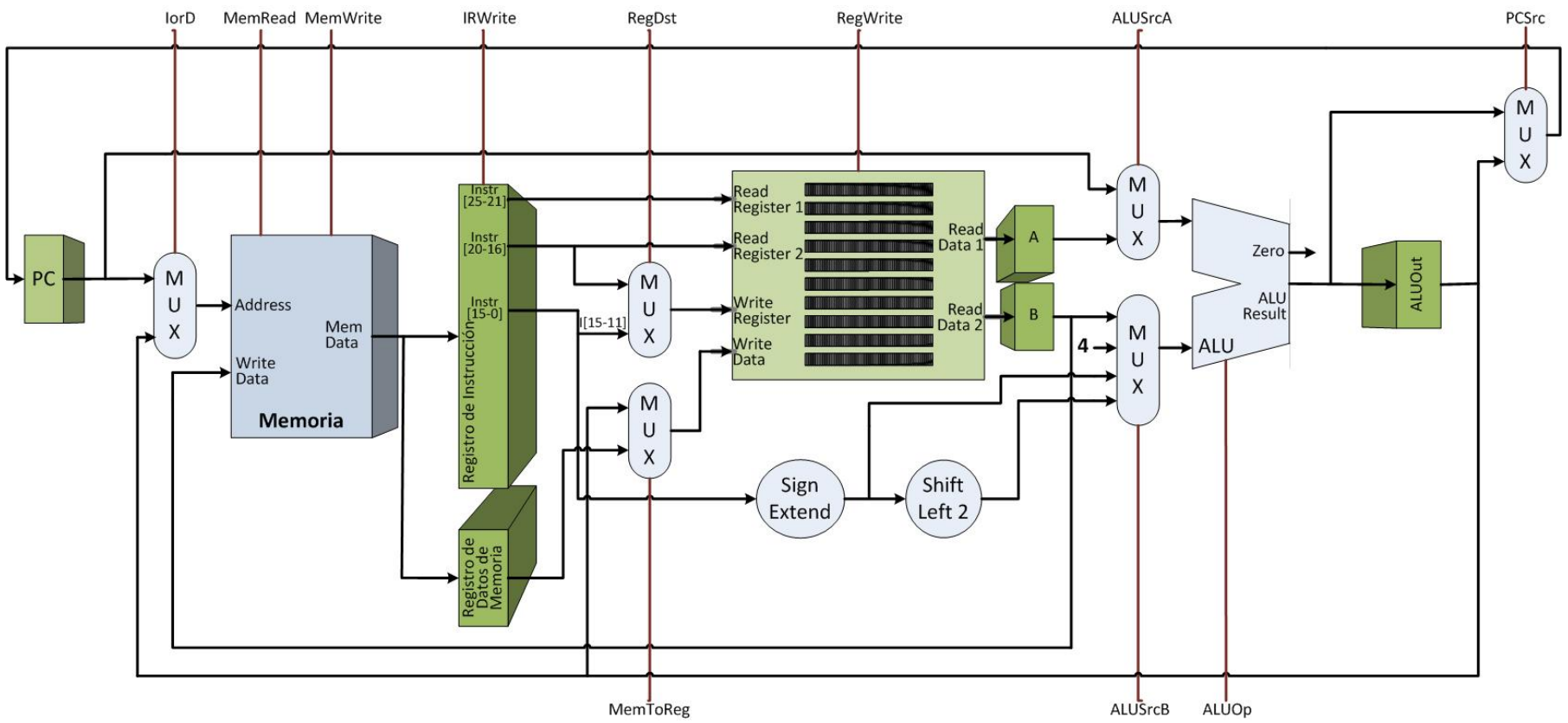
LA I1 ocupa 2 ciclos de reloj

LA I2 ocupa 5 ciclos de un reloj --> es decir ocupa todo el tiempo de la instrucción

La I3 ocupa 4 ciclos de reloj



Ruta de datos multiciclo



Ruta de datos y control multiciclo

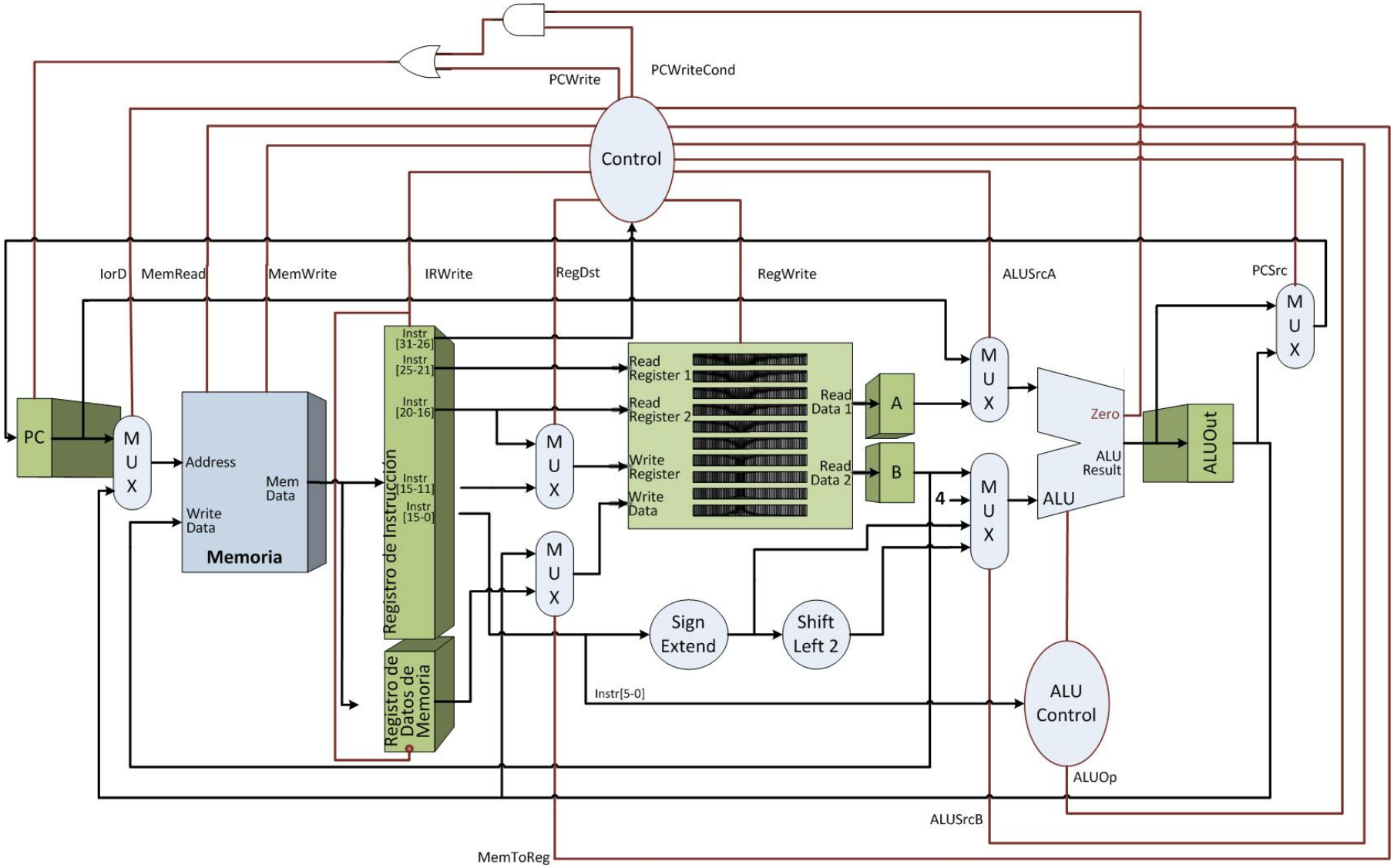
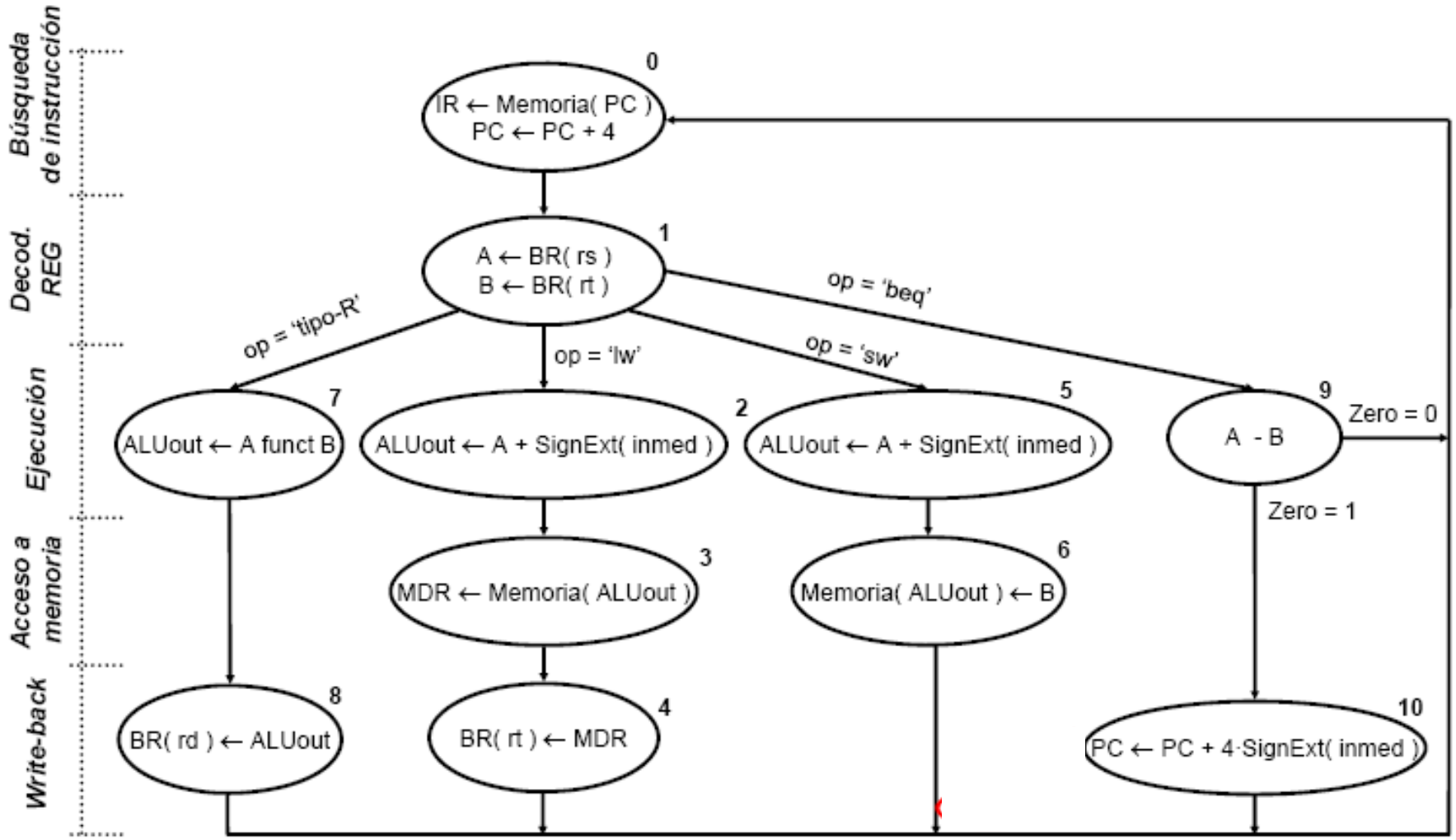


Diagrama de estados del controlador



Segmentación de cauce: Conceptos básicos

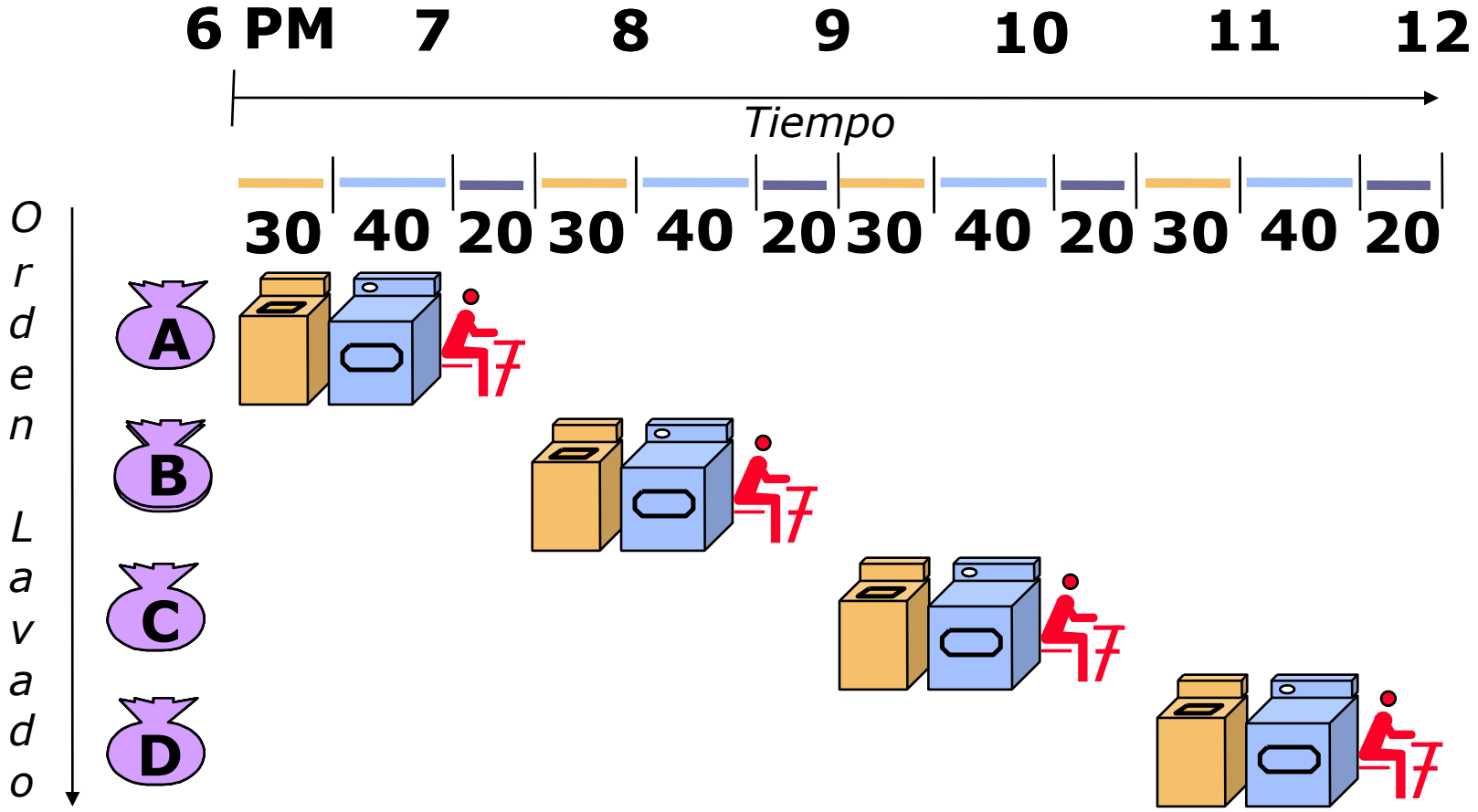
- La segmentación de cauce (*pipelining)* es una forma particularmente efectiva de organizar el hardware de la CPU para realizar más de una operación al mismo tiempo.
- Consiste en descomponer el proceso de ejecución de las instrucciones en fases o etapas que permitan una ejecución simultánea.
- Explota el paralelismo entre las instrucciones de un flujo secuencial.

Ejemplo de estrategia (1)

- Similar a la línea de armado en una planta de manufactura.
- El producto pasa por varios estados en el proceso de producción.
- Por lo tanto, varios productos pueden ser manipulados simultáneamente (cada uno en estados distintos).
- Se puede comenzar el proceso nuevamente (entrada a la línea de producción) antes de que salga el producto final de la misma.

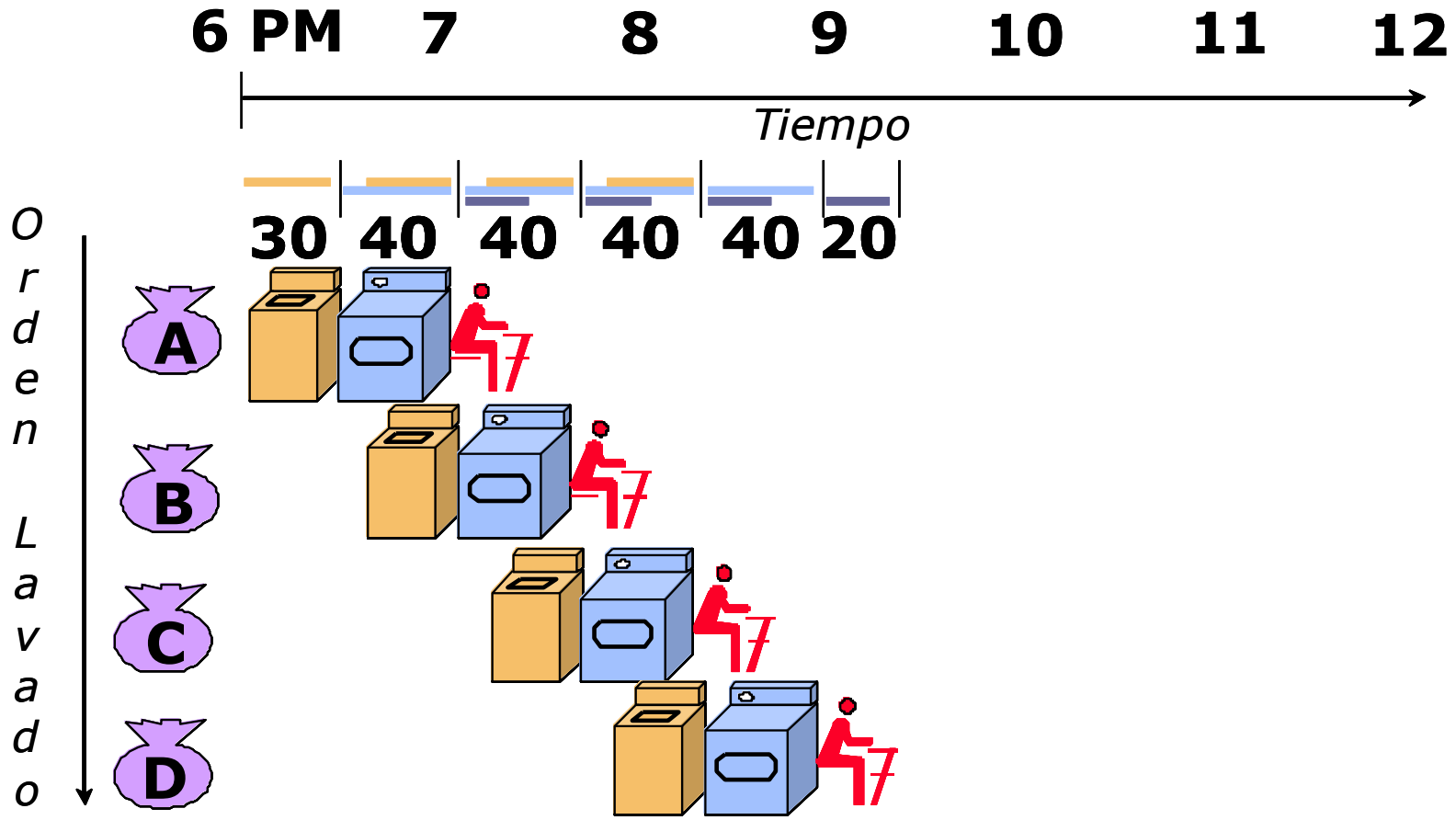
Ej. de estrategia (2)

Lavandería secuencial: ¡mal negocio!



Ej. de estrategia (3)

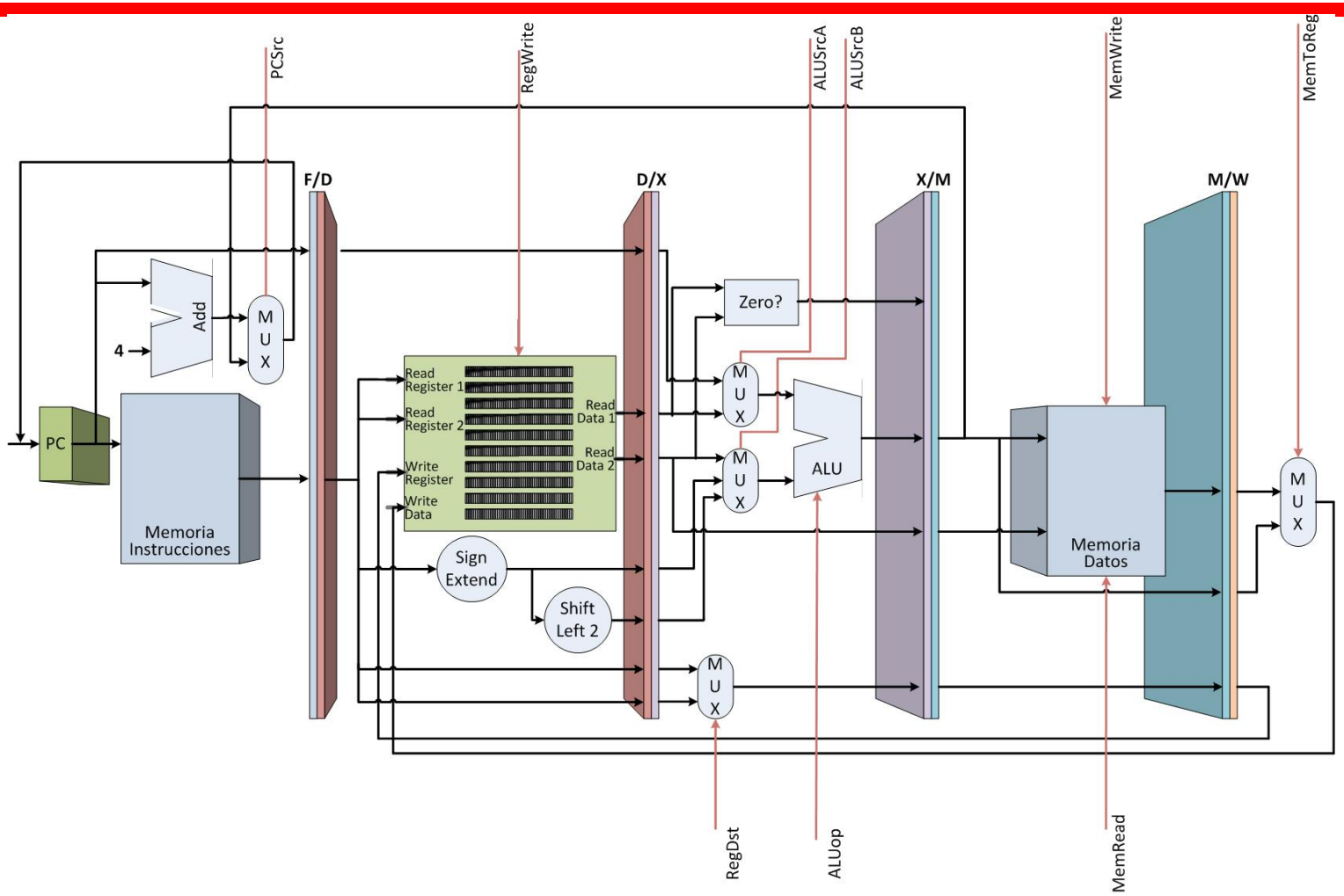
Lavandería segmentada: ¡buen negocio!



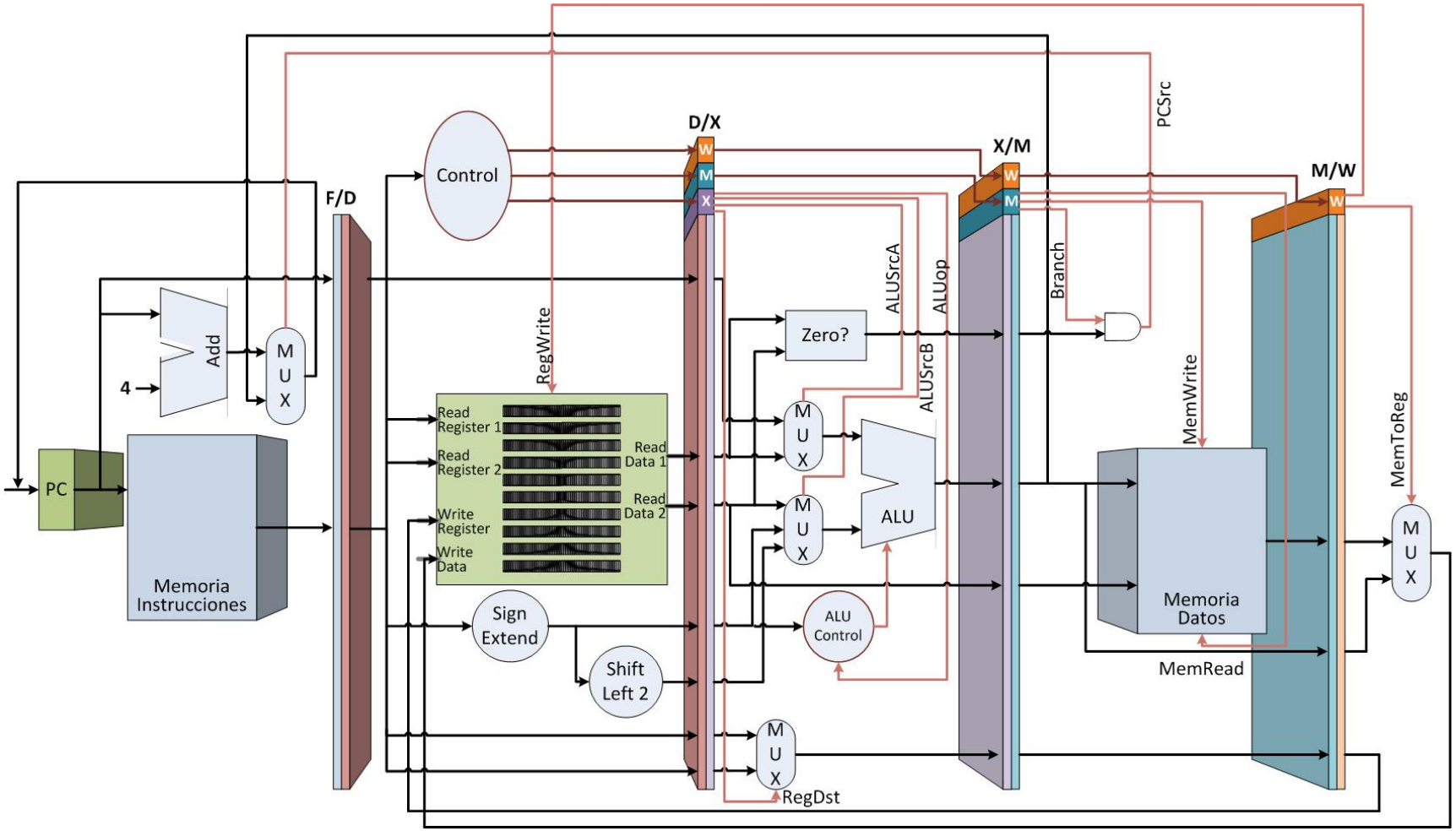
Características

- La segmentación es una técnica de mejora de prestaciones a nivel de diseño hardware.
- La segmentación es invisible al programador.
- Necesidad de uniformizar las etapas.
  - Al tiempo de la más lenta
- El diseño de procesadores segmentados tiene gran dependencia del repertorio de instrucciones.

Ruta de datos segmentados



Ruta de datos y control segmentado



Prestaciones del cauce segmentado

Teórica: El máximo rendimiento es completar una instrucción con cada ciclo de reloj.

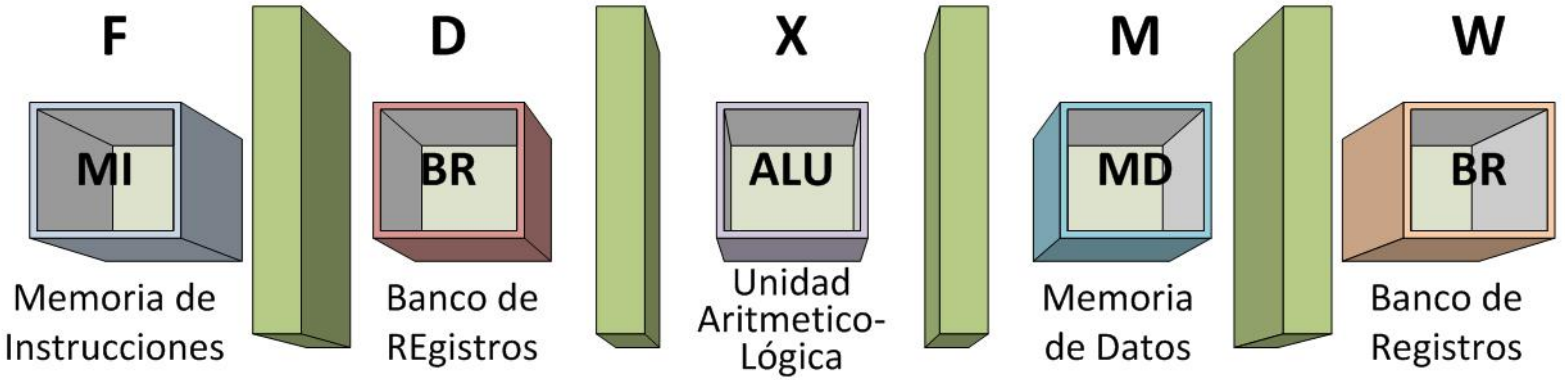
Si K es el número de etapas del cauce $\Rightarrow$

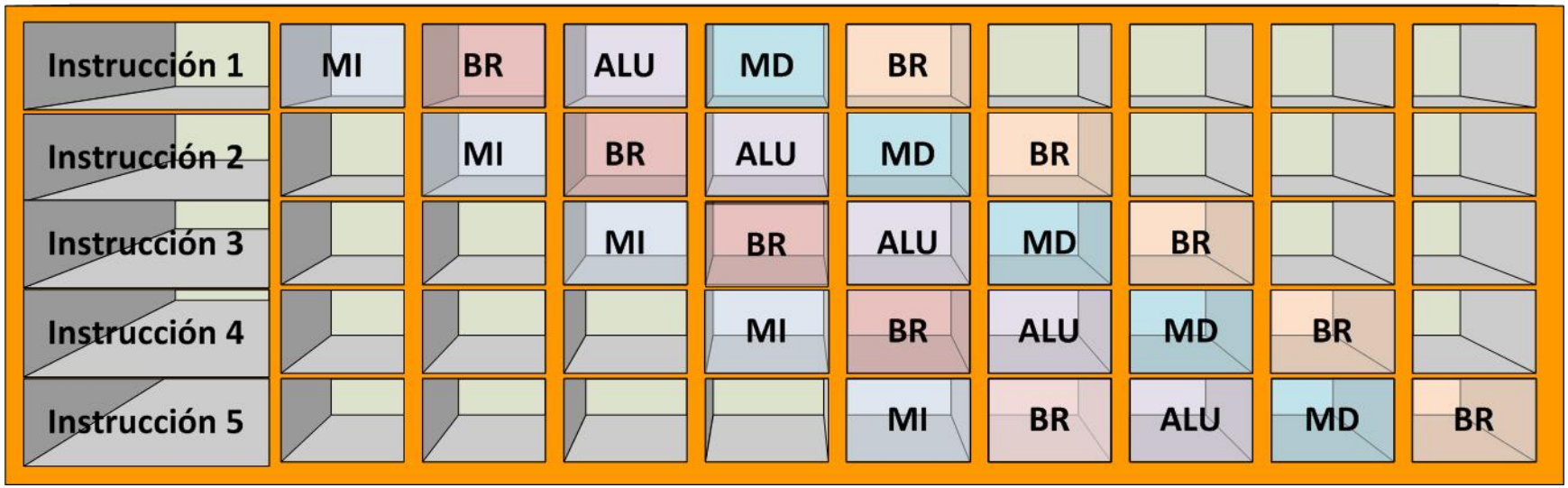
Vel. procesador segmentado = Vel. secuencial x K

El incremento potencial de la segmentación del cauce es proporcional al número de etapas del cauce.

Incrementa la productividad (throughput), pero no reduce el tiempo de ejecución de la instrucción

Ejemplo de segmentación





Análisis de la segmentación (1)

Suposiciones:

- Todas las tareas duran el mismo tiempo.
- Las instrucciones siempre pasan por todas las etapas.
- Todos las etapas pueden ser manejadas en paralelo.

Análisis de la segmentación (2)

Problemas:

- No todas las instrucciones necesitan todas las etapas.
  - SW RT, inmed(RS) ; no utiliza W
    - En MSX88: un MOV AX, mem ; no requiere X
- No todas las etapas pueden ser manejadas en paralelo.
  - F y M acceden a memoria
- No se tienen en cuenta los saltos de control.

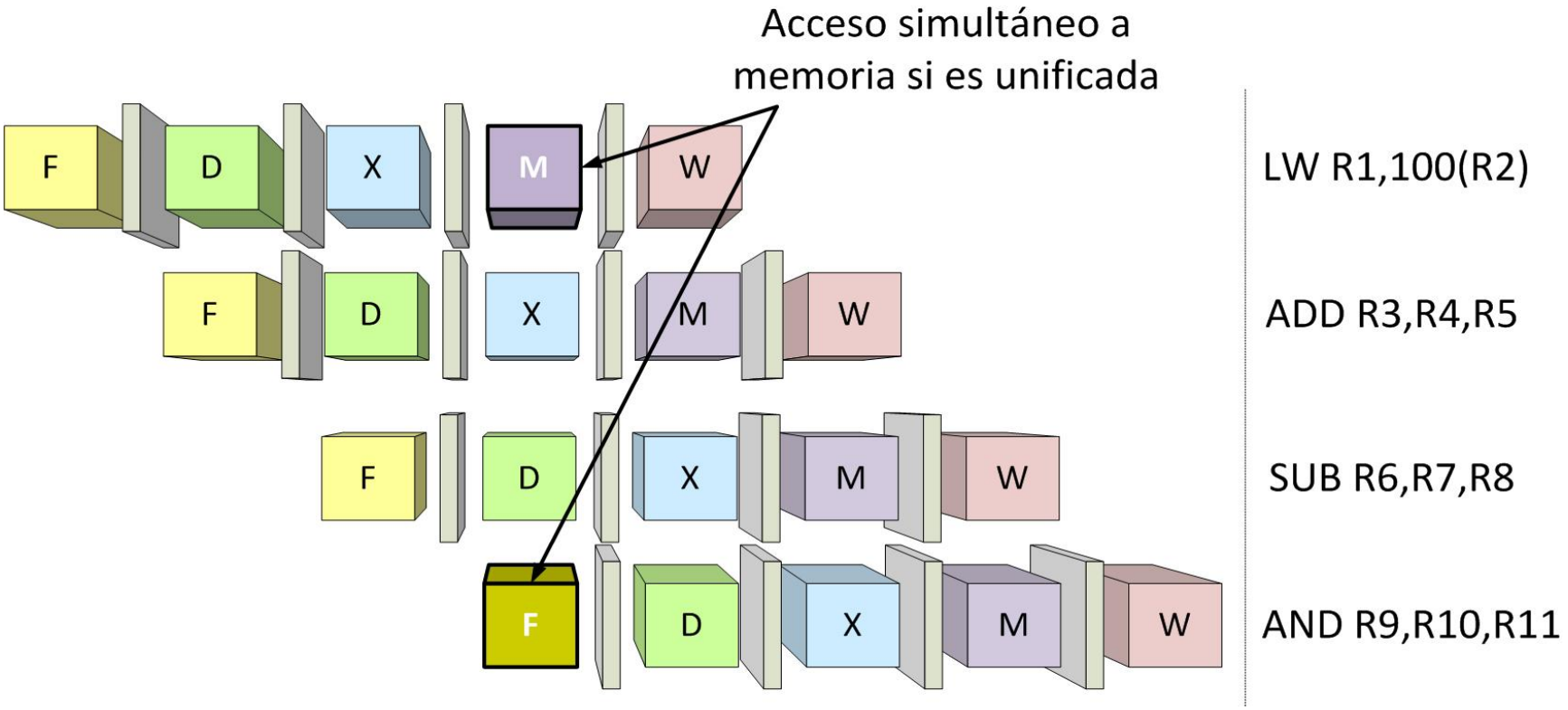
Atascos de un cauce (stall)

Situaciones que impiden a la siguiente instrucción que se ejecute en el ciclo que le corresponde.

- Estructurales
  - Provocados por conflictos por los recursos
- Por dependencia de datos
  - Ocurren cuando dos instrucciones se comunican por medio de un dato (ej.: una lo produce y la otra lo usa)
- Por dependencia de control
  - Ocurren cuando la ejecución de una instrucción depende de cómo se ejecute otra (ej.: un salto y los 2 posibles caminos)

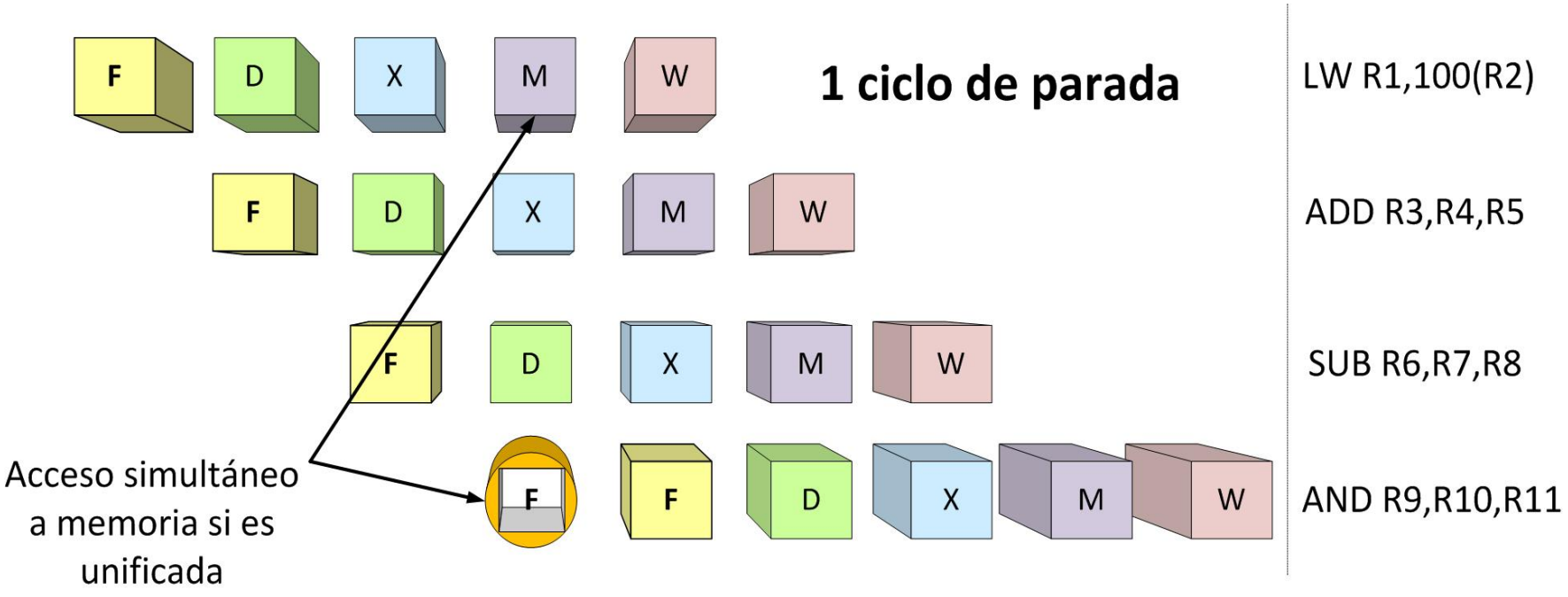
Riesgos estructurales

Dos o mas instrucciones necesitan utilizar el mismo recurso hardware en el mismo ciclo.



Riesgos estructurales (2)

Resolución ante el riesgo:



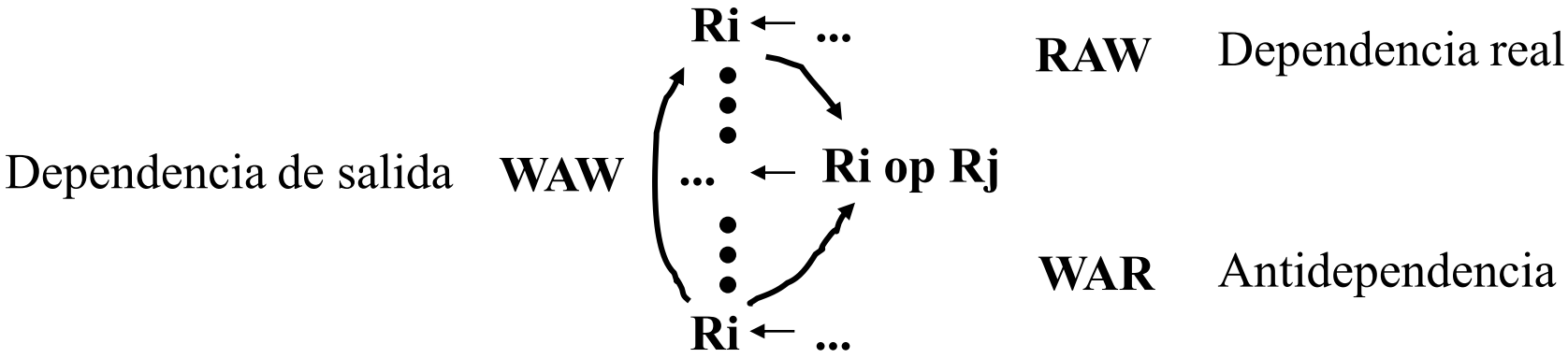
Riesgos por dependencias de datos

- Condición en la que los operandos fuente o destino de una instrucción no están disponibles en el momento en que se necesitan en una etapa determinada del cauce.

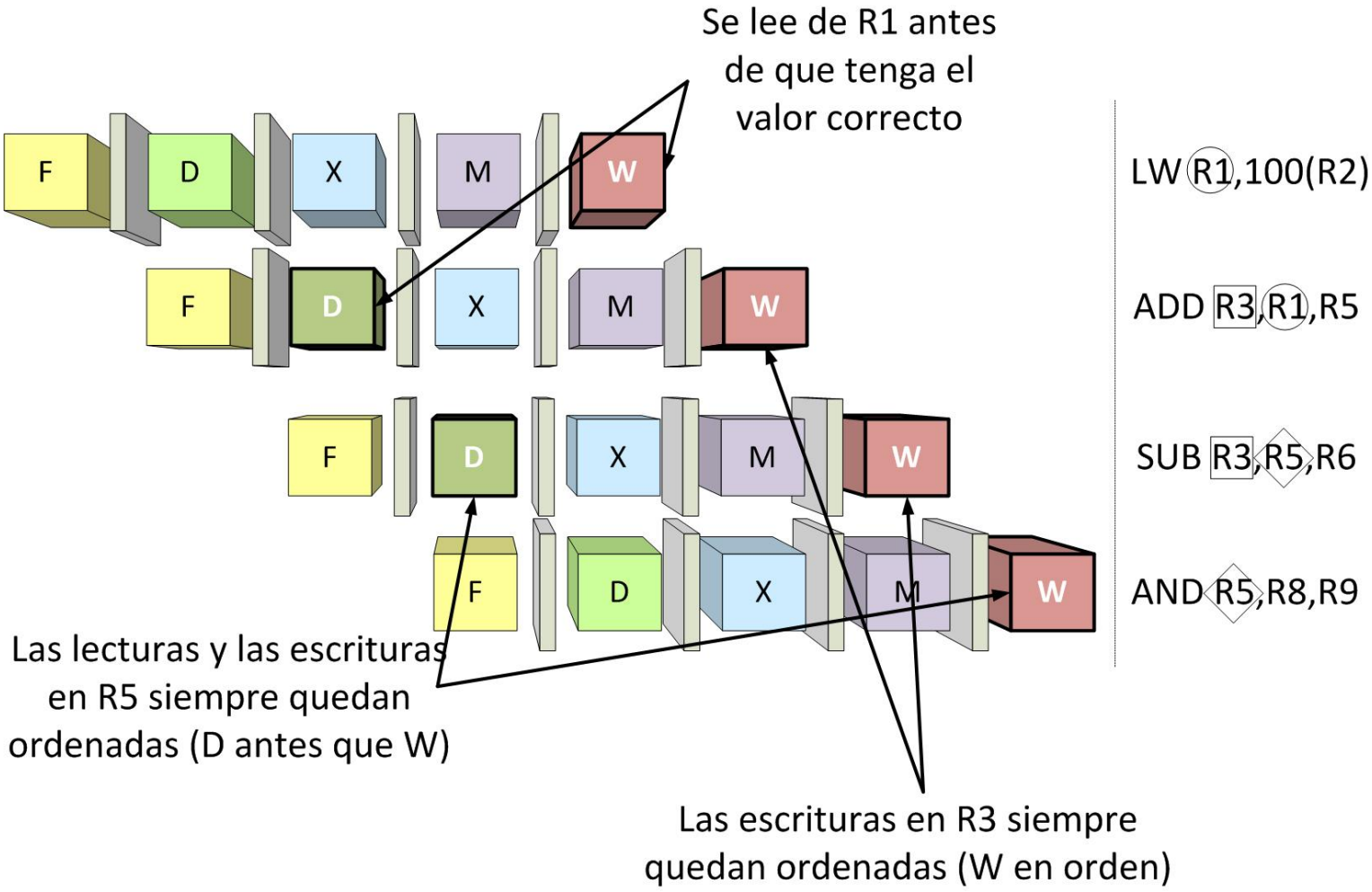
Tipos de dependencias de datos

- Lectura después de Escritura (RAW, dependencia verdadera)
  - una instrucción genera un dato que lee otra posterior
- Escritura después de Escritura (WAW, dependencia en salida)
  - una instrucción escribe un dato después que otra posterior
  - sólo se da si se deja que las instrucciones se adelanten unas a otras
- Escritura después de Lectura (WAR, antidependencia)
  - una instrucción modifica un valor antes de que otra anterior que lo tiene que leer, lo lea
  - no se puede dar en nuestro cauce simple

Tipos de dependencias ...(2)

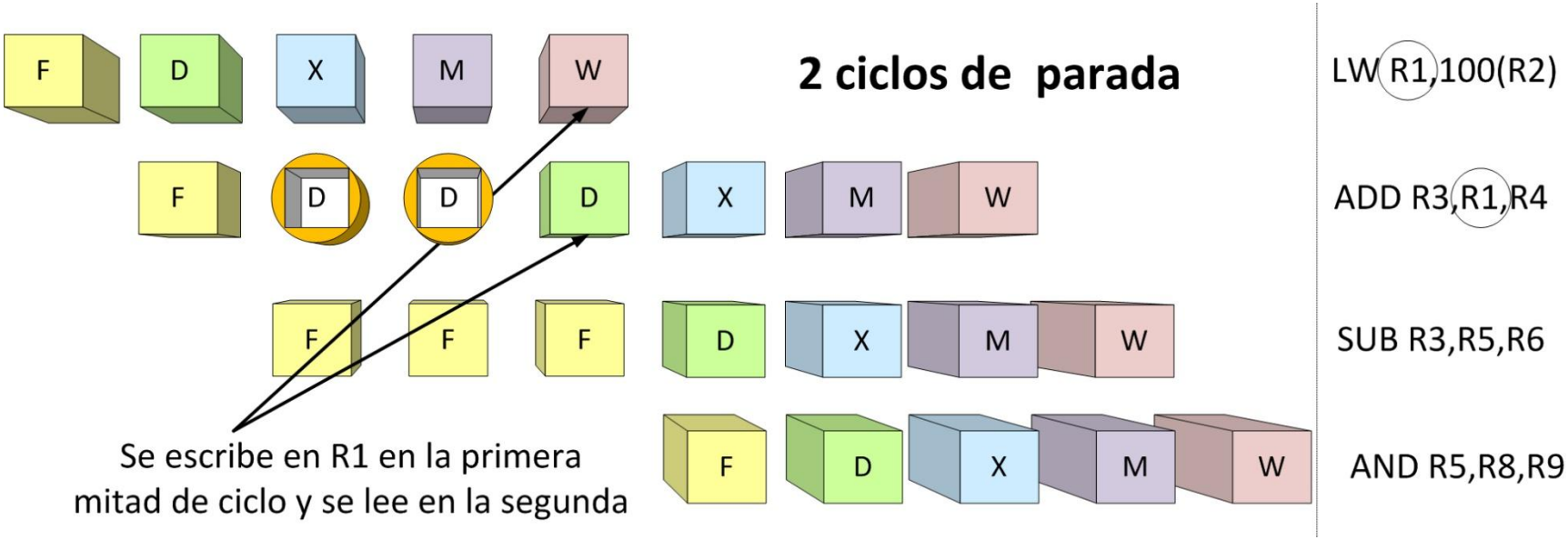


Riesgos por dep... datos (2)



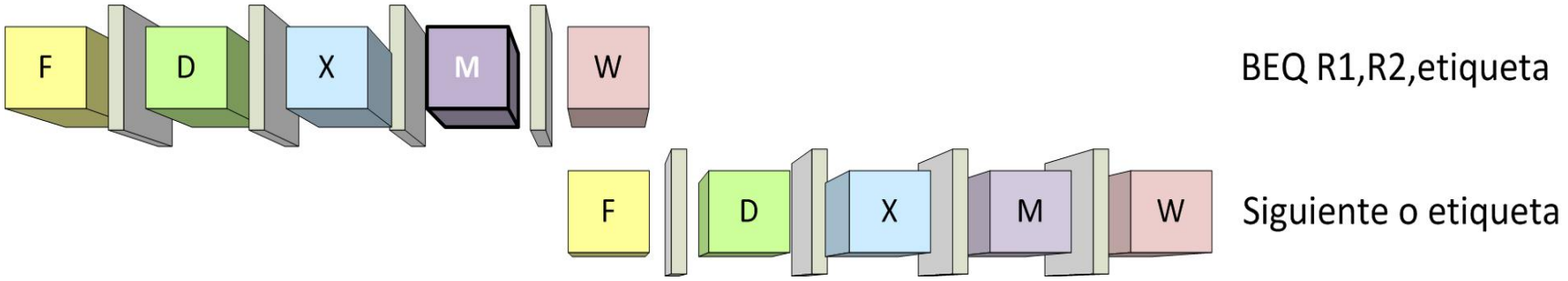
Riesgos por dep... datos (3)

Resolución ante el riesgo:



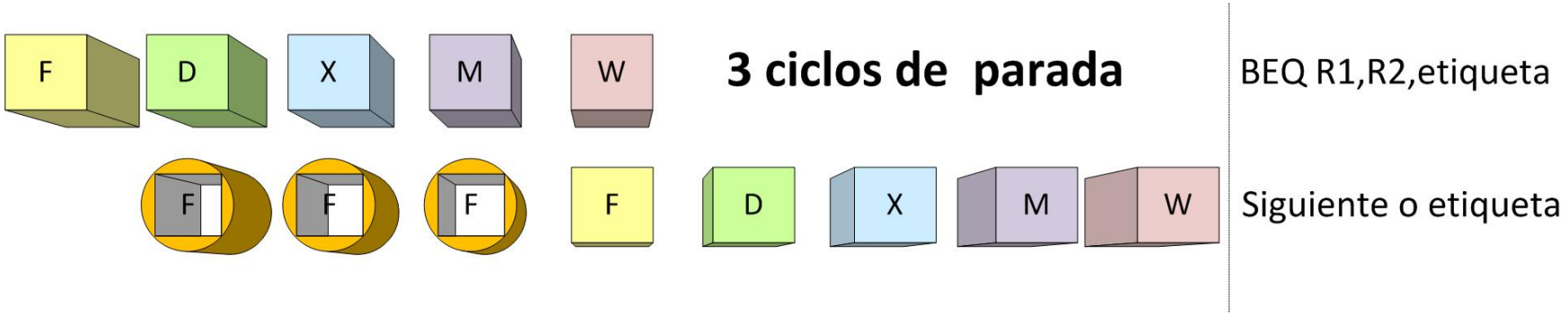
Riesgos de control (o de instrucciones)

Una instrucción que modifica el valor del PC no lo ha hecho cuando se tiene que comenzar la siguiente.



Riesgos de control (2)

Resolución ante el riesgo:



Lectura básica

- *Organización y Arquitectura de Computadores*, W. Stallings, Capítulo 11.