

Guía de Ejercicios Prácticos U5 - Componentes

A - Procesador

1. ¿Cómo funciona el ciclo de trabajo búsqueda - decodificación - ejecución?
2. Indicar 5 características de los procesadores CISC.
3. Indicar 5 características de los procesadores RISC.
4. Mencionar los nombres de 3 procesadores CISC y 3 RISC.
5. Los dos programas siguientes hacen lo mismo. Indicar cuál tarda menos si el promedio de ciclos de máquina por instrucción de este procesador RISC es de 1,2 y el del CISC es 1,5 .

RISC

```

.text                @ Indica que los siguientes
                    @ ítems en memoria son
                    @ instrucciones

start:
    mov    r0, #15    @ Carga el número 15 en r0
    mov    r1, #20    @ Carga el número 20 en r1
    bl     func       @ Llamado a subrutina
    swi    0x11       @ Fin de programa

func:               @ Subrutina
    add    r0, r0, r1 @ r0 = r0 + r1
    mov    pc, lr     @ Retornar desde subrutina
    .end                @ Marcar fin de archivo

```

CISC

```

.org 100h
.code                ;Indica que los siguientes
                    ;ítems en memoria son
                    ;instrucciones

start:
    mov al,15h       ;Carga el número 15 en al
    mov ah,20h       ;Carga el número 20 en ah
    call func        ;Llamado a subrutina
    ret              ;Fin de programa

func PROC            ;Subrutina
    add al, ah        ;AL = AL + AH
    ret              ;Retorno de la subrutina
    func ENDP        ;Fin de la subrutina

end                  ;Fin de programa

```

- a. Completar la siguiente tabla sin incluir las directivas:

RISC		CISC	
N número de instrucciones	CPI promedio de ciclos de máquina por instrucción	N número de instrucciones	CPI promedio de ciclos de máquina por instrucción

b. Comparar $N_{RISC} \cdot CPI_{RISC}$ con $N_{CISC} \cdot CPI_{CISC}$

6. El tiempo de ejecución de un programa en alto nivel es $T = N \times CPI / f_{ck}$. En esta expresión N es la cantidad de instrucciones ejecutadas, CPI es el número de ciclos de máquina promedio por instrucción y f_{ck} es la frecuencia de reloj del procesador.

El mismo programa se ejecuta en una máquina CISC y en una RISC con un promedio de ciclos de máquina por instrucción del procesador RISC de 1,2 y de 1,5 en el procesador CISC.

- Si las dos máquinas tardan lo mismo en ejecutar el programa y la frecuencia de reloj es la misma en ambos procesadores, ¿qué porcentaje de instrucciones N_{RISC} representa N_{CISC} ?
- ¿Qué porcentaje de instrucciones N_{RISC} representa N_{CISC} si la frecuencia de reloj del procesador RISC es 12% mayor a la frecuencia de reloj del procesador CISC y tardan lo mismo en ejecutar el programa?

7. Un programa de prueba se está ejecutando en un procesador de 40 MHz. El código objeto consta de 100.000 instrucciones, con el siguiente conjunto de instrucciones y ciclo de reloj:

Tipo de Instrucción	Contador de instrucciones	Ciclo de reloj
Aritméticos enteros	45.000	1
Datos transferidos	32.000	2
Punto flotante	15.000	2
Control transferidos	8.000	2

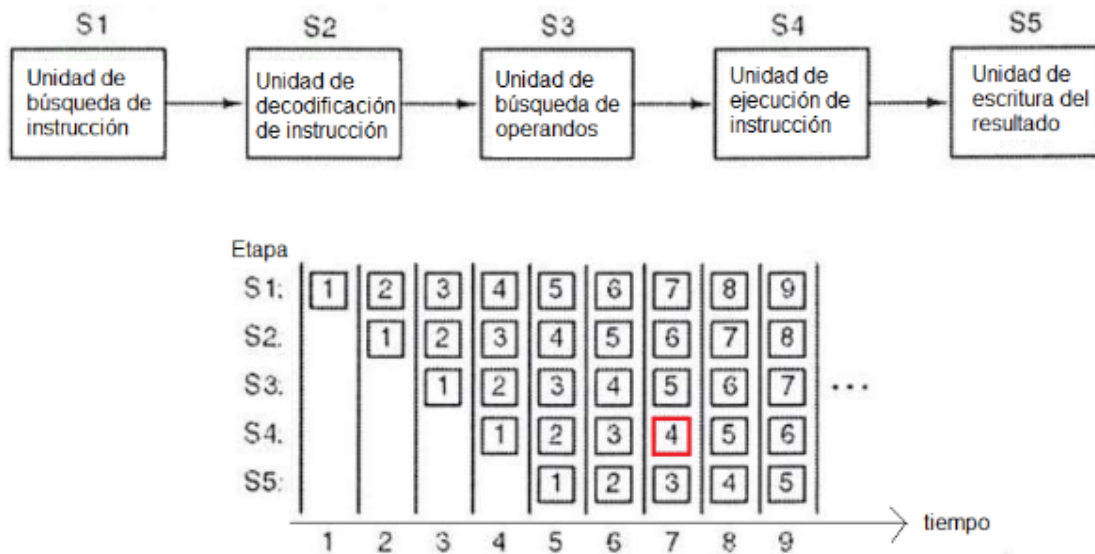
Determinar el CPI efectivo, la velocidad en MIPS, y el tiempo de ejecución para este programa.

8. En base a la siguiente figura se pide:

- Explicar el concepto de pipelining.
- ¿Qué representa el número 4 marcado en rojo en la figura?

- c. Indicar todo lo que ocurre durante el tiempo 6.

Pipelining de 5 etapas



9. Indicar si la siguiente afirmación es verdadera o falsa.

Un procesador superescalar es un procesador canalizado con varias canalizaciones de ejecución. Dicho procesador es muy útil cuando una de las etapas de ejecución requiere varios ciclos de reloj.

10. ¿Cuántas instrucciones se pueden ejecutar al mismo tiempo en un procesador superescalar de 3 canalizaciones?

11. La supercomputadora Blue Gene de IBM puede alcanzar velocidades de funcionamiento en el rango PFLOPS (petaFLOPS).

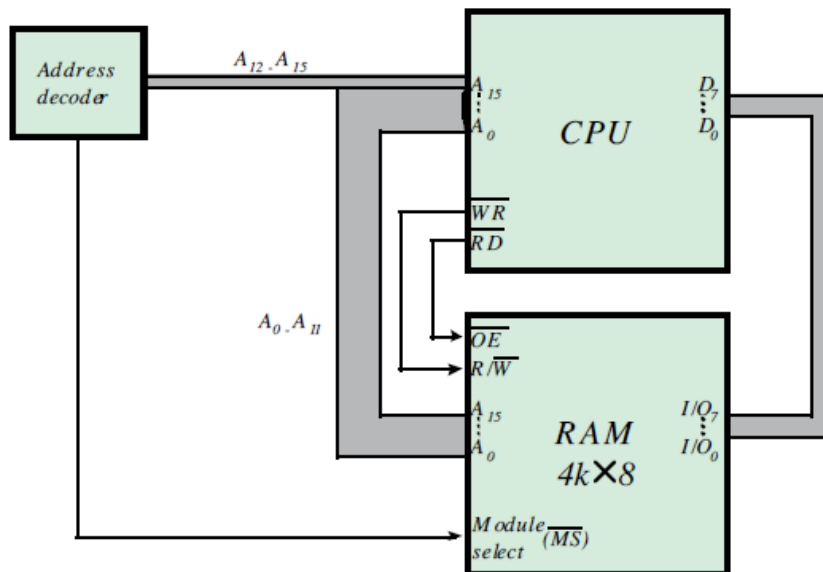
- ¿Qué significa el acrónimo FLOPS?
- Escribir un 1 seguido de tantos ceros como corresponda a la cantidad de FLOPS que puede alcanzar la velocidad de funcionamiento de la supercomputadora Blue Gene.

B - Memoria

- ¿Cómo se llama, en una memoria, el tiempo que transcurre desde que se aplica una dirección en la entrada, hasta que el dato almacenado se tiene en la salida?
- Clasificar los siguientes niveles de memoria según su capacidad, tiempo de acceso y costo con 1 para la de mayor capacidad y 5 para la de menor, 1 para la de menor tiempo de acceso y 5 para la de mayor, 1 para la de menor precio y 5 la de mayor

	Registro	Cache	Principal	Unidades de disco	Cinta magnética
Capacidad					
Tiempo de acceso					
Costo					

3. Dado un circuito integrado de memoria ROM de 512 x 4 indicar:
- Cuántas entradas de dirección tiene
 - Cuántas entradas/salidas de datos tiene
 - Cuántas palabras y de qué tamaño almacena
4. Considere la parte del procesador y la RAM del sistema que se muestra a continuación
- ¿Cuántas palabras contiene la RAM y con qué longitud de bits?
 - Para escribir en la RAM, las entradas de dirección A0 a A11 deben estar activadas, entonces, el selector de módulo de memoria MS debe estar habilitado. ¿La habilitación debería lograrse con un "1" o un "0"?
 - Al mismo tiempo, la única entrada lectura R y escritura W se mantiene a un nivel constante; ¿este nivel debería ser un nivel ALTO o un nivel BAJO?.
 - ¿La habilitación de salida OE debe estar en ALTO o BAJO?
 - ¿I/O0 a I/O7 son entradas o salidas para la operación?
 - ¿Qué líneas constituyen el bus de control en la figura?



5. ¿Cuál es la diferencia entre una memoria volátil y una perenne o no volátil?
6. Para las siguientes memorias indicar el significado de las siglas, las características que derivan de su nombre y si es volátil o no volátil:
RAM, ROM, PROM, EPROM, EEPROM, FLASH
7. Diseñar un banco de memoria RAM de 1 GByte. Se dispone de un circuito integrado de 512 M palabras de 4 bits y dos de 256 M palabras de 4 bits. Se pide:
 - a. Indicar cuántos y cuáles circuitos integrados se van a usar.
 - b. Armar un mapa de memoria en el que se vea la primera dirección y la última para cada circuito integrado.
 - c. Decodificar los selectores de integrado (Chip Select).
 - d. Dibujar el circuito.
8. Diseñar un banco de memoria RAM de 768 MBytes y 256 Bytes de ROM. Para la memoria RAM se dispone de dos circuitos integrados de 256 Mbytes y dos de 128 MBytes. Para la memoria ROM se dispone de un circuito integrado de 128 MBytes, uno de 64 MBytes y dos de 32 Mbytes. Se pide:
 - a. Indicar cuántos y cuáles circuitos integrados se van a usar.
 - b. Armar un mapa de memoria en el que se vea la primera dirección y la última para cada circuito integrado.
 - c. Decodificar los selectores de integrado (Chip Select).
 - d. Dibujar el circuito.
9. La memoria principal de una máquina contiene 8 KBytes en 512 bloques de 16 palabras cada uno. La memoria caché de asignación directa es de 128 bytes. Suponiendo un tiempo de acceso a la memoria principal de 10ns, un tiempo de acceso a la memoria caché de 1ns y el tiempo de carga de un bloque de memoria principal en la memoria caché de 160ns, se pide:
 - a. Indicar el formato de la dirección de memoria caché
 - b. Obtener la tasa de aciertos y el tiempo efectivo de acceso de un programa de 18 bytes de longitud que comienza en la dirección $(1D)_{16}$ y termina en la dirección $(2E)_{16}$ si el programa itera 3 veces ese conjunto de instrucciones.
 - c. Ubicar en la memoria caché la dirección correspondiente a la dirección de memoria principal $(0A99)_{16}$.
 - d. Recalcular el tiempo efectivo de acceso si cada una de las 18 instrucciones del programa anterior se encuentran en la tercera palabra de los bloques $nx128$ con $n = 0$ a 17.