

KIẾN TRÚC MÁY TÍNH - 2012

Thời gian : 45 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Việc phân tách bộ nhớ cache mức L1 thành hai phần, instruction cache và data cache, mang lại những ưu/nhược điểm so với không phân tách?

2. Với cùng bộ nhớ cache, liệu có thể có trường hợp sử dụng phương pháp ánh xạ trực tiếp mang lại tỷ lệ hit cao hơn so với phương pháp ánh xạ kết hợp với giải thuật thay thế LFU (Least Frequently Used) hay không? Giải thích rõ câu trả lời và đưa ra ví dụ nếu có.

3. Xét bộ nhớ cache 4MB sử dụng phương pháp ánh xạ kết hợp theo tập 4 đường (4-way set associative), kích thước mỗi slot/line là 64 bytes. Bộ vi xử lý sử dụng từ nhớ dữ liệu 64b và 48b cho địa chỉ. Giả sử biến x, kiểu uint64, được lưu trữ trong bộ nhớ chính tại địa chỉ 0x1BFE_A110_8208, và đã được đưa vào cache. Giả sử có biến con trỏ ptr được khai báo: char *ptr = 0x1BFEA1100000;

Hãy xác định các truy cập sau sẽ là cache miss hay cache hit, hay không thể xác định được:

a. *(ptr + 0x8210)

b. *(ptr + 0x8008)

c. *(ptr + 0x8200)

4. Xét bộ nhớ cache có 4 slots sử dụng phương pháp ánh xạ kết hợp. CPU cần truy cập chuỗi các blocks có địa chỉ như sau: 0 1 2 3 2 3 4 5 7 0 1 8 6 2 5 4. Hãy vẽ sơ đồ minh họa các kỹ thuật thay thế trong cache LFU, LRU và xác định số lần cache miss/hit đối với mỗi kỹ thuật sử dụng.

KIẾN TRÚC MÁY TÍNH - 2013

Thời gian : 45 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Xét bộ nhớ chính sử dụng địa chỉ 36 bits ở mức byte, bộ nhớ cache có mỗi slot là 64 bytes. Nếu cache sử dụng phương pháp ánh xạ kết hợp theo tập 4 đường với trường tag là 9 bits, hãy làm rõ các tham số: số đơn vị địa chỉ, số khối trong bộ nhớ chính, số dòng cache, số lượng tập.

So block-

2. Xét máy tính có 2 mức cache L1, L2, bộ nhớ chính và ổ đĩa cứng được sử dụng cho việc tạo bộ nhớ ảo. Thời gian truy cập từ nhớ tại mỗi thành phần nhớ tương ứng là 5, 20, 100, và 10.000ns. Tỷ lệ từ nhớ truy cập đã được đưa vào các thành phần nhớ này rồi lần lượt là 95%, 90% và 80%. Tính thời gian truy cập trung bình một từ nhớ đối với máy tính này.

3. Tính số lần cache miss/hit đối với chương trình được thực thi trong máy tính có các tham số sau :

- Bộ nhớ cache có 32 slots, được tổ chức theo phương pháp ánh xạ kết hợp theo tập 4 slots, ban đầu đều trống.
- Bộ nhớ chính bao gồm 1M blocks, được đánh địa chỉ từ 0 đến 1023
- Chương trình cần truy cập các blocks có địa chỉ là 1, 2, 3, 5, 1, 5, 6, 2, 5, 3, 4, 1, 6, 4
- Giải thuật thay thế là Least Recently Used.

KIẾN TRÚC MÁY TÍNH - 2014

Thời gian : 60 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Xét bộ nhớ chính sử dụng địa chỉ 38 bits ở mức byte, bộ nhớ cache có mỗi slot là 64 bytes. Nếu cache sử dụng phương pháp ánh xạ kết hợp theo tập 8 slots với trường tag là 9 bits, hãy làm rõ các tham số: số đơn vị địa chỉ, số khối trong bộ nhớ chính, số dòng cache, số lượng tập.

2. Xét máy tính có 3 mức cache L1, L2, L3; bộ nhớ chính và ổ đĩa cứng được sử dụng cho việc tạo bộ nhớ ảo. Thời gian truy cập từ nhớ tại mỗi thành phần nhớ tương ứng là 2, 8, 20, 100, và 10.000ns. Tỷ lệ từ nhớ truy cập đã được đưa vào các thành phần nhớ này rồi lần lượt là 96%, 97%, 98%, 99% và 100%. Tính thời gian truy cập trung bình một từ nhớ đối với máy tính này.

3. Tính số lần cache miss/hit đối với chương trình được thực thi trong máy tính có các tham số sau :

- Bộ nhớ chính bao gồm 1K blocks, được đánh địa chỉ từ 0 đến 1023
- Bộ nhớ cache có 32 slots, được tổ chức theo phương pháp ánh xạ kết hợp theo tập 4 slots, ban đầu đều đã chứa các khối từ địa chỉ 100, mỗi khối có tần xuất sử dụng chỉ 1 lần.
- Chương trình cần truy cập các blocks có địa chỉ là 1, 2, 3, 5, 1, 5, 6, 1, 2, 5, 2, 3, 4, 1, 6, 4
- Giải thuật thay thế là Least Frequently Used.

KIẾN TRÚC MÁY TÍNH - 2015

Thời gian : 60 phút, không kể thời gian phát đề. *Cấm sử dụng tài liệu !*

1. Việc phân tách bộ nhớ cache mức L1 thành hai phần, instruction cache và data cache, mang lại những ưu/nhược điểm so với không phân tách? Tại sao mức cache L2 lại thường sử dụng cache chung?
2. Với cùng bộ nhớ cache, liệu có thể có trường hợp sử dụng phương pháp ánh xạ trực tiếp mang lại tỷ lệ hit cao hơn so với phương pháp ánh xạ kết hợp với giải thuật thay thế LFU (Least Frequently Used) hay không? Giải thích rõ câu trả lời và đưa ra ví dụ nếu có.
3. Xét bộ nhớ chính sử dụng địa chỉ 40 bits ở mức byte, bộ nhớ cache có mỗi slot chứa được khối 64 bytes. Nếu cache sử dụng phương pháp ánh xạ kết hợp theo tập 16 slots với trường tag là 9 bits, hãy làm rõ các tham số: số đơn vị địa chỉ, số khối trong bộ nhớ chính, số dòng cache, số lượng tập.

4. Cho đoạn mã lệnh viết bằng ngôn ngữ C dưới đây:

```
register int i,j ;           //i, j được lưu trong các thanh ghi
int A[5][100] ;             // int là kiểu tự nhiên độ lớn 32 bits
int B[101][5] ;

for (i=0 ; i<5 ; i++)
    for (j=0 ; j<100; j++)
        A[i][0] = B[j][4] + B[j+1][4] ;
```

Đoạn mã này sẽ được thi hành trên một computer có bộ nhớ *cache dữ liệu* sử dụng phương pháp ánh xạ kết hợp với dung lượng 16 kilo-bytes và mỗi block là 16 bytes. Ban đầu cache dữ liệu hoàn toàn rỗng. Tính và giải thích rõ số lần *cache miss/hit* khi đoạn mã này được thi hành. Hãy tổ chức lại đoạn mã trên để nâng cao tỷ lệ cache hit?

KIẾN TRÚC MÁY TÍNH - 2016

Thời gian : 60 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Xét máy tính có 2 mức cache L1, L2, bộ nhớ chính và bộ nhớ ngoài SSD được sử dụng cho việc tạo bộ nhớ ảo. Thời gian truy cập từ nhớ tại mỗi thành phần nhớ tương ứng là 5, 20, 100, và 1.000ns. Tỷ lệ từ nhớ truy cập đã được đưa vào các thành phần nhớ này rồi lần lượt là 90%, 95% và 98%. Tính thời gian truy cập trung bình một từ nhớ đối với máy tính này.

2. Xét bộ nhớ cache 8MB sử dụng phương pháp ánh xạ kết hợp theo tập 8 đường (8-way set associative), kích thước mỗi slot/line là 64 bytes. Bộ vi xử lý sử dụng 48b cho địa chỉ ở mức byte. Giả sử biến x, kiểu uint64, được lưu trữ trong bộ nhớ chính tại địa chỉ 0x1CAE_A1B0_8208, và đã được đưa vào cache. Giả sử có biến con trỏ ptr được khai báo: `char *ptr = 0x1CAEA1B00000;`

Hãy xác định các truy cập sau sẽ là cache miss hay cache hit, hay không thể xác định được:

a. `*(ptr + 0x8210)`

b. `*(ptr + 0x8008)`

c. `*(ptr + 0x8200)`

3. Xét bộ nhớ chính sử dụng địa chỉ 38 bits ở mức byte, bộ nhớ cache có mỗi slot chứa được khối 64 bytes. Nếu cache sử dụng phương pháp ánh xạ kết hợp theo tập 16 slots với trường tag là 9 bits, hãy làm rõ các tham số: số đơn vị địa chỉ, số khối trong bộ nhớ chính, số dòng cache, số lượng tập.

4. Cho đoạn mã lệnh viết bằng ngôn ngữ C dưới đây:

```
register int i,j ;           //i, j được lưu trong các thanh ghi
int A[100][5] ;           // int là kiểu tự nhiên độ lớn 32 bits
int B[101][5] ;

for (i=0 ; i<100 ; i++)
    for (j=0 ; j<5; j++)
        A[i][0] = B[i][0] + B[i+1][0] ;
```

Đoạn mã này sẽ được thi hành trên một computer có bộ nhớ *cache dữ liệu* sử dụng phương pháp ánh xạ kết hợp với dung lượng 64KB và mỗi block là 16 bytes. Ban đầu cache dữ liệu hoàn toàn rỗng. Tính và giải thích rõ số lần *cache miss/hit* khi đoạn mã này được thi hành? Hãy tổ chức lại đoạn mã trên để nâng cao tỷ lệ cache hit?

5. Xét CPU có 8 đường ngắt, được đánh số từ 0 -7, sử dụng cơ chế ngắt ở đường số thấp có độ ưu tiên cao hơn so với đường số cao. Đa ngắt đồng thời được xử lý theo kiểu tuần tự (không cho phép ngắt lồng nhau). Ban đầu CPU không có yêu cầu ngắt nào và chuỗi mười yêu cầu ngắt được gửi đến CPU theo các đường trên như sau: 1, 7, 3, 0, 4, 1, 4, 3, 7, 1, 0. Giả sử việc xử lý mỗi yêu cầu ngắt là đủ lâu để nhận được thêm chỉ hai yêu cầu ngắt kế tiếp, cứ thế cho đến hết yêu cầu ngắt. Hãy xác định thứ tự xử lý các yêu cầu ngắt trên.