

# PLD 实验

## 第六次实验报告

姓名：董校廷 学号：SC21002046 完成时间：2021-11-21

### 一、实验要求

特别提示：本次实验仅完成逻辑设计和仿真；下次实验完成在实验板上的验证。

实验内容：

#### 1. 利用 UP 实验板，设计一个 8bit 计数器，用其输出驱动 EPF10K70RC240-4

外接的两个 7 段数码管。

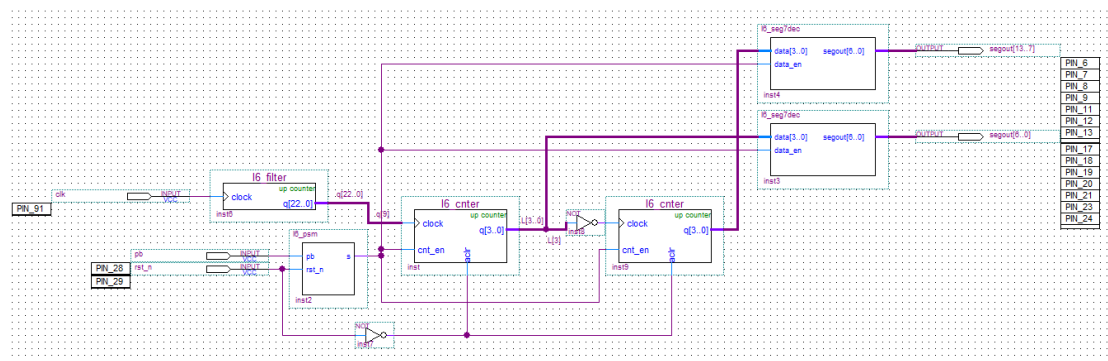
要求：两个 7 段数码管显示变化范围 00—FFH。

肉眼能够分辨出 7 段数码管的显示变化（跳变间隔>250ms）。

用 PB1 或 PB2 触发计数器从 00 到 FF 计数。

提交实验报告。

### 二、逻辑设计方案简要说明、逻辑设计原理图或 HDL 代码



工程 block design 设计文件如图所示，其中分频器 l6\_filter、计数器 l6\_cnt 是利用官方库中 ip 核实现；状态机 l6\_psm、数码管译码器 l6\_seg7dec 是利用 verilog HDL 实现。

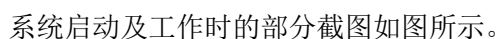
分频器 l6\_filter 采用计数器实现，对于输入时钟信号 clk，输出端口 q[0] 为 2 分频，输出端口 q[1] 为  $2^2 = 4$  分频，输出端口 q[2] 为  $2^3 = 8$  分频...因此我们可以采用输出端口 q[22] 作为时钟分频，分频因子为  $2^{23}$ ，由于 upds 提供的时钟约为 25Mhz，分频后的时钟约为 3hz，周期约为 333ms > 250ms。由于用该分频因子仿真周期过长，这里选用 1024 分频，即 q[9] 端口作为计数器的输入时钟。

计数器分别为两个数码管进行计数，每个数码管均为 4bit 输出，计数范围 0x0~0xf，两个计数器级联，当低位计数器从 0xf 跳转为 0x0 时，高位计数器加 1，因此可以用低位计数器输出端口 L[3..0] 的 L[3] 位，取反后作为高位计数器的输入时钟，从而达到两位 16 进制计数的效果。

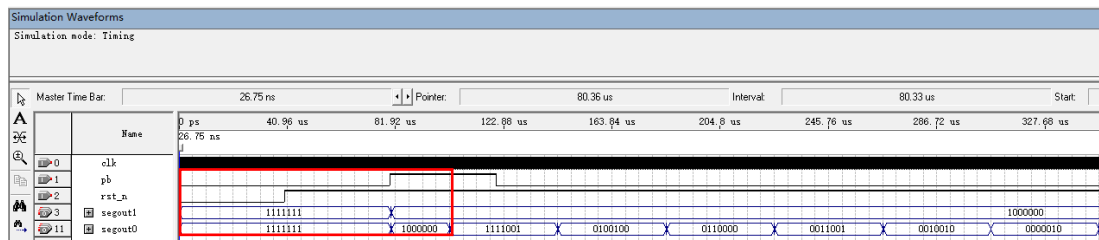
状态机 l6\_psm 代码如下。功能是当按下按键，系统开始正常计数；在 verilog HDL 中如果捕捉到按键上升沿，将输出置为 1，将输出连接到计数器和译码器的使能位。

数码管译码器 `l6_seg7dec` 代码如下。功能为将 **4bit** 二进制数译码为 **7bit** 数码管驱动信号，其中某位低电平代表点亮该段二极管。

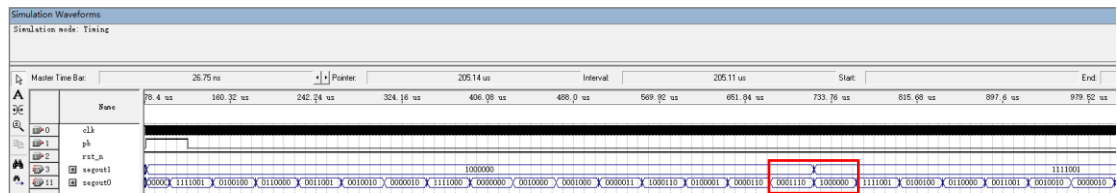
### 三、仿真图【仿真截图及仿真时序波形文件】



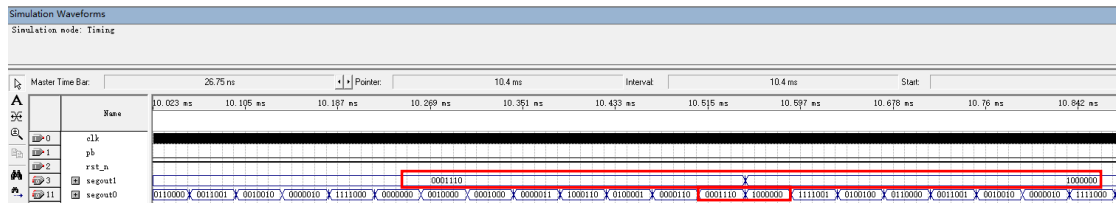
#### 四、仿真结果分析



启动时，先进行一次复位，在按键上升沿到来之前，不会进行计数，此时系统未工作，两个数码管均不亮，为 7'b1111111，当按键 pb 上升沿到来之后，开始正常计数，首先进入 0x00 的状态，即两端数码管均为 7'b1000000（‘0’），接着低位计数器从 0x0 计数到 0xf。



当低位计数器计数 16 次之后，低位数码管为 ‘F’，即 7'b00011110；再下一次低位清 0，高位加 1；低位数码管再次回到 ‘0’ 即 7'b1000000，高位数码管来到 ‘1’ 即 7'b1111001。



当计数器计数到 0xff 时，数码管也为 ‘FF’，即 7'b00011110，下一次计数，计数值会从 0xff 回到 0x00，即从 7'b00011110 跳转到 7'b1000000（数码管从 ‘F’ 跳转到 ‘0’）。