明德扬科技教育有限公司

官　　网：www.mdy-edu.com

淘　　宝：mdy-edu.taobao.com

QQ　群：97925396

QQ 咨询：158063679

一、quartus 常见错误

zhong.v
Quartus 运行之后会出现以下错误，每改完一句都要编译运行一下 问题要一个一个解决。

1. Error (10170): Verilog HDL syntax error at clock.v(34) near text "="
　　第 34 行 这里赋值符号问题，在判断语句中，赋值符号应该为"=="

2. Error (10170): Verilog HDL syntax error at clock.v(142) near text "always"; expecting "end"
　　第 142 行，这里是缺少一个 end,一定要注意 begin 与 end 的对应关系，否则影响很大。

3. Error (10158): Verilog HDL Module Declaration error at clock.v(21): port "hour" is not declared as port
　　第 21 行，注意，只有输入或者输出信号才可以出现在顶层模块中，因为 hour,min,sec 均接数码管，显示数字，所以是输出信号，应该改为 output [7:0] hour,min,sec;同理，LD_alert 接发光二极管，所以也为输出信号，与 LD_min,LD_hour 是一样的。

4. Error (10161): Verilog HDL error at clock.v(35): object "sound" is not declared
　　没有定义数据类型，改为 reg [3:0]sound; 即可。

5. Error (10161): Verilog HDL error at clock.v(79): object "loop1" is not declared
　　没有定义数据类型，改为 reg [3:0] loop1; 即可。

6. Error (10161): Verilog HDL error at clock.v(88): object "loop2" is not declared
　　没有定义数据类型，改为 reg [3:0] loop2; 即可。

7. Error (10161): Verilog HDL error at clock.v(107): object "loop3" is not declared
　　没有定义数据类型，改为 reg [3:0] loop3; 即可。

8. Error (10161): Verilog HDL error at clock.v(120): object "loop4" is not declared
　　没有定义数据类型，改为 reg [3:0] loop4; 即可。

9. Error (10219): Verilog HDL Continuous Assignment error at clock.v(124): object "ct1" on left-hand side of assignment must have a net type
10. Error (10219): Verilog HDL Continuous Assignment error at clock.v(125): object "ct2" on left-hand side of assignment must have a net type
11. Error (10219): Verilog HDL Continuous Assignment error at clock.v(126): object "cta" on left-hand side of assignment must have a net type
12. Error (10219): Verilog HDL Continuous Assignment error at clock.v(127): object "ctb" on left-hand side of assignment must have a net type

13. Error (10219): Verilog HDL Continuous Assignment error at clock.v(146): object "m_clk" on left-hand side of assignment must have a net type

14. Error (10219): Verilog HDL Continuous Assignment error at clock.v(163): object "h_clk" on left-hand side of assignment must have a net type

　　9~14 的错误类型是一样的，我们已经知道，如果用 assign 连续定义就不能用 reg 类型，改为 wire 型即可，这样，本代码的所有错误就改完了。