

PLD 实验

第四次实验报告

姓名： 董校廷 学号： SC21002046 完成时间： 2021-10-31

一、实验要求

1. 用 VHDL 设计一个 9bit 计数器，要求具有 Load，UP/DOWN 选择，清零等功能。对其进行时序仿真。
2. 用 VHDL 设计一个 3-8 译码器，译码选中的管脚低电平输出，其余管脚高电平输出。对其进行时序仿真。

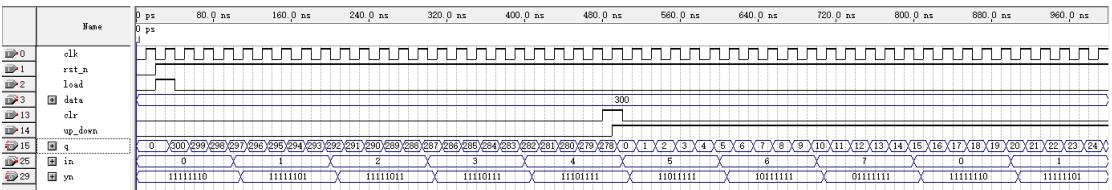
二、逻辑设计方案简要说明、逻辑设计原理图或 HDL 代码

采用 Verilog HDL 实现本设计，代码如下：

```
1 module lesson4_hdl(  
2     //counter  
3     clk      ,  
4     rst_n    ,  
5     load     ,  
6     data     ,  
7     clr      ,  
8     up_down  ,  
9     q        ,  
10  
11     //138decoder  
12     in,  
13     yn  
14 );  
15  
16     input clk;  
17     input rst_n;  
18     input load;  
19     input[8:0] data;  
20     input clr;  
21     input up_down;  
22     output[8:0] q;  
23     reg[8:0] q;  
24  
25     input[2:0] in;  
26     output[7:0] yn;  
27     reg[7:0] yn;  
28  
29     //counter  
30     always @(posedge clk or negedge rst_n) begin  
31         if(rst_n == 1'b0)  
32             q <= 9'b0;  
33         else if(load == 1'b1)  
34             q <= data;  
35         else if(clr == 1'b1)  
36             q <= 9'b0;  
37         else if(up_down == 1'b1)  
38             q <= q + 1;  
39         else if(up_down == 1'b0)  
40             q <= q - 1;  
41     end  
42  
43     //138decoder  
44     always @(in)begin  
45         case(in)  
46             0      : yn = 8'b11111110;  
47             1      : yn = 8'b11111101;  
48             2      : yn = 8'b11111011;  
49             3      : yn = 8'b11110111;  
50             4      : yn = 8'b11101111;  
51             5      : yn = 8'b11011111;  
52             6      : yn = 8'b10111111;  
53             7      : yn = 8'b01111111;  
54             default : yn = 8'b11111111;  
55         endcase  
56     end  
57  
58 endmodule
```

三、仿真图【仿真截图及仿真时序波形文件】

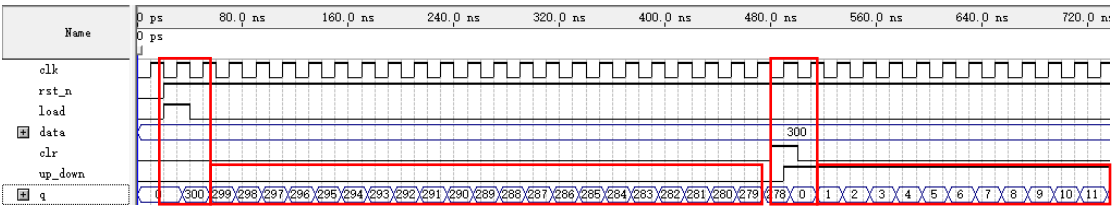
仿真报告保存在工程目录下 src 文件夹中。



从 clk 到 q 端口是计数器的端口，后面是 138 译码器的端口。

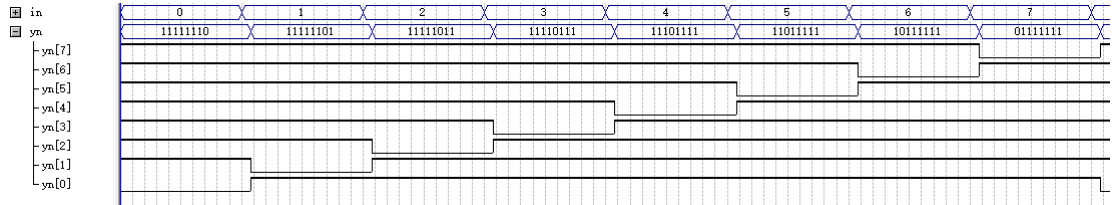
四、仿真结果分析

计数器波形分析：



复位信号在无效之后，load 首先被置高，置数功能生效，将 data 端口的数据 300 置入到计数值；接着 load 无效后，由于 up_down 为 0，因此是减计数，计数值一致递减；随后 clr 信号被拉高，清 0 功能生效，计数值被清 0；up_down 在 clr 信号拉低前被拉高，此时是加计数状态，计数值一直递增。

38 译码器波形分析：



当输入为 0~7 时，译码选中 0~7 输出管脚，对应的管脚输出低电平，其余管脚输出高电平。