

# PLD 实验

## 第三次实验报告

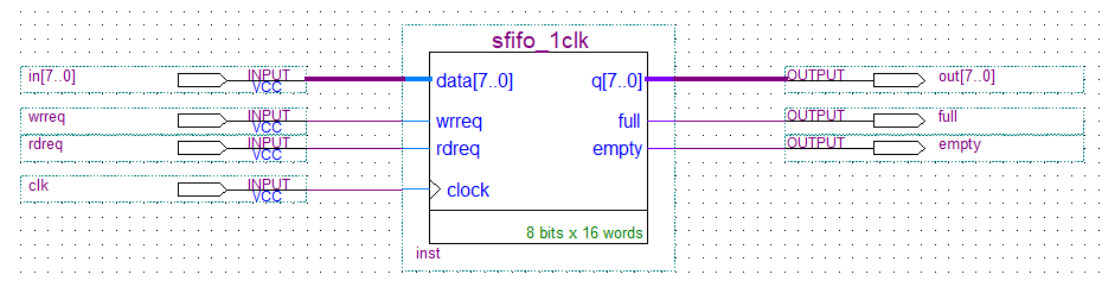
姓名：董校廷 学号：SC21002046 完成时间：2021.10.26

### 一、实验要求

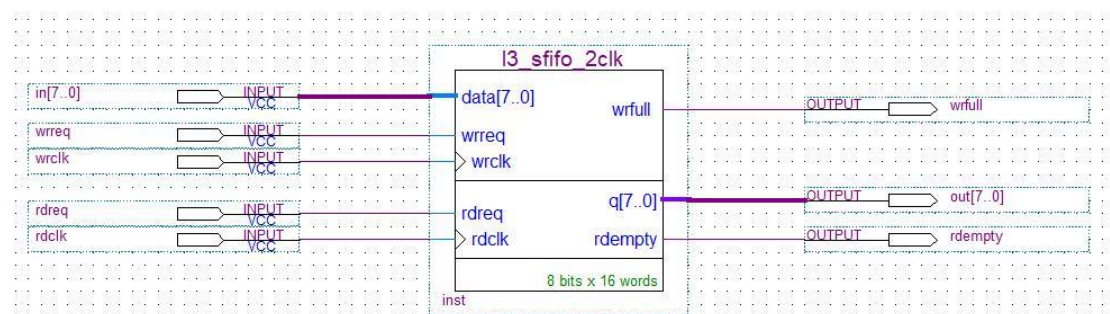
1.设计一个数据宽度 8bit，深度是 16 的同步 FIFO(读写用同一时钟)，具有 EMPTY、FULL 输出标志。要求 FIFO 的读写时钟频率为 20MHz，将 1—16 连续写入 FIFO，写满后再将其读出来（读空为止）。仿真上述逻辑的时序。

2.设计一个数据宽度 8bit，深度是 16 的同步 FIFO（读写时钟不相同），当读写时钟的频率分别为 wrclk=40MHz、rdclk=20MHz 时，仿真其逻辑波形。当读时钟比写时钟快时（wrclk=20MHz，rdclk=40MHz），如何保证读出的数据是写进去的有效数据？仿真验证你的设计。对比第 1 题的同步 FIFO，分析这两种 FIFO 的不同特性和使用要点。

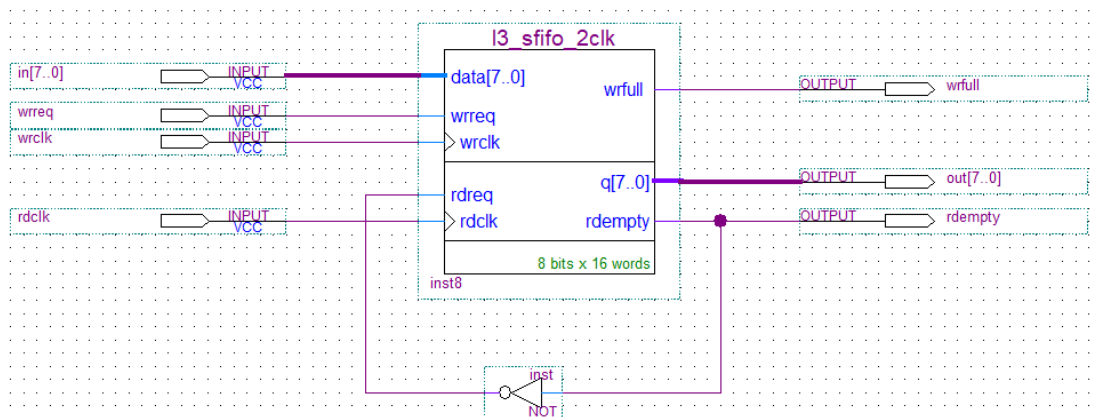
### 二、逻辑设计方案简要说明、逻辑设计原理图或 HDL 代码



单时钟同步 fifo 由 IP 核实现。

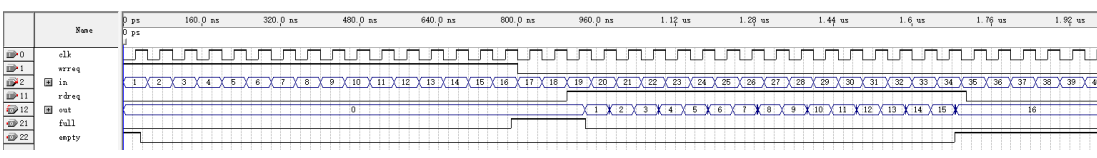


双时钟 fifo，写入时钟 40Mhz，读取时钟 20Mhz。

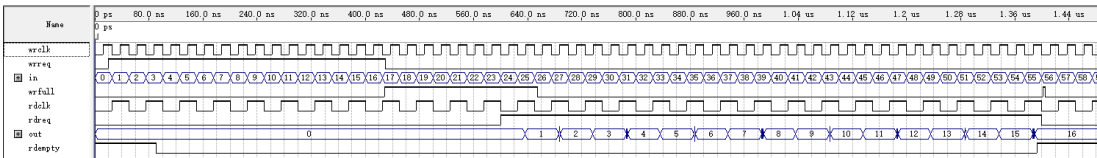


双时钟 fifo，写入时钟 20Mhz，读取时钟 40Mhz，自动控制读取请求信号：将 rdempty 信号取反连接到 rdreq 上。

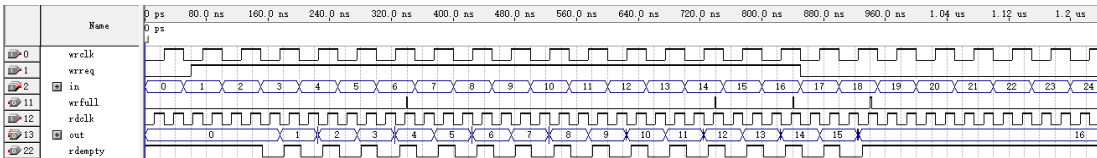
### 三、仿真图【仿真截图及仿真时序波形文件】



单时钟同步 fifo 仿真结果。



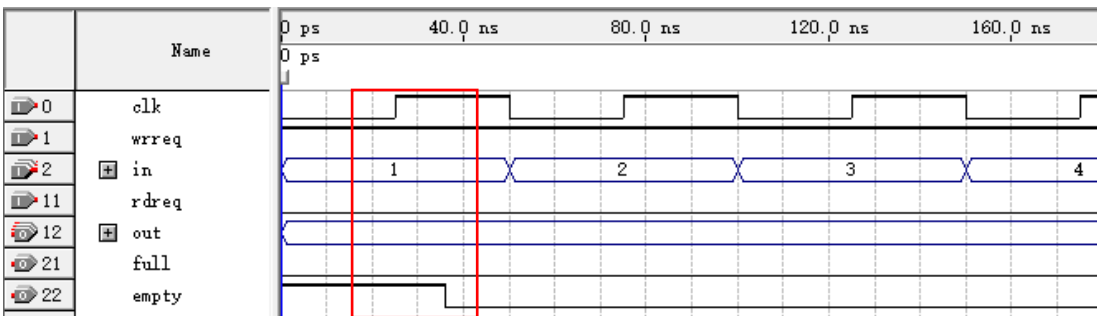
双时钟 fifo，wrclk-40Mhz，rdclk-20Mhz。



双时钟 fifo，wrclk-20Mhz，rdclk-40Mhz。

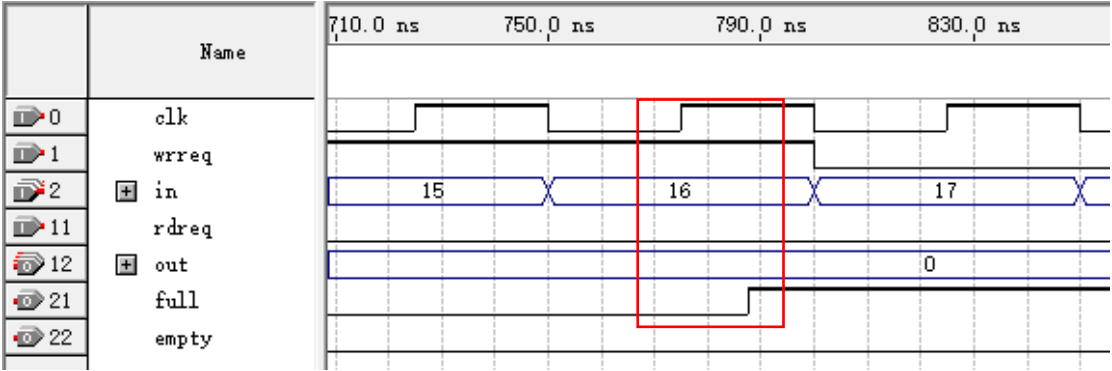
### 四、仿真结果分析

单时钟同步波形 fifo 分析：

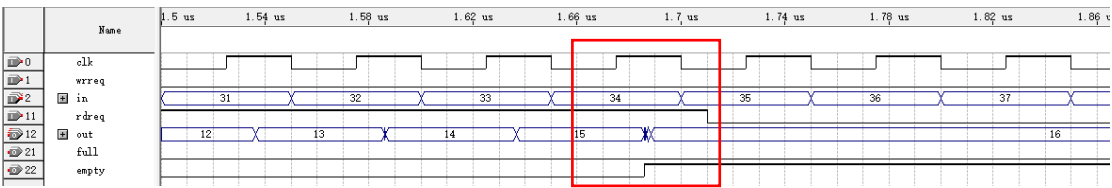


刚启动的时候，fifo 没有写入数据，empty 信号有效，在时钟的第一个上升沿写入数据 1，

经过一段延迟之后 empty 信号被拉低。

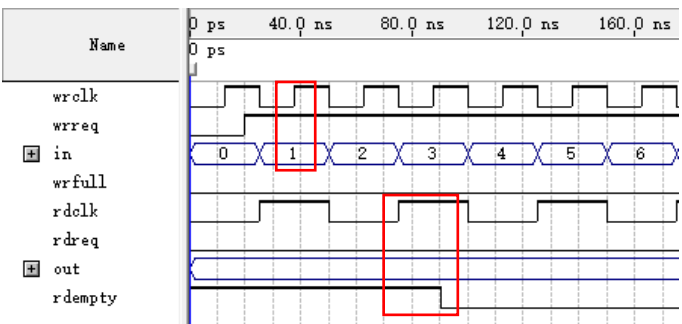


在写入第十六个数据之后，fifo 写满，full 信号被拉高。

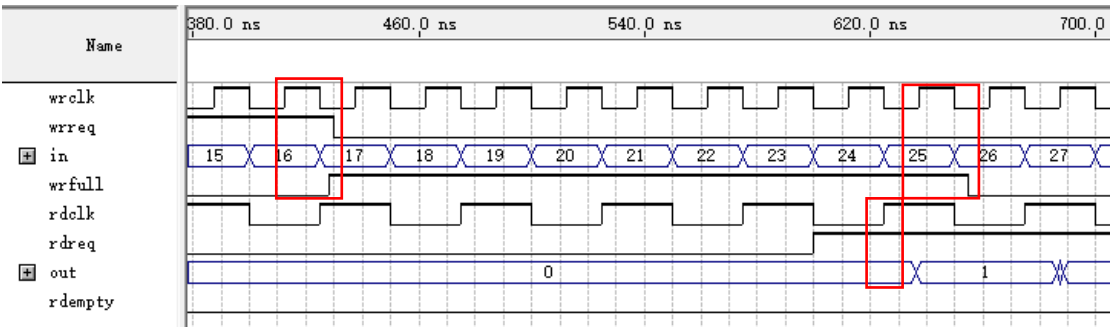


在成功读出 16 个数据之后，fifo 里数据被读空，empty 信号被拉高。

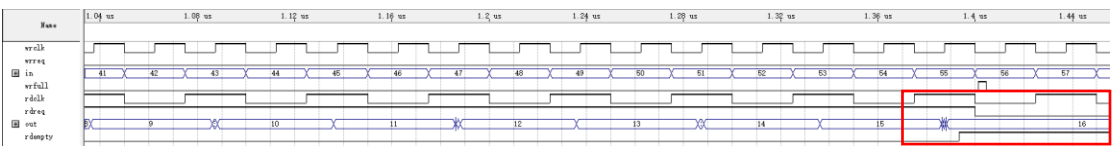
双时钟 fifo，wrclk-40Mhz，rdclk-20Mhz，波形分析：



启动时，fifo 无数据，rdempty 为空，在 wrclk 上升沿，wrreq 为高的时刻，写入数据 1；在写入数据之后的 rdclk 的下一个上升沿，rdempty 信号被拉低，此时 fifo 中已有数据。



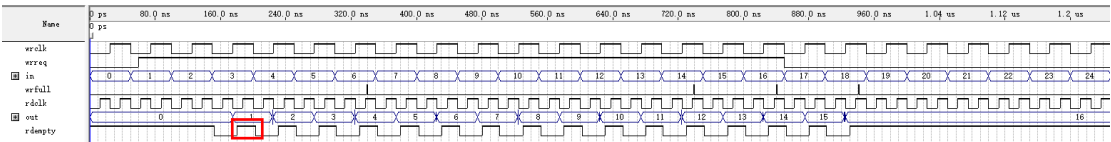
在图中红框 wrclk 的上升沿，fifo 写入第 16 个数据 16，此时 fifo 写满，wrfull 在一定延迟后被拉高；在 rdreq 被拉高后的第一个 rdclk 上升沿，从 fifo 中读取第一个数据 1，此时 fifo 不满，在读取数据后的第一个 wrclk 上升沿，wrfull 被拉低。



在 rdreq 有效的第十六个上升沿，读取最后一个数据 16，此时 fifo 为空，rdempty 随后被拉高。

**双时钟 fifo，wrclk-20Mhz，rdclk-40Mhz，波形分析：**

由于此状态下读取速度远快于写入速度，因此需要在确定 fifo 中有数据；模块在 rdempty 为低，即 fifo 中有数据的时候，应该将 rdreq 拉高，反之，rdempty 为低，将 rdreq 拉高。因此将 rdempty 取反接入到 rdreq 上。



如图，这种情况下，每当 fifo 写入一个数据，rdempty 拉低，rdreq 为高，读取一个数据，由于 rdclk 为 40Mhz，因此 rdempty 被拉低也只有 25ns，之后 25ns 处于空状态，接着写入一个新的数据。因此，数据输出的频率也于较慢的输入保持一致，为 20Mhz。

**单时钟 fifo 和双时钟 fifo 的异同：**

两种都是同步于时钟边沿，单时钟 fifo 的读写都同步于一个时钟，双时钟 fifo 的读写分别同步于不同的时钟。因此单时钟 fifo 用在同一时钟域下，而双时钟 fifo 可以用于跨时钟域数据传输。

在使用时都需要注意空满状态，空状态无法读取，满状态无法写入。

其中双时钟 fifo 由于读写时钟可以不一致，因此在写速率高于读取速率的情况下，需要考虑设置合理的 fifo 深度，防止有效数据的丢失。