PLD 实验

第六次实验报告

姓名: 董校廷 学号: <u>SC21002046</u> 完成时间: <u>2021-11-21</u>

一、实验要求

特别提示:本次实验仅完成逻辑设计和仿真;下次实验完成在实验板上的验证。 实验内容:

1. 利用 UP 实验板,设计一个 8bit 计数器,用其输出驱动 EPF10K70RC240-4 外接的两个 7 段数码管。

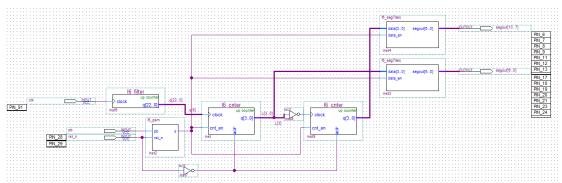
要求:两个7段数码管显示变化范围00-FFH。

肉眼能够分辨出7段数码管的显示变化(跳变间隔>250ms)。

用 PB1 或 PB2 触发计数器从 00 到 FF 计数。

提交实验报告。

二、逻辑设计方案简要说明、逻辑设计原理图或 HDL 代码



工程 block design 设计文件如图所示, 其中分频器 I6_filter、计数器 I6_cnt 是利用官方库中 ip 核实现;状态机 I6 psm、数码管译码器 I6 seg7dec 是利用 verilog HDL 实现。

分频器 $16_{\rm filter}$ 采用计数器实现,对于输入时钟信号 clk,输出端口 q[0]为 2 分频,输出端口 q[1]为 2^2 = 4 分频,输出端口 q[2]为 2^3 = 8 分频…因此我们可以采用输出端口 q[22]作为时钟分频,分频因子为 2^{23} ,由于 upds 提供的时钟约为 $25_{\rm Mhz}$,分频后的时钟约为 $3_{\rm hz}$,周期约为 $33_{\rm ms}$ > $25_{\rm ms}$ 。由于用该分频因子仿真周期过长,这里选用 $1024_{\rm ms}$ 分频,即 q[9]端口作为计数器的输入时钟。

计数器分别为两个数码管进行计数,每个数码管均为 4bit 输出,计数范围 0x0~0xf,两个计数器级联,当低位计数器从 0xf 跳转为 0x0 时,高位计数器加 1,因此可以用低位计数器输出端口 L[3..0]的 L[3]位,取反后作为高位计数器的输入时钟,从而达到两位 16 进制计数的效果。

状态机 I6_psm 代码如下。功能是当按下按键,系统开始正常计数;在 verilog HDL 中如果捕捉到按键上升沿,将输出置为 1,将输出连接到计数器和译码器的使能位。

```
module 16_psm(
           input pb,
           input rst n,
 3
           output reg s
    always@(posedge pb, negedge rst_n)begin
if(rst_n == 0)
s = 1'b0;
           else if(pb)
10
11
12
           else
                s = s;
13
14
15
      endmodule
```

数码管译码器 I6_seg7dec 代码如下。功能为将 4bit 二进制数译码为 7bit 数码管驱动信号,其中某位低电平代表点亮该段二极管。

```
■module 16 seg7dec(
         input[3:0] data,
 2
 3
         input data_en,
 4
         output reg[6:0] segout
 5
 6
 7
     //seg 7..0 g..a
 8
    ■always@(*)begin
 9
         if(data_en == 1'b0)
10
             segout = 7'b1111111;
11
12
              case (data)
13
                  0 :segout = 7'b1000000;
14
                  1 :segout = 7'b1111001;
                  2 :segout = 7'b0100100;
15
16
                  3 :segout = 7'b0110000;
                  4 :segout = 7'b0011001;
17
18
                  5 :segout = 7'b0010010;
                  6 :segout = 7'b0000010;
19
                  7 :segout = 7'b1111000;
20
                  8 :segout = 7'b0000000;
21
                  9 :segout = 7'b0010000;
22
                  10 :segout = 7'b0001000;
23
                  11 :segout = 7'b0000011;
24
                  12 :segout = 7'b1000110;
25
                  13 :segout = 7'b0100001;
26
                  14 :segout = 7'b0000110;
27
                  15 :segout = 7'b0001110;
28
29
              endcase
30
     end
31
32 endmodule
```

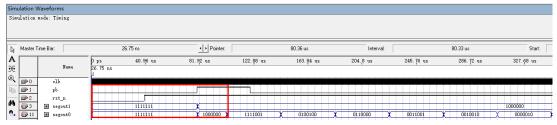
三、仿真图【仿真截图及仿真时序波形文件】



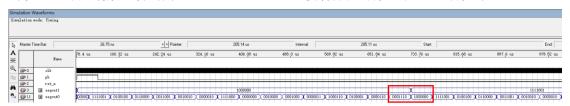
系统启动及工作时的部分截图如图所示。

clk 为 25Mhz,由于上面提到仿真采用的是 1024 分频,即分频后的周期约为 41us,波形计数的变化周期也约为 41us。

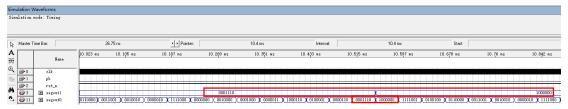
四、仿真结果分析



启动时,先进行一次复位,在按键上升沿到来之前,不会进行计数,此时系统未工作,两个数码管均不亮,为 7′b111111,当按键 pb 上升沿到来之后,开始正常计数,首先进入 0x00 的状态,即两端数码管均为 7′b1000000('0'),接着低位计数器从 0x0 计数到 0xf。



当低位计数器计数 16 次之后,低位数码管为 'F',即 7'b0001110;再下一次低位清 0,高位加 1;低位数码管再次回到 '0'即 7'b1000000,高位数码管来到 '1'即 7'b1111001。



当计数器计数到 0xff 时,数码管也为 'FF',即 7'b0001110,下一次计数,计数值会从 0xff 回到 0x00,即从 7'b0001110 跳转到 7'b1000000 (数码管从 'F' 跳转到 '0')。