

# PLD 实验

## 第一次实验报告

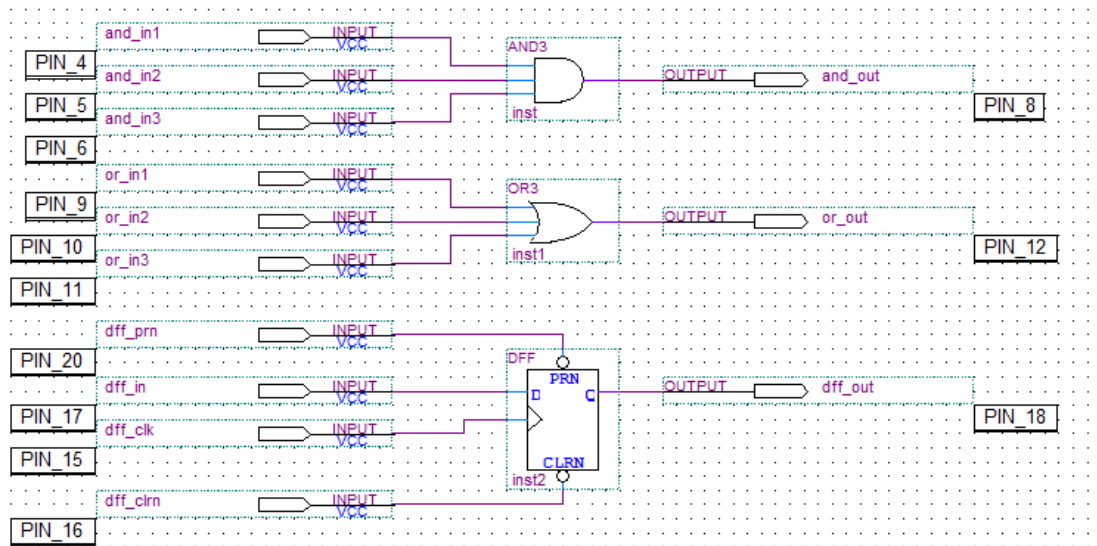
姓名： 董校廷 学号： SC21002046 完成时间： 2021-10-11

### 一、实验要求

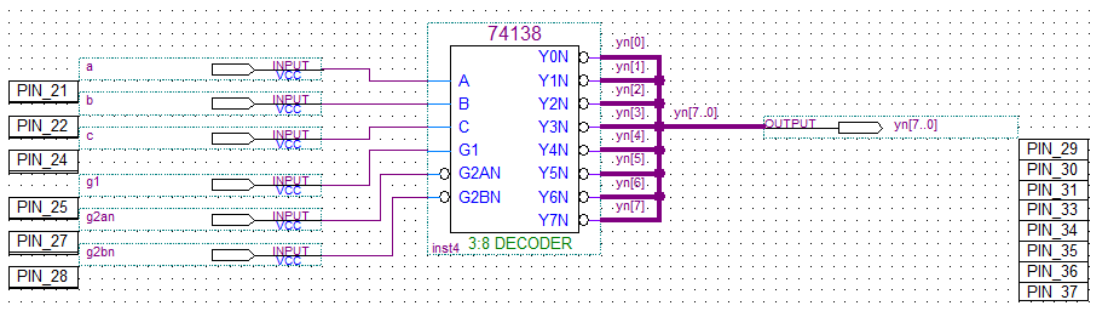
1. 设计、仿真 and3、or3、dff 的时序特性。
2. 设计 138 译码器，仿真其时序特性。器件选择 MAX7128SLC84-7，指定管脚按照从小到大的顺序排列。

### 二、逻辑设计方案简要说明、逻辑设计原理图或 HDL 代码

and3、or3、dff 均通过调用库中的器件实现，138 译码器调用 74138 器件实现。



图表 1) and3/or3/dff



图表 2) 138 译码器

另外在 block desgin 实现完成之后，又通过 verilog hdl 再次进行了实现，核心代码如下：

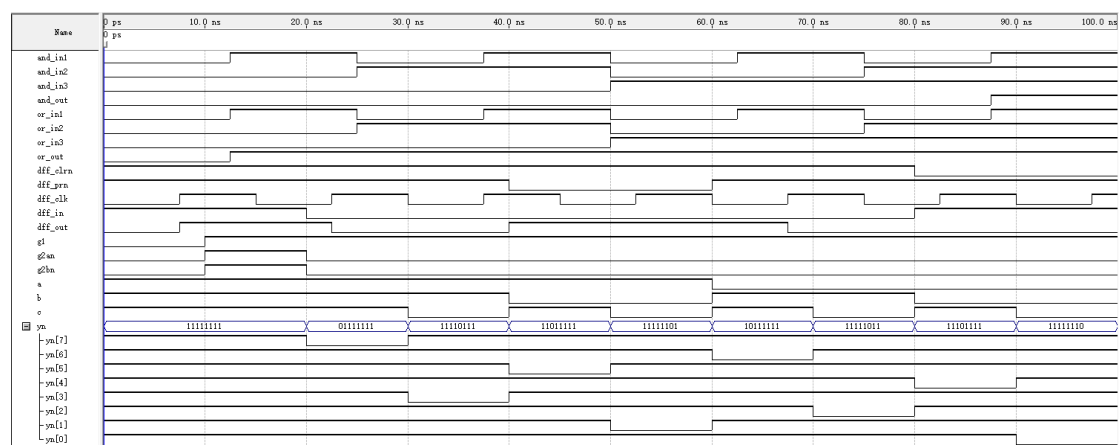
```

//and3
always @(*)begin
    and_out = and_in[2] & and_in[1] & and_in[0];
end
//or3
always @(*)begin
    or_out = or_in[2] | or_in[1] | or_in[0];
end
//dff
always @(posedge clk or negedge rst_n)begin
    if(rst_n == 1'b0)begin
        q <= 0;
    end
    else begin
        q <= d;
    end
end
end
//138decoder
always @({a,b,c})begin
    case({a,b,c})
        0      : yn = 8'b11111110;
        1      : yn = 8'b11111101;
        2      : yn = 8'b11111011;
        3      : yn = 8'b11110111;
        4      : yn = 8'b11101111;
        5      : yn = 8'b11011111;
        6      : yn = 8'b10111111;
        7      : yn = 8'b01111111;
        default : yn = 8'b11111111;
    endcase
end
end

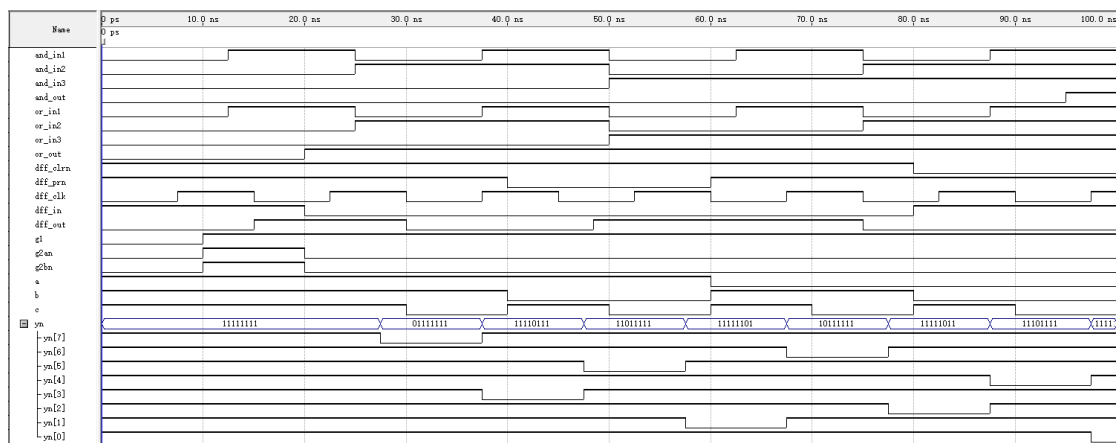
```

### 三、仿真图【仿真截图及仿真时序波形文件】

仿真报告保存在工程目录下 src 文件夹中。



图表 3) 功能仿真波形

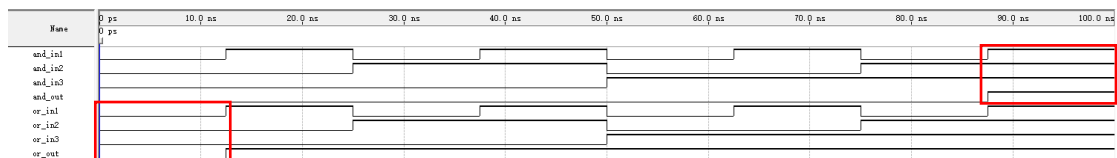


图表 4) 时序仿真波形

#### 四、仿真结果分析

功能仿真和时序仿真采用的是同一个波形输入文件。

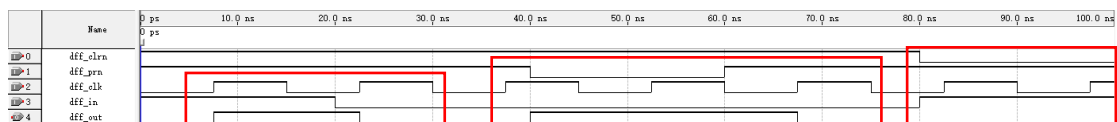
先观察功能仿真，and3 只有在三个输入均为 1 的情况下输出才为 1，or3 只有在三输入均为 0 的情况下输出才为 0。



图表 5) and3/or3 分析

dff 对时钟信号边沿敏感，在 clk 信号上升沿时，输出等于输入。

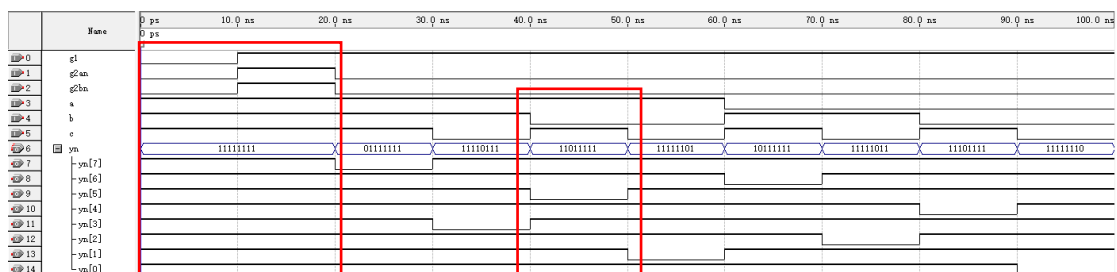
库中提供的 dff 器件还有两个输入端口：PRN 和 CLRN，分别对应异步置位和异步复位，这两个信号不受 clk 影响，会在输入信号有效时(低电平有效)将输出置 1/置 0。优先级 CLRN>PRN。



图表 6) dff 分析

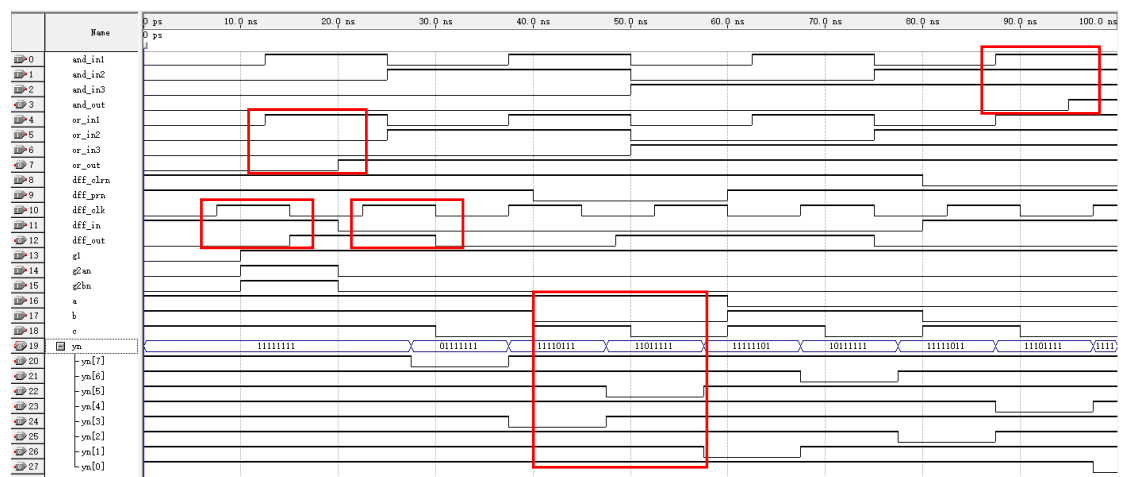
74138 是一种 138 译码器，通过三个输入 a、b、c 的八种输入组合，分别对应 0~7 八个输出端口输出有效。例如 abc=101，即 5 输出端口有效，74138 输出低电平有效，则输出端口 7~0 应为 11011111。

74138 另外还有三个使能输入，一个高电平有效，两个低电平有效，只有在三个使能输入都有效的情况下译码才能正常工作。



图表 7) 74138 分析

时序分析的逻辑功能和功能分析一致，但输出会有一定的延迟，即经过  $T_{co}$  时间获得稳定有效的输出，更符合实际电路状态。此外，时序分析中的建立时间  $T_{su}$  和保持时间  $T_{hold}$  也要满足要求。



图表 8) 时序分析要求