10주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231523 이름: 김민정

**1. 4bit binary parallel adder**

4bit binary parallel adder는 4자리의 binary bit값 두개를 받아 둘을 더하는 과정을 진행한다. 첫번째 자리수부터 계산하여 carry out을 만들어내며 순차적으로 각 자리 수 계산이 진행된다. 아래는 4 bit binary parallel adder을 제작하기 위해 작성한 design code, testbench code 그리고 code에 따라 출력된 결과 simulation이다.

|  |  |
| --- | --- |
| Design code | Testbench code |
|  |  |

|  |
| --- |
| simulation |
| 스크린샷, 다채로움, 컴퓨터이(가) 표시된 사진  자동 생성된 설명 |

**2. 4bit binary parallel subtractor**

4bit binary parallel subtractor는 4자리의 binary bit값 두개를 받아 둘을 빼는 과정을 진행한다. 첫번째 자리수부터 계산하여 borrow를 만들어내며 순차적으로 각 자리 수 계산이 진행된다. 아래는 4 bit parallel subtractor을 제작하기 위해 작성한 design code, testbench code 그리고 code에 따라 출력된 결과 simulation이다. (다음 페이지에 서술했다.)

|  |  |
| --- | --- |
| Design code | Testbench code |
|  |  |

|  |
| --- |
| simulation |
| 스크린샷, 다채로움이(가) 표시된 사진  자동 생성된 설명 |

**3. BCD dder**

BCD adder는 BCD code의 덧셈을 진행한다. BCD 코드는 보통의 이진수 덧셈과 유사하지만 보통의 이진수와 달리 0~9까지 표현이 가능하므로 만약 이를 넘어선 수가 나오면 6을 더해줘 자릿수 보정을 진행해야 한다. 아래는 BCD adder을 제작하기 위해 작성한 design code, testbench code 그리고 code에 따라 출력된 결과 simulation이다. (다음 페이지에 서술했다.)

|  |  |
| --- | --- |
| Design code | Testbench code |
|  |  |

|  |
| --- |
| simulation |
| 스크린샷, 전자제품, 컴퓨터, 키보드이(가) 표시된 사진  자동 생성된 설명 |

**4. 결과 검토 및 논의 사항**

Adder와 subtractor를 제작하면서 이전에 사용하지 않았던 배열 code를 세울 수 있었다. 또한 carry와 borrow를 생각하며 장치를 짜는 것이 가장 쟁점이었는데, simulation을 보면 이를 정상적으로 구현한 것을 확인할 수 있었다. 이렇게 현재의 input만을 고려하는 digital system은 combinational logic system이라고 부른다. 이에 대한 내용은 5번 문항에서 살펴보도록 하자.

**5. 추가 이론 조사 및 작성.**

digital system은 Combinational logic system과 Sequential logic System으로 나뉜다. Combinational logic system은 오직 현재의 input만을 고려한다. 그래서 우리가 지금까지 제작해왔던 장치들이 모두 이에 속한다. Sequential logic system은 현재의 input뿐만 아니라 과거의 state까지도 포함하여 연산을 진행한다. 여기서 memory내의 clock과 동기화가 되면 Synchronous Sequential system이 되며, clock과 동기화가 되지 않았다면 Asynchronous sequential system이 된다.