11주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231523 이름: 김민정

**1.. RS 플립-플롭**

1번문항부터 4번 문항을 설명하기 위해 flip flop에 대해서 먼저 설명하겠다. Flip flop은 1bit의 정보를 유지할 수 있는 회로이다. 이는 sequential logic system에서 기본 요소가 된다. 즉 과거의 정보를 기억할 수 있는 장치임을 확인할 수 있다. 아래 latch와의 차이점이라면 latch는 clock 장치가 없는 것과 반대로 flip flop은 이를 가지고 있다. 또한 flip flop은 low, high에서만 작동하는 latch와 달리, low에서 high 아니면 high에서 low로 이동하는 과정(이를 순서대로 rising edge와 falling edge라고 한다.)에서 작동한다.

이제 RS flip flop에 대해 설명해보겠다. (flip flop을 이제 ff로 서술하겠다.) RS는 R, S input과 Q와 Q’ output이 존재하는 FF이다. S는 set을 의미하고 R은 reset을 의미한다. S를 1로 설정하면 이전의 Input에 상관없이 다음 output Q가 1로 나온다. 이와 반대론 R을 1로 설정하면 이전의 Input에 상관없이 다음 output Q가 0로 나온다. 만약 둘 다 0으로 설정하면 이전의 값이 유지된다. 그런데 둘 다 1일 때 문제가 발생한다. Set을 할지 reset을 할지 결정할 수 없기 때문이다. 그래서 이러한 input은 금지시켜 오류를 방지한다. 이를 개선시킨 FF가 JK FF이다.

**2. JK 플립-플롭**

JK ff는 RS ff에서 reset과 set이 모두 1일 때의 문제를 해결한 회로이다. 여기서 J가 RS에서 S와 동일한 역할을 하고 K는 RS에서 R과 동일한 역할을 수행한다. JK ff는 RS ff와 거의 동일한 작업을 수행한다. 유일하게 다른 점이 J, K input이 모두 1일 때의 작동이다. 모두 1일 때 Qn+1은 Qn이 toggle 된 값이 된다.

**3. D 플립-플롭**

D ff는 RS ff에서 input을 하나로 바꾼 FF이다. 여기서는 clock이 0일때는 다음 output이 이전 output과 동일하게 유지가 된다. 하지만 clock이 1일때는 D input이 1이면 output이 1이 나오고, input이 0이면 output이 0이 된다. 이를 쉽게 말하면 clock 1일떄는 input과 output이 동일해지는 값이 나온다.

**4. T 플립-플롭**

T ff는 JK ff에서 input을 하나로 바꾼 FF이다. T ff에서는 T input이 0이면 다음의 output이 이전 값에서 유지되며, 이와 반대로 T input이 1이면 다음의 output이 이전값에서 toggle되는 특징이 있다.

**5. Latch**

latch는 binary 저장 장치이다. FF와 비슷한 동작을 수행하나 clock이 존재하지 않아 asynchronous sequential system으로 분류된다. Latch는 입력되는 input을 R, S를 통해 삭제하거나 계속 기억할 수 있다. 아래는 R, S에 따른 Qn+1값이다.

텍스트, 스크린샷, 번호, 폰트이(가) 표시된 사진

자동 생성된 설명

**6. Clock**

Clock을 통해 컴퓨터 논리회로에서 시간을 구분할 수 있다. Clock 속도가 빨라지면 컴퓨터의 연산속도도 빨라진다. Clock이 존재하는 이유는 다음과 같다.

만약 logic n개를 처리한다고 생각해보자. Input이 순차적으로 입력될 때, clock이 존재하지 않는다면 모든 logic을 끝나고 다음 input이 입력될 수 있다. 그러면 당연히 시간지연이 발생할 수밖에 없다. 만약 clock이 설정된다면 특정 clock 후에 logic 1이 끝남을 확인할 수 있기 때문에 logic n개 모두 끝내지 않고 logic 1만이 끝나도 다음 input이 바로 들어갈 수 있다. 이 덕분에 장치의 연산속도를 향상 시킬 수 있다.

**7. Edge-Trigger.**

edge trigger는 clock의 값이 변하는 그 순간에만 동작하는 방식이며, FF가 작동하는 방식 중 하나이다. 즉 low level에서 high level으로 이동하는 순간이나, high level에서 low level로 이동하는 순간에서만 작동된다는 것이다. (이를 순서대로 rising edge, falling edge라고 부른다.) edged trigger는 positive edge trigger와 negative edge trigger로 나뉜다. Positive edge trigger는 rising edge일 때 FF가 동작하는 방식이고, 이와 반대로 Negative edge trigger는 falling edge일 때 FF가 동작하는 방식이다.

**8. Master-Slave**

Master-Slave는 쉽게 말하면 주요 장치와 부가 장치를 나눠서 해야할 동작을 분산시키는 것을 의미한다. 이를 FF에 관해 말해보자. Master-Slave Flip-flop은 2개의 FF와 1개의 invertor로 구성된다. 여기서 하나의 FF는 Master가 되고 나머지 하나의 FF는 Slave가 된다. 여기서 Clock이 1이면 Master FF이 작동하고, Clock이 0이면 Slave FF가 작동된다. 아래는 Master-slave D FF 회로도이다.

**도표, 라인, 그래프, 평면도이(가) 표시된 사진

자동 생성된 설명**

**9. Flip Flop의 사용**

FF는 기억을 유지한다는 특성 덕분에 memory에 사용된다. 특히 RAM에 자주 사용되는데, 여기서 RAM은 random access memory의 약자로, 사용자가 해당 주소의 내용을 자유롭게 조작할 수 있는 장치이다. 보통 FF를 사용하는 RAM은 SRAM이라고 하며, 다른 RAM보다 더 빠른 접근 속도를 보여준다. 하지만 복잡하며 큰 면적은 차지한다는 단점이 존재한다. 비싸다는 장점 때문에 주 메모리 대신에 캐시 메모리로 쓰인다.