4주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231523 이름: 김민정

**1. 실험목적**

실험을 통해 현재 회로에서 자주 쓰이는 NAND/NOR/XOR gate의 동작들을 이해하고 확인한다. 이 과정 중에서 Verilog가 사용되며 하나이 input이 아니라 여러개의 input을 사용하는 gate들을 사용한다. 마지막으로 simulation과 FPGA 작동을 통해 구현된 회로의 동작을 확인하며 실험을 끝낸다

**2. 4-input & 3-output NAND gate simulation(+source, testbench file)**

|  |  |
| --- | --- |
| Source code | Testbench code |
| 텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진  자동 생성된 설명 | 텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진  자동 생성된 설명텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명  텍스트, 디자인, 공구, 대수학이(가) 표시된 사진  자동 생성된 설명 |

|  |
| --- |
| simulation |
| 스크린샷, 사각형, 멀티미디어 소프트웨어이(가) 표시된 사진  자동 생성된 설명 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 진리표 | | | | | | |
| A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

원래의 AND gate와 정반대의 결과를 도출한다.

**3. 4-input & 3-output NOR gate simulation(+source, testbench file)**

|  |  |
| --- | --- |
| Source code | Testbench code |
| 텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진  자동 생성된 설명 | 텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명 텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명 |

|  |
| --- |
| simulation |
| 스크린샷, 멀티미디어 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진  자동 생성된 설명 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 진리표 | | | | | | |
| A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 |

원래의 OR gate와 정반대의 결과를 도출한다.

**4. 3=4-input & 3-output XOR gate simulation(+source, testbench file)**

|  |  |
| --- | --- |
| Source code | Testbench code |
| 텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명 | 텍스트, 스크린샷, 소프트웨어, 번호이(가) 표시된 사진  자동 생성된 설명텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진  자동 생성된 설명 |

|  |
| --- |
| simulation |
| 스크린샷, 사각형이(가) 표시된 사진  자동 생성된 설명 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 진리표 | | | | | | |
| A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

Input들이 서로 같으면 0을 출력한다. 즉 두 input이 서로 다른값이여야 1을 출력함을 알수 있다.

**5. 4-input & 3-output AOI gate simulation(+source, testbench file)**

|  |  |
| --- | --- |
| Source code | Testbench code |
| 텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명 | 텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진  자동 생성된 설명텍스트, 스크린샷, 폰트이(가) 표시된 사진  자동 생성된 설명 |

|  |
| --- |
| simulation |
| 스크린샷, 멀티미디어 소프트웨어, 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진  자동 생성된 설명 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 진리표 | | | | | | |
| A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

AND-OR-Invert의 말처럼 input a와 b를 and한 것과 input c와 d를 and한 것을 or한후 이를 invert한 결과임을 위 실험에서 확인할 수 있었다.

**6. 결과 검토 및 논의사항.**

NAND, NOR gate는 실험을 통해 원래의 AND와 OR gate와 정반대의 결과값을 도출함을 알게되었다. 또한 위 게이트는 원래의 기존 게이트보다 처리 속도가 빠른 장점이 있다. 이를 통해 위 게이트를 통해 모든 논리회로를 작성할 수 있도록 유도해야한다. XOR도 결과 test에 유용한 논리 operation임을 확인할 수 있다

Logic gate 중에서는 NAND와 NOR뿐만아니라 XNOR이 더 존재한다. 이는 다음 항목인 7번 문항에서 다뤄보고자 한다.

**7. 추가 조사(XNOR)**

XNOR은 XOR logic gate에 inversion을 추가한 것이다. 즉 XOR 결과값에 invert한 것이라는 것이다. 그래서 서로의 값이 달라야 1을 output으로 가지는 XOR과 다르게, XNOR은 같은 값을 가져야 1을 output으로 가진다.