|  |  |  |
| --- | --- | --- |
|  |  |  |
|  | | |
|  | | |
|  | | |
| 车控系统 | | |
| 逻辑方案设计报告 | | |
| **成都飞梭智行有限公司** | | |

|  |  |  |
| --- | --- | --- |
| **签署项** | | **日期** |
| **拟制** | **陈冬** | **2018-10-8** |
| **审核** |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
| **标审** |  |  |
| **批准** |  |  |

**技术文件更改记录表**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 更改单号 | 更改类别 | 更改方式 | 更改时间 | 更改员 | 备注 |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

**目次**

[1 范围 1](#_Toc527121419)

[2 规范性引用文件 1](#_Toc527121420)

[3 逻辑概要 2](#_Toc527121421)

[3.1 项目概述 2](#_Toc527121422)

[3.1.1 应用环境 2](#_Toc527121423)

[3.1.2 项目芯片 2](#_Toc527121424)

[3.2 逻辑需求规格 3](#_Toc527121425)

[3.2.1 EMIF总线 3](#_Toc527121426)

[3.2.2 看门狗模块 3](#_Toc527121427)

[3.2.3 ADC采集模块 3](#_Toc527121428)

[3.2.4 UART模块 3](#_Toc527121429)

[3.2.5 中断模块 3](#_Toc527121430)

[3.2.6 CAN模块 3](#_Toc527121431)

[3.2.7 开关量输入输出模块 3](#_Toc527121432)

[3.2.8 SPI模块 3](#_Toc527121433)

[4 逻辑方案 4](#_Toc527121434)

[4.1 功能框图 4](#_Toc527121435)

[4.2 逻辑模块方案 4](#_Toc527121436)

[4.3 逻辑时钟方案 5](#_Toc527121437)

[4.3.1 外部时钟资源 5](#_Toc527121438)

[4.3.2 跨时钟域的处理 5](#_Toc527121439)

[4.4 逻辑复位方案 5](#_Toc527121440)

[4.5 逻辑加载方案 6](#_Toc527121441)

[4.5.1 加载方式 6](#_Toc527121442)

[4.5.2 烧写文件 6](#_Toc527121443)

[4.5.3 在线升级 7](#_Toc527121444)

[4.5.4 多版本管理 7](#_Toc527121445)

[4.6 关键模块设计方案介绍 7](#_Toc527121446)

[4.6.1 CAN\_TOP 7](#_Toc527121447)

[4.6.2 UART\_TOP 10](#_Toc527121448)

[4.6.3 ADC\_TOP 11](#_Toc527121449)

[4.6.4 EMIF2LBS\_CTRL 13](#_Toc527121450)

[4.6.5 INTR\_CTRL 14](#_Toc527121451)

[5 依据或参考文件 15](#_Toc527121452)

# 范围

本文描述车控系统上逻辑部分的设计方案及简要的验证说明，为编码及调试奠定基础。

本文仅仅作为内部文档描述具体的逻辑实现方案，并不包括芯片功能的操作方式指导。

# 逻辑概要

## 项目概述

### 应用环境

逻辑在单板中的位置如所示。



1. 逻辑在单板中的位置

### 项目芯片

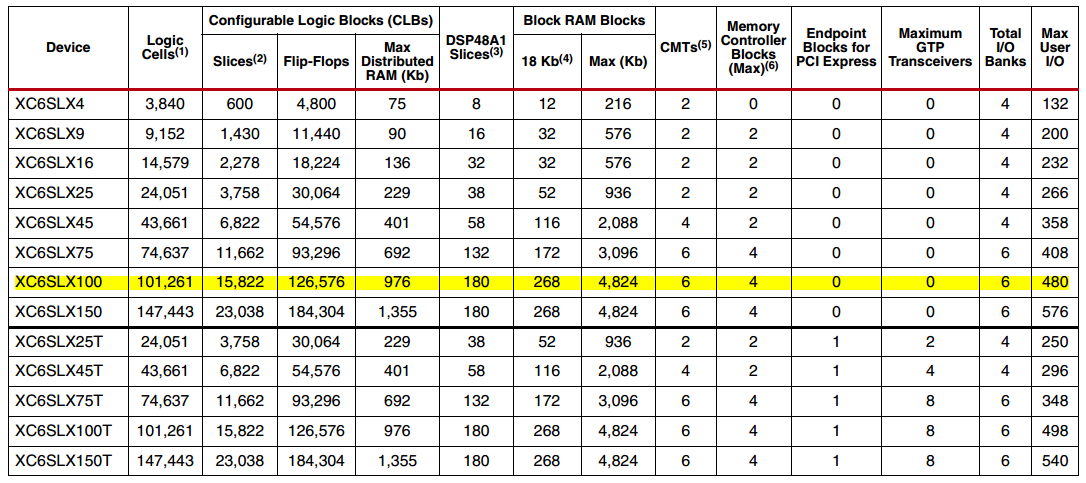
项目包含如所示的芯片。



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 芯片名 | 位号 | 开发环境 | 对应逻辑工程名 | 备注 |
| XC6SLX100-2FGG484I | U4 | ISE 14.7 |  |  |

#### FPGA(U4)

FPGA(U4)型号为Xilinx XC6SLX100-2FGG484I，芯片信息如红色框内所示。



1. 芯片信息

## 逻辑需求规格

### EMIF总线

16Bits，异步模式，速率为100MHz。

### 看门狗模块

看门狗模块，定时时间由软件通过EMIF总线进行配置，上电默认值为100ms；精度为1ms，超时后，输出看门狗中断。

### ADC采集模块

实现一路ADC采集控制模块，通过串行控制接口-SPI定时采集输入的模拟量输入，实现力传感器的数据反馈。

### UART模块

实现6路兼容RS232/RS422/RS485的串口模块，可通过DSP软件自由配置串口波特率、数据位宽、校验方式、中断方式。

### 中断模块

DSP通过EMIF实现对各中断的管理，包括中断使能、中断清除及查询中断源等功能。

### CAN模块

实现8路CAN通信模块，兼容SJA1000，可通过DSP软件实现对各路CAN总线的控制。

### 开关量输入输出模块

本模块主要完成对16路继电器输入的检测和16路继电器的控制，DSP软件通过EMIF控制和获取继电器状态；

### SPI模块

本模块实现SPI Slave，DSP软件可以通过SPI总线实现和FPGA的通信。该模块保留。

# 逻辑方案

## 功能框图

逻辑总体框图如所示：



1. 车控系统逻辑总体框图

本设计将UART、CAN、ADC等通过EMIF挂接到DSP上，DSP将各控制器当做扩展的外设访问。FPGA提供兼容16550的UART控制器和兼容SJA1000T的CAN控制器。

## 逻辑模块方案

FPGA逻辑一级模块列表见所示：

1. 一级模块列表

|  |  |  |
| --- | --- | --- |
| 模块名 | 完成功能 | 备注 |
| emif2lbs\_ctrl | 实现EMIF总线转Local Bus，以及Local Bus总裁 |  |
| uart\_top | 实现兼容16550的串口通信 |  |
| can\_top | 实现兼容SJA1000的CAN协议通信 |  |
| spi\_ctrl | 实现获取ADC采集数据的功能 |  |
| io\_map | 实现对继电器的状态反馈和控制的映射 |  |
| sys\_reg | 实现系统的控制和状态寄存器 |  |
| intr\_ctrl | 实现中断的管理和控制 |  |

## 逻辑时钟方案

### 外部时钟资源

外部时钟资源列表见表 3 。

1. 时钟资源列表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 时钟 | 频率 | 来源及用途 | 同源性 |
| 1 | Clk\_25m | 25MHz | 外部晶振，用于产生100M系统主时钟 | 无 |
|  |  |  |  |  |
|  |  |  |  |  |

### 跨时钟域的处理

本设计严格遵循逻辑设计中的跨时钟处理的设计原则，在方案以及代码层面对跨时钟域的处理做了严格的约束以及约定：数据的跨时钟使用双口/FIFO进行隔离；对于单bit控制信号的跨时钟处理使用边沿检测器进行设计，如图 4 所示：



1. 边沿检测同步器

## 逻辑复位方案

复位资源列表见表 4

1. 复位资源列表

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 复位源 | 顶层信号名 | 用途 |
| 1 | DSP软件 | dsp\_rst\_n | DSP的GPIO复位信号，低电平有效 |
| 2 | DSP Reset Out | dsp\_rstout\_n | DSP的复位输出信号，低电平有效 |
| 3 | FPGA | fpga\_wdgrst\_n | FPGA的看门狗复位输出，用于复位DSP，低电平有效 |

复位结构如所示



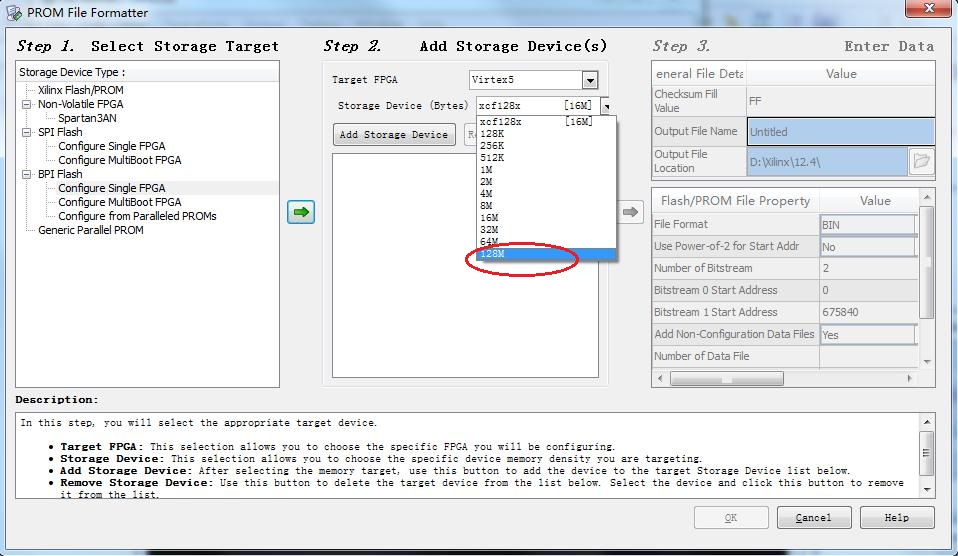
1. 复位结构

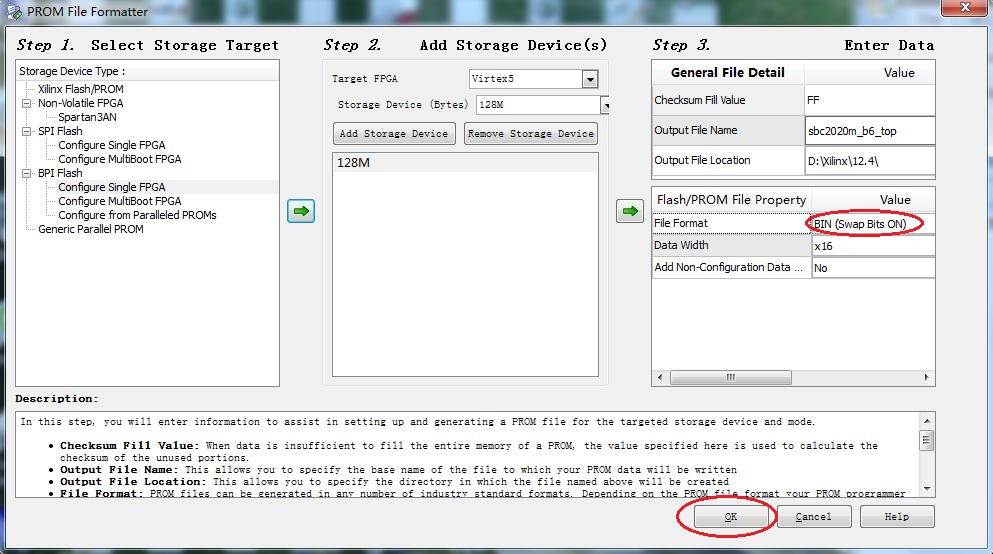
## 逻辑加载方案

### 加载方式

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 项目 | 加载模式 | 时钟频率 | 启动时间 | 配置芯片 | 加载时间 |  |
| 车控系统 | MASTER-SPIx1 | 26MHz | 400ms | W25Q64 | 200ms |  |
|  |  |  |  |  |  |  |

### 烧写文件





### 在线升级

暂无

### 多版本管理

无

## 关键模块设计方案介绍

### CAN\_TOP

#### 接口简介

CAN 是 Controller Area Network（控制器局域网络）的简称，最初是由德国 Bosch 公司设计的，应用于汽车的监测和控制。CAN 总线作为一种技术先进、可靠性高、功能完善、成本合理的远程网络通讯控制方式，逐步被广泛应用到各种控制领域。

具备多主控制、非破坏性的逐位控制、故障封闭、错误检测和远程请求等特点

#### 功能介绍

CAN\_TOP模块功能如下：

1. 实现标准CAN2.0通信协议
2. 兼容SJA1000T

#### 结构框图

CAN\_TOP模块逻辑功能框图如所示。



1. CAN\_TOP模块逻辑功能

该逻辑模块实现CAN协议接口驱动，完成数据接收、发送以及错误处理；

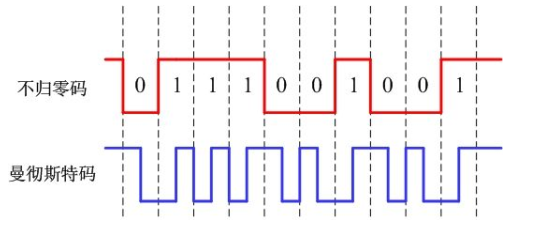
接收数据时，CAN\_TOP检测到总线上的帧起始，开始接收帧，并根据Accept Filter的设置判断是否存入接收fifo，当接收到一个完整帧之后，触发接收中断，DSP通过EMIF获取报文数据；

发送数据时，数据通过Localbus写入发送fifo，并指定帧类型，模块接收到发送开始命令后，根据CAN总线状态将帧发送出去。

发生错误时，模块要统计错误的类型以及次数，并依据错误修改总线状态；

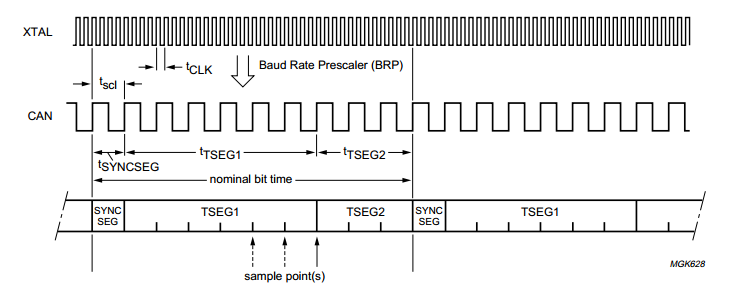
#### 接口信号及时序

CAN 总线采用 NRZ（单极性不归零码）编码，相比曼彻斯特码具有更好的 EMC 性能。当发送器检测到位流里有连续 5 个相同极性的位就会插入一个填充位，接收器会删除这个填充位，然而在固定的位场中不使用位填充。



1. CAN的编码方式

CAN接口的时序如图 8 所示。



1. CAN接口时序

CAN采用位定时的方式实现数据的传输和采样，将数据窗口划分为同步段（SYNC SEG）、相位缓冲段1（TSEG1）和相位缓冲段2（TSEG2），其中两个相位缓冲段用于吸收和补偿总线网络内的累积时钟误差和物理延时。在帧的发送和接收过程中，都需要根据总线的跳变状态进行重同步，保证各控制器的采样同步性。

CAN\_TOP模块信号列表如所示。

1. CAN\_TOP模块信号列表

|  |  |  |
| --- | --- | --- |
| 信号名称  Signal name | 方向  I/O | 功能描述  Function |
| 全局信号 | | |
| clk | I | 系统时钟，100MHz。 |
| rst | I | 全局复位信号，高有效。 |
| Localbus总线信号 | | |
| lbe\_cs\_n | I | Localbus片选信号，低有效。 |
| lbe\_wr\_en | I | Localbus写使能信号，高有效。 |
| lbe\_rd\_en | I | Localbus读使能信号，高有效。 |
| lbe\_addr[7:0] | I | Localbus地址总线。 |
| lbe\_wr\_dat[7:0] | I | Localbus写操作数据输入。 |
| lbe\_rd\_dat[7:0] | O | Localbus读操作数据输出。 |
| CAN控制器中断信号 | | |
| irq\_on | O | CAN传输中断信号 |
| CAN传输信号 | | |
| tx | O | CAN发送信号 |
| rx | I | CAN接收信号 |
| 总线状态 | | |
| bus\_off\_on | O | CAN总线是否下线 |

#### 可测试性设计

1）功能性测试由DSP通过EMIF操作寄存器，实现对CAN总线的测试测试。

2）完整的协议错误处理机制。

3）无外接设备时，可通过环回测试控制器功能。

### UART\_TOP

#### 接口简介

通用异步收发传输器(UniversalAsynchronousReceiver/Transmitter)，通常称作UART，是一种异步收发传输器，将数据由串行通信与并行通信间作传输转换。UART是一种通用串行数据总线，用于异步通信。

通过使用不同的电平，该总线可实现点对点，一点对多点，多点之间的通信；可以实现全双工传输和接收，根据不同的应用场景也可以应用为半双工模式。

#### 功能介绍

1）实现标准的UART通信协议

2）支持常见波特率可配

3）兼容16550操作模式

4）支持全双工和半双工模式

#### 结构框图



1. UART\_TOP逻辑结构框图

#### 接口信号及时序

UART作为异步[串口通信协议](http://baike.baidu.com/view/2459734.htm)的一种，工作原理是将传输数据的每个字符一位接一位地传输。如下图所示，一个完整的UART帧包含起始位、数据位、奇偶校验位、停止位。其中，数据位长度为5~8bits可设。

1. UART帧格式

UART\_TOP模块信号列表如表 6 所示。

1. UART\_TOP模块信号列表

|  |  |  |
| --- | --- | --- |
| 信号名称  Signal name | 方向  I/O | 功能描述  Function |
| 全局信号 | | |
| clk | I | 系统时钟，100MHz。 |
| rst | I | 全局复位信号，高有效。 |
| Localbus总线信号 | | |
| lbe\_cs\_n | I | Localbus片选信号，低有效。 |
| lbe\_wr\_en | I | Localbus写使能信号，高有效。 |
| lbe\_rd\_en | I | Localbus读使能信号，高有效。 |
| lbe\_addr[7:0] | I | Localbus地址总线。 |
| lbe\_wr\_dat[7:0] | I | Localbus写操作数据输入。 |
| lbe\_rd\_dat[7:0] | O | Localbus读操作数据输出。 |
| UART控制器中断信号 | | |
| intc | O | UART传输中断信号 |
| UART传输信号 | | |
| tx | O | UART发送信号 |
| rx | I | UART接收信号 |

#### 可测试性设计

1）功能性测试由DSP通过EMIF接口操作UART发送和接收数据。

2）完整的调试和监测信息。

3）提供内部环回。

### ADC\_TOP

本设计采用SPI接口用于实现ADC配置以及采集数据的获取。

#### 接口简介

SPI是串行外设接口（Serial Peripheral Interface）的缩写，为同步串行接口，收发独立。SPI接口主要应用在EEPROM、Flash、AD/DA等器件上，用于器件的配置和状态获取。

#### 功能介绍

1）实现ADC的配置；

2）定时获取ADC采集数据；

3）采集数据加权处理；

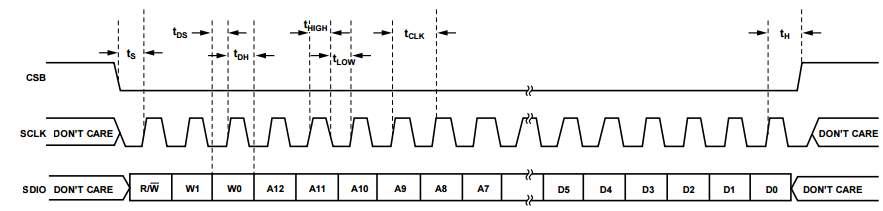
#### 结构框图



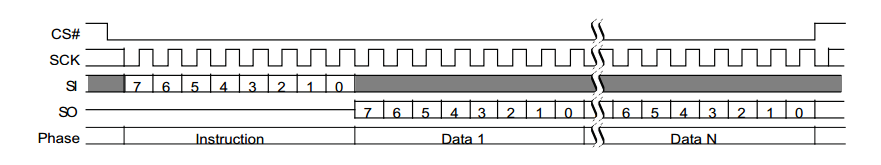
1. ADC\_TOP结构框图

DSP通过EMIF配置SPI波特率、定时时长以及ADC的配置寄存器，并启动采集。模块通过SPI接口配置寄存器，并定时获取采集值做加权处理，最后通过中断通知DSP获取数据，或者DSP根据需要获取。

#### 接口信号及时序



1. 3线SPI接口时序



1. 4线SPI接口时序

SPI常见采用3线或者4线模式。3线模式的输入输出公用数据线，4线为独立的输入输出端口。

ADC\_TOP模块信号列表如表 7 所示。

1. ADC\_TOP模块信号列表

|  |  |  |
| --- | --- | --- |
| 信号名称  Signal name | 方向  I/O | 功能描述  Function |
| 全局信号 | | |
| clk | I | 系统时钟，100MHz。 |
| rst | I | 全局复位信号，高有效。 |
| Localbus总线信号 | | |
| lbe\_cs\_n | I | Localbus片选信号，低有效。 |
| lbe\_wr\_en | I | Localbus写使能信号，高有效。 |
| lbe\_rd\_en | I | Localbus读使能信号，高有效。 |
| lbe\_addr[7:0] | I | Localbus地址总线。 |
| lbe\_wr\_dat[7:0] | I | Localbus写操作数据输入。 |
| lbe\_rd\_dat[7:0] | O | Localbus读操作数据输出。 |
| ADC采集中断信号 | | |
| adc\_intc | O | ADC采集中断信号 |

#### 可测试性设计

无

### EMIF2LBS\_CTRL

#### 功能介绍

emif2lbs\_ctrl模块主要实现EMIF到LocalBus的转换，并为各个模块划分地址空间，提供独立的Local Bus，这样DSP就可以通过EMIF访问FPGA的各个控制器。

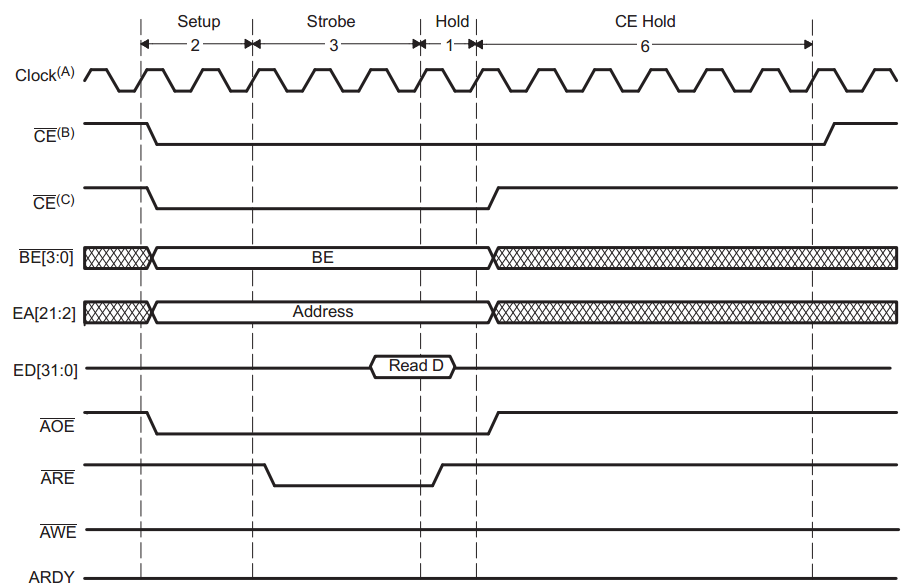
#### 结构框图



1. EMIF2LBS结构框图

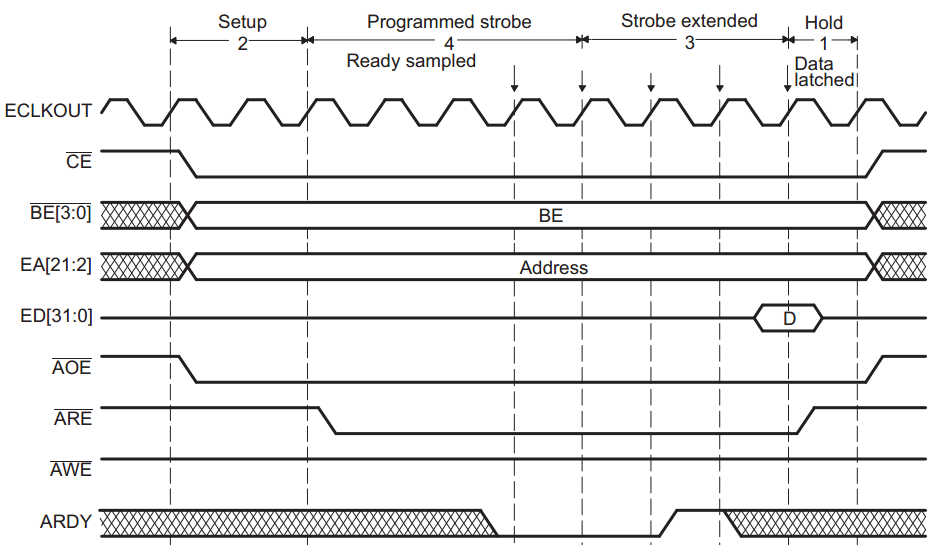
#### 接口信号及时序

EMIF异步读时序图见图 14 。



1. Localbus异步读时序图

EMIF异步写时序图见图 15 。



1. Localbus异步写时序图

### INTR\_CTRL

INTR\_CTRL为中断管理模块，主要实现多路中断复用功能，将多路中断合成一路，并支持电平和沿中断可配。



1. 中断管理模块

# 依据或参考文件