



# 第七章 总线技术

张华平 副教授 博士

Email: [kevinzhang@bit.edu.cn](mailto:kevinzhang@bit.edu.cn)

Website: <http://www.nlpir.org/>

@ICTCLAS张华平博士

大数据搜索挖掘实验室 (wSMS@BIT)





- (1) 【一般性讲解，概念为主】PCI 及PCI-E总线
- (2) 【一般性讲解，概念为主】USB总线、I<sup>2</sup>C总线





# 总线技术的优越性

- 便于采用**模块结构**设计方法，简化了系统设计；
- 标准总线可以得到多个厂商的广泛支持，便于生产与之**兼容的硬件板卡**和**软件**；
- 模块结构方式便于系统的**扩充和升级**；
- 便于**故障诊断和维修**，同时也**降低了成本**。



# 7.1 总线概述

## ➤ 总线定义及分类

总线是一种**通讯通道**，用以在计算机内部及计算机之间**传输数据**。总线这个术语涵盖了所有的相关**硬件**（导线、光线等）及**软件**（通讯协议等）。早期的计算机总线仅指那些拥有多个接口的并行线缆，但现在泛指任何能够提供**通讯逻辑功能的物理布局和设备**。





## 7.1 总线概述

### ➤ 按所处的位置分类

- **片内总线**：指CPU内部的总线，即芯片内部的总线。
- **片外总线**：指CPU与内存和IO设备之间的通信接口，常指外设的接口标准，如SATA/SCSI/USB/IEEE 1394等。

### ➤ 按功能分类

- **地址总线**（Address Bus, AB）：用来传送地址信息。
- **数据总线**（Data Bus, DB）：用来传送数据信息。
- **控制总线**（Control Bus, CB）：用来传送控制信号。

### ➤ 按信息传送方向分类

- **单向总线**：信息只能朝一个方向传送，如地址总线。
- **双向总线**：信息可以朝两个方向传送，如数据总线。





## 7.1 总线概述

### ➤ 按层次结构分类

- **CPU总线**：用来连接CPU和控制芯片。
- **存储总线**：用来连接存储控制器和内存。
- **I/O通道总线**：用来连接扩充插槽上的各扩展板卡。

### ➤ 按通信方式分类

- **并行总线**
- **串行总线**

### ➤ 按时钟信号方式分类

- **同步总线**：时钟信号独立于数据。
- **异步总线**：时钟信号是从数据中提取出来的，通常利用数据信号的边沿来作为时钟同步信号。





## 7.1 总线概述

### ➤ 总线技术指标

- **总线的带宽**：总线的带宽也叫总线数据传输速率，指的是单位时间内总线上传送的数据量，即每秒钟传送的最大稳态数据量。
- **总线的位宽**：总线的位宽指的是总线能同时传送的二进制数据的位数，或数据总线的位数，32位/64位。
- **总线的工作频率**：总线的工作时钟频率以MHz为单位，工作频率越高，总线工作速度越快，带宽越宽。

$$\text{总线的带宽} = \text{总线的工作频率} \times \text{总线的位宽} \div 8$$





## 7.2 PCI总线

### ➤ PCI 总线

- 不依附于某个具体处理器的局部总线标准。
- 显卡、声卡、网卡、MODEM等设备提供了连接接口。
- 升级版本为PCI-E。





### ➤ PCI 总线特点

- 采用地址线与数据线复用方式。
- 对32位及64位总线的使用采用透明方式，允许32位与64位器件相互协作。
- 允许PCI局部总线扩展卡及器件进行自动配置，提供即插即用的能力。
- 独立于处理器，工作频率与处理器基准时钟无关，可支持多机系统。
- 具有良好的兼容性，可支持ISA、SCSI、IDE等多种总线，同时预留了拓展空间。
- PCI总线标准提供了5V和3.3V两种电源电压，为此PCI总线定义了从5V到3.3V的转换途径。

## 7.2 PCI总线

### ➤ PCI总线体系结构

■ 32个物理部件 × 8个不同的功能部件

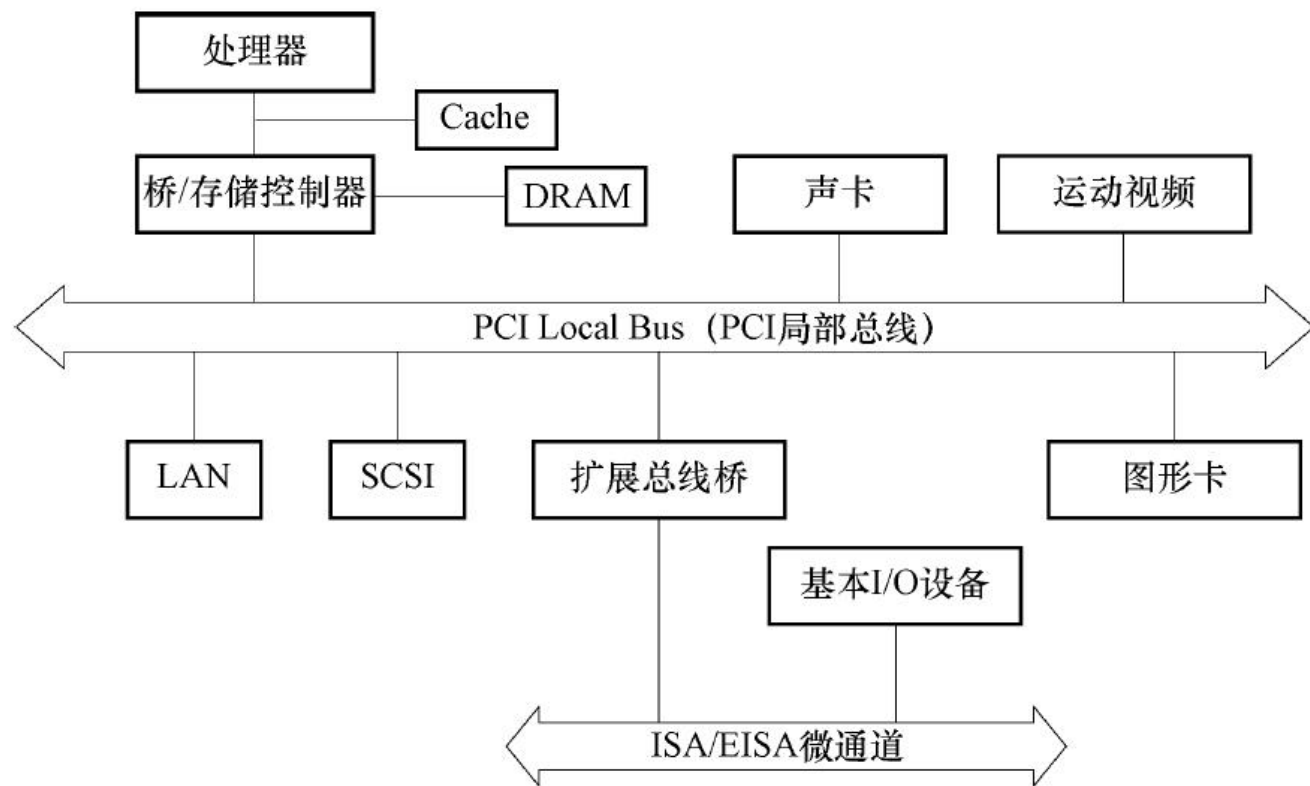


图 7-4 PCI 总线体系结构

## 7.2 PCI总线

### ➤ PCI总线引脚定义

PCI接口要求的最少引脚数，对于只作为目标的从设备为47条，对于主设备为49条。

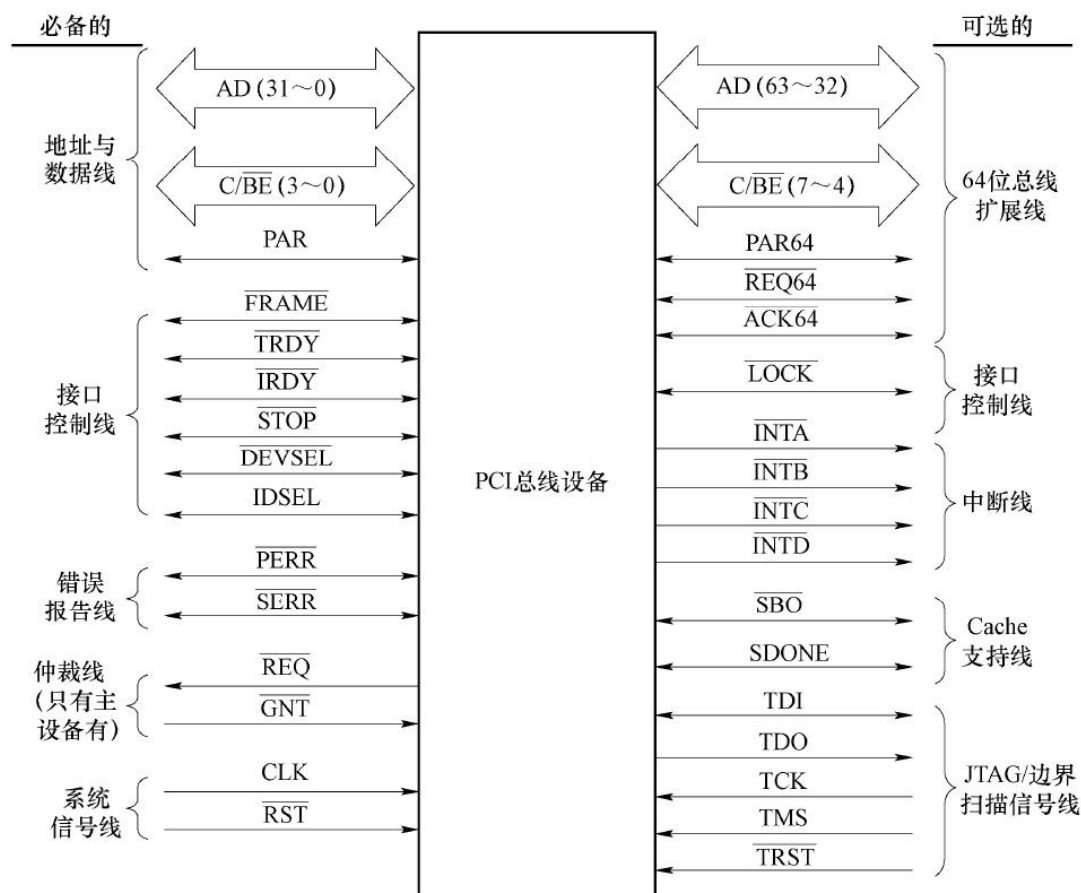


图 7-5 PCI 总线引脚定义

## 7.2 PCI总线

表 7-1 总线命令及其编码

C/ $\overline{\text{BE}}[3:0]$	命令类型说明	
0000	中断响应周期	Interrupt Acknowledge
0001	特殊周期	Special Cycle
0010	I/O 读周期	I/O Read
0011	I/O 写周期	I/O Write
0100	保留	Reserved
0101	保留	Reserved
0110	存储器读周期	Memory Read
0111	存储器写周期	Memory Write
1000	保留	Reserved
1001	保留	Reserved
1010	配置读周期	Configuration Read
1011	配置写周期	Configuration Write
1100	存储器多行读周期	Memory Read Multiple
1101	双地址周期	Dual Address Cycle
1110	存储器行读周期	Memory Read Line
1111	存储器写和使无效周期	Memory Write and Invalidate

### ➤ PCI 总线命令

主设备在C/BE3~0#线上送出的4位总线命令代码，决定了PCI总线周期类型。目标设备根据C/BE3~0#来获得主设备所要求执行的命令。







## 7.2 PCI总线

- PCI总线协议
- PCI总线数据传输过程
  - 时序图
- 总线仲裁
- PCI总线配置



## 7.2 PCI总线

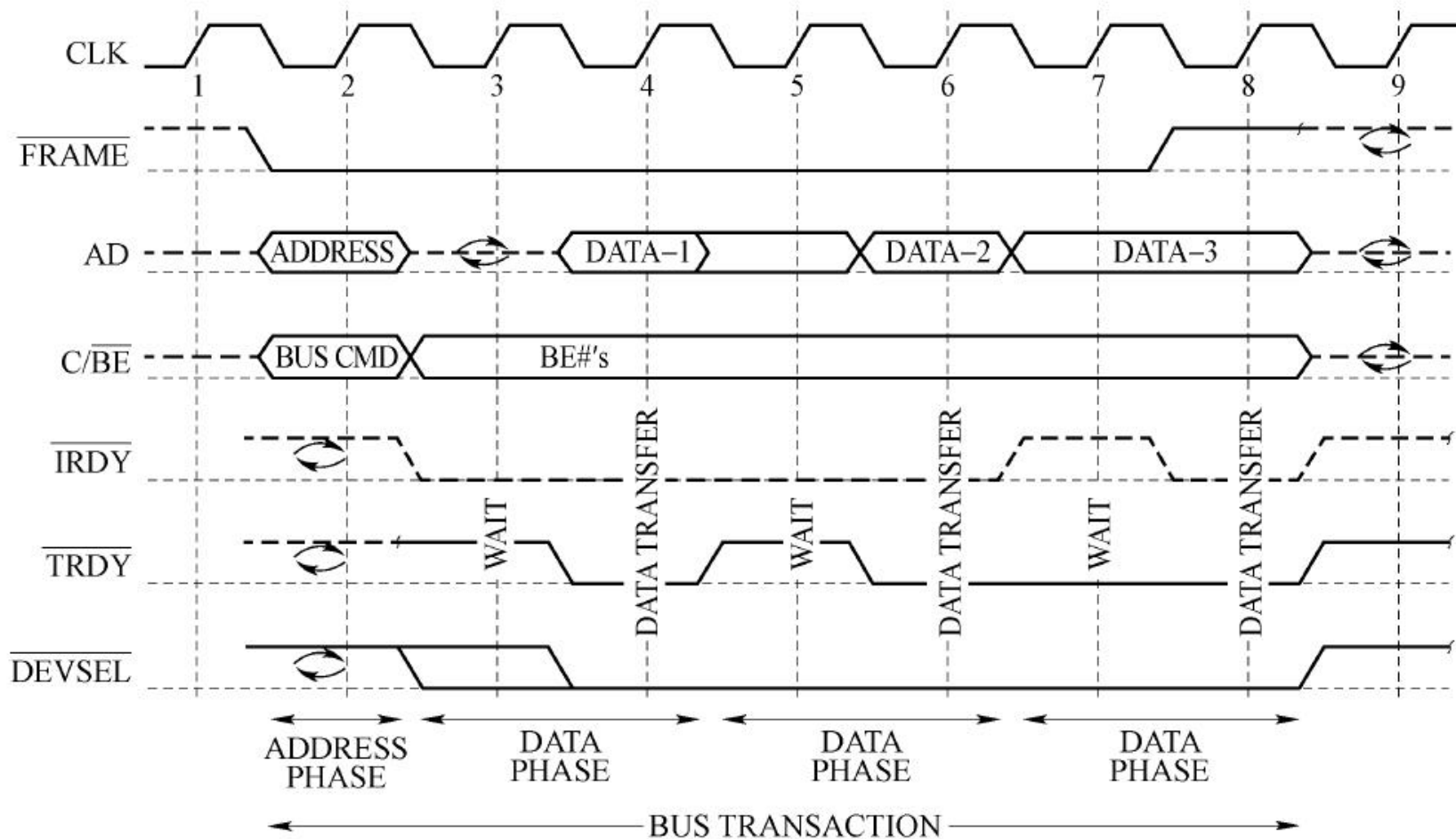
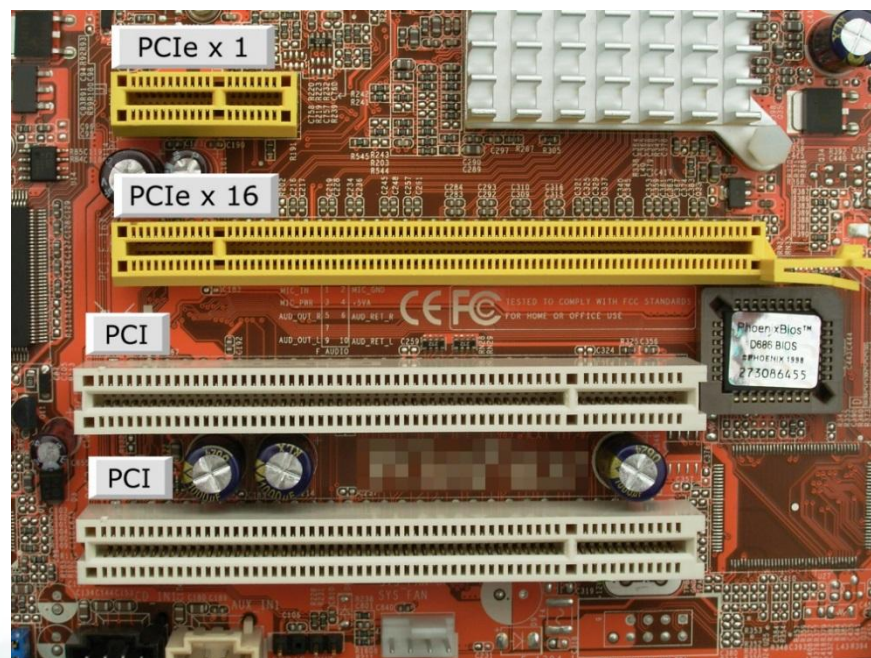


图 7-6 PCI 总线的读操作时序

## 7.3 PCI-E总线

### ➤ PCI-E: PCI Express

- 每个设备都有自己的专用连接，不需要向整个总线请求带宽。
- 数据传输率提高到一个很高的频率，达到PCI所不能提供的高带宽。





## 7.3 PCI-E总线

### ➔ PCI-E逻辑布局

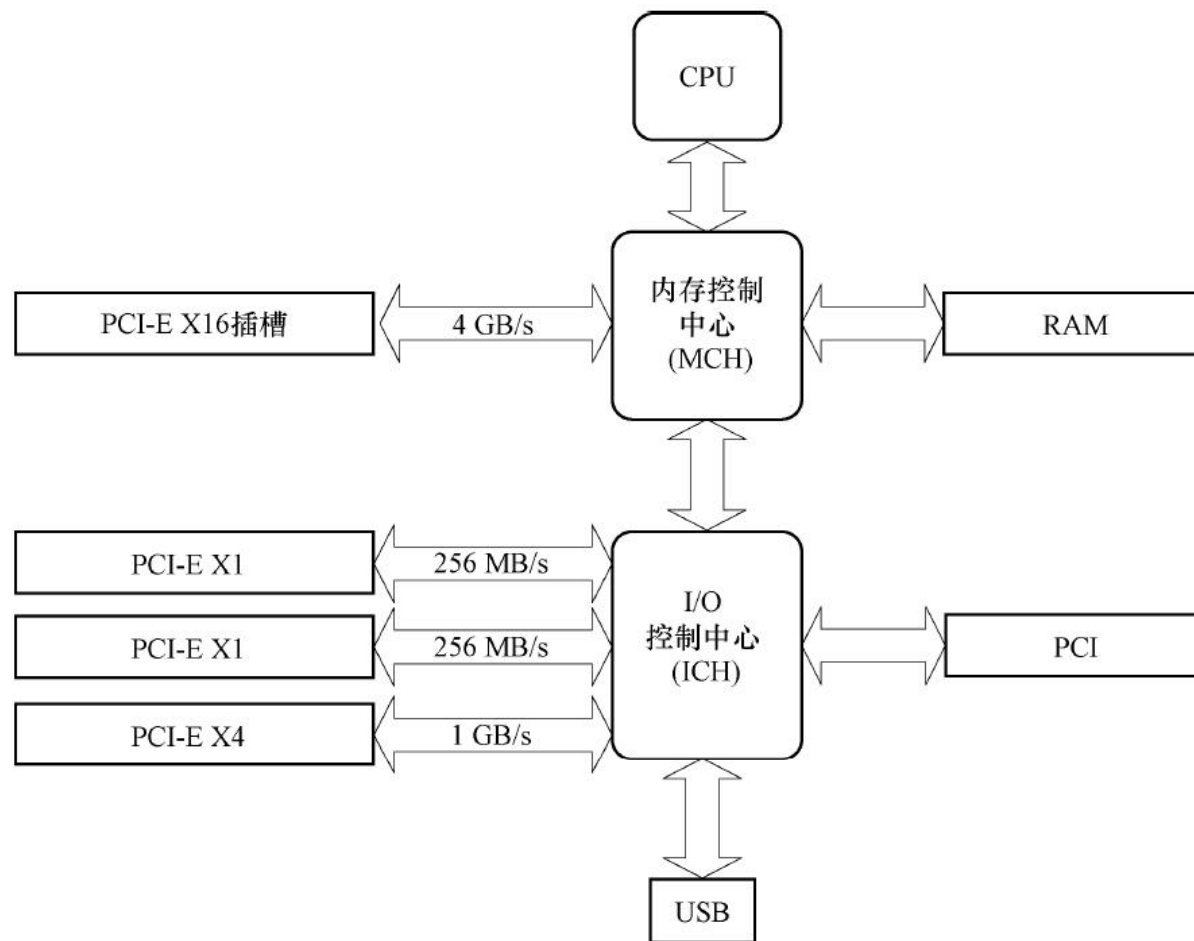


图 7-12 PCI-E 总线在主板中的逻辑布局







## 7.3 PCI-E总线

### ➤ PCI-E协议层次

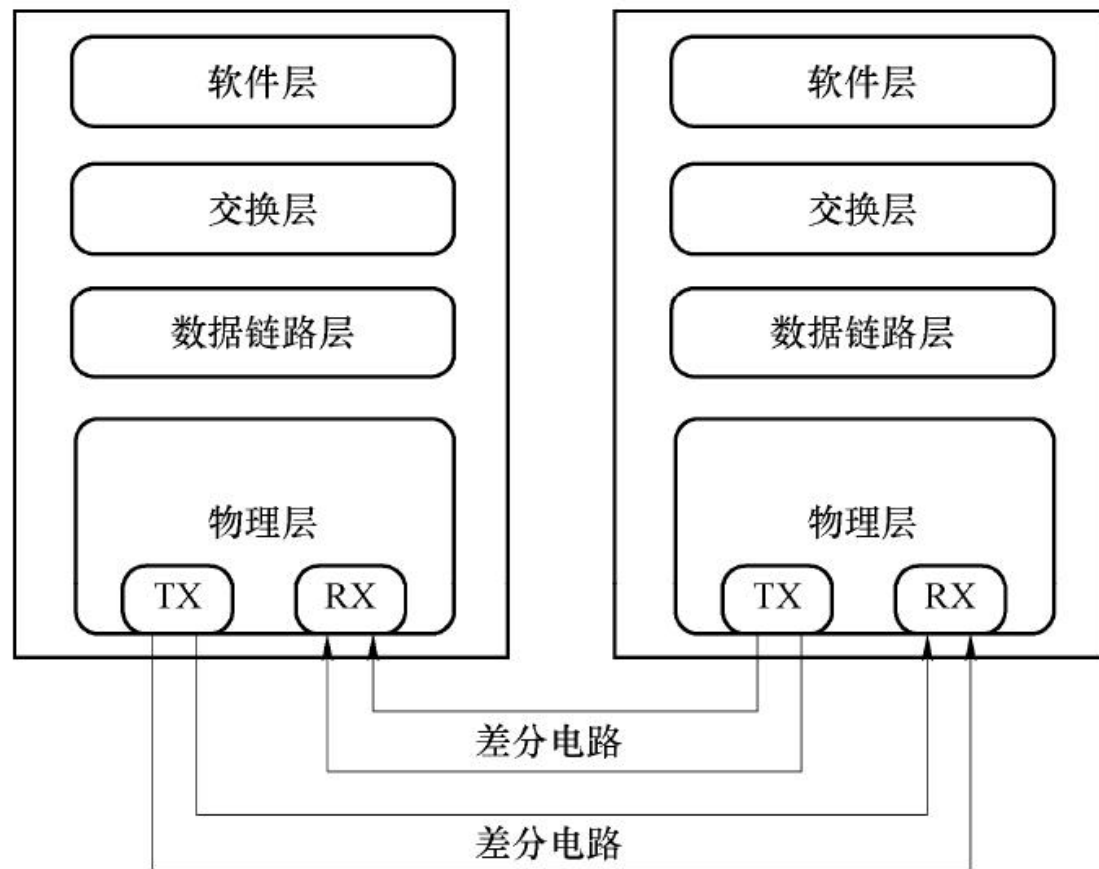


图 7-13 PCI-E 的主要协议层



## 7.4 USB总线

### ➤ USB: 通用串行总线 (Universal Serial Bus)

- 支持热插拔且即插即用
- USB总线的物理结构允许总线上挂接多个USB设备
- 接口小、成本低
- 性能可靠

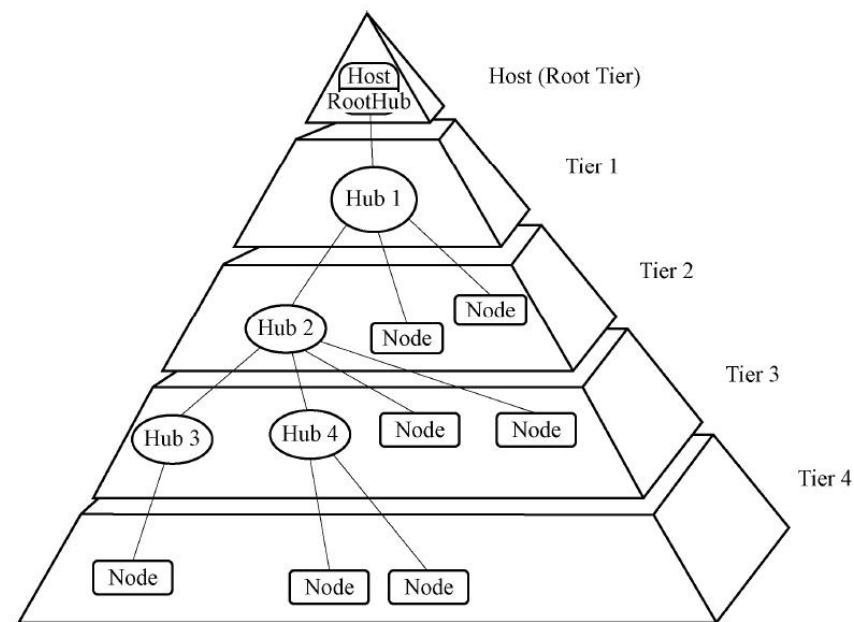


图 7-14 USB 总线拓扑结构

## 7.4 USB总线

### ➤ USB规范

- USB1.1：速度较差，操作系统支持不够
- USB2.0：支持3种传输速率
- USB3.0：高带宽，高达5Gb/s，全双工

表 7-4 USB 传输速度

模 式	速率/ (Mb · s <sup>-1</sup> )	USB 版本
低速 (low-speed)	1.5	USB 1.1, 2.0
全速 (full-speed)	12	USB 1.1, 2.0
高速 (high-speed)	480	USB 2.0



## 7.4 USB总线

### ➤ USB接口的硬件特性

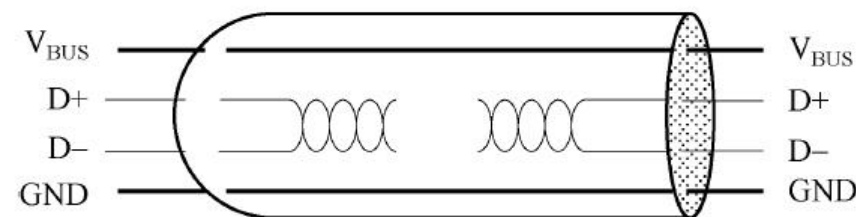


图 7-15 USB 1.1/2.0 线缆定义

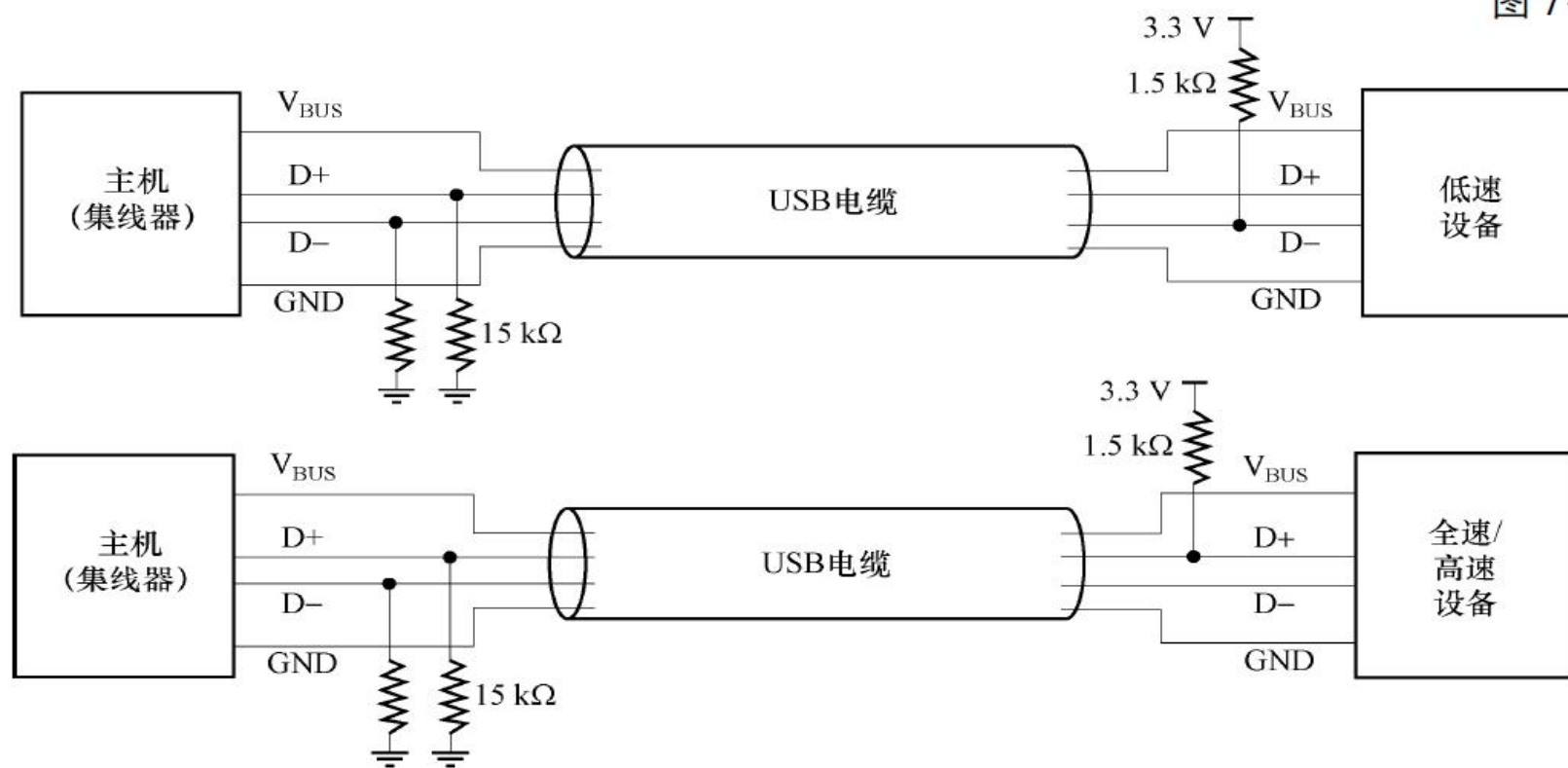


图 7-16 USB 收发器的上拉/下拉电阻



## 7.4 USB总线

### ➤ USB1.1/2.0硬件接口类型



图 7-19 Mini USB 和 Micro USB 接口

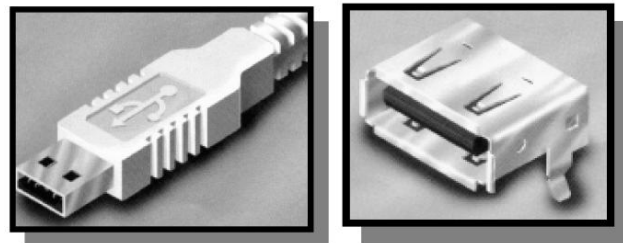


图 7-17 USB 系列“A”接口

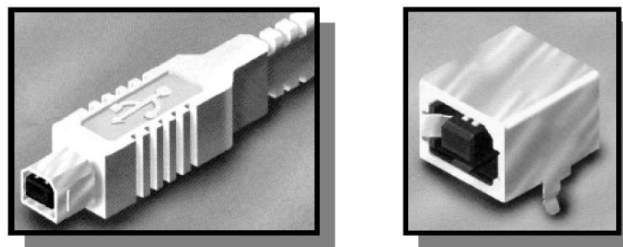


图 7-18 USB 系列“B”接口

表 7-5 Mini USB 和 Micro USB 引脚定义

引脚	名称	线缆颜色	功能
1	$V_{BUS}$	红	电源
2	D-	白	USB 差分信号传输线
3	D+	绿	
4	ID		A 型：接地
			B 型：空
5	GND	黑	地线



## 7.4 USB总线

### ➤ ID引脚

- ID脚在OTG (On The Go) 功能中才使用。由于Mini USB接口分Mini A、Mini B 和Mini AB 接口，如果设备仅仅是用作从设备 (Slave)，那么就使用B接口，ID脚悬空。当设备插入时，通过上拉电阻将ID拉至高电平，此时主机通过该电平值可以判断系统接入了USB 从设备；如果需要将设备在OTG模式下充当主设备 (Master)，那么就需要使用A接口，此时ID脚接地，当设备插入时，ID引脚为低，根据该电平值，决定该设备为主设备。
- OTG：在没有Host的情况下，实现设备间的数据传送。



## 7.4 USB总线

### ➤ USB3.0 硬件接口

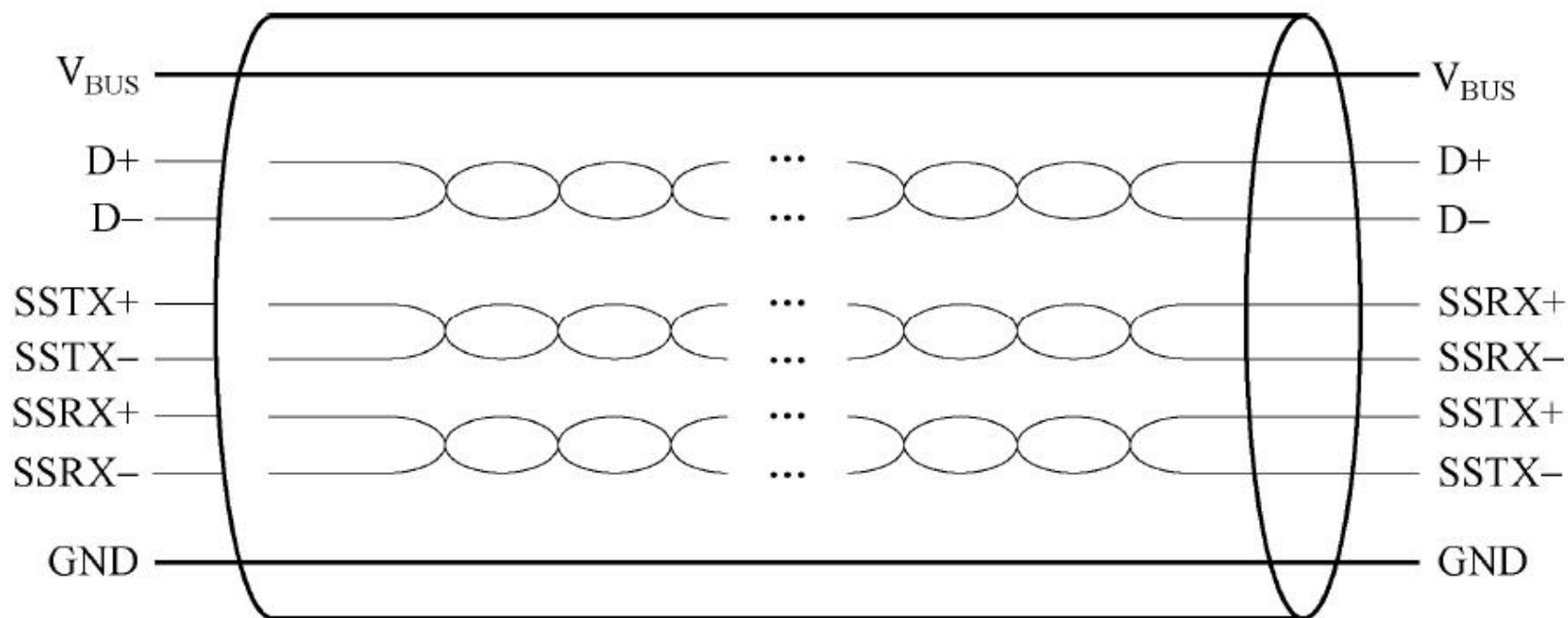


图 7-20 USB 3.0 线缆定义

## 7.4 USB总线

### ➤ USB3.0信号定义（与2.0颜色区分）

表 7-6 USB 3.0 标准 A 型信号定义

引脚编号	信号名	功    能	装配顺序
1	V <sub>BUS</sub>	电源	2
2	D-	USB 2.0 信号线（差分对）	3
3	D+		
4	GND	电源地	2
5	StdA_SSRX-	USB 3.0 超速接收信号线（差分对）	4
6	StdA_SSRX+		
7	GND_DRAIN	信号地	
8	StdA_SSTX-	USB 3.0 超速发送信号线（差分对）	
9	StdA_SSTX+		
外壳	Shield	金属外壳	1





## 7.4 USB总线

### ➤ 信号电平检测

- 检测是否有设备接入时：没有设备接入，主机收发器一侧的下拉电阻会将D+和D-引脚的电平拉低。有设备接入时，D+和D-引脚检测到高电平。
- 数据信号状态J、K：J态和K态相反，用于数据传输。
- 接入端口过程：断开状态→D+和D-的电压上升到2.5（2.7）V→闲置状态→维持 $2.5\mu\text{s}$ 以上→连接状态。
- 从端口断开过程：连接状态→D+和D-的电压全部下降到0.8V并维持 $2.5\mu\text{s}$ →断开状态。



## 7.4 USB总线

### ➤ 状态定义

Table 7-2. Low-/full-speed Signaling Levels

Bus State	Signaling Levels		
	At originating source connector (at end of bit time)	At final target connector	
		Required	Acceptable
Differential "1"	D+ > VoH (min) and D- < VoL (max)	(D+) - (D-) > 200 mV and D+ > ViH (min)	(D+) - (D-) > 200 mV
Differential "0"	D- > VoH (min) and D+ < VoL (max)	(D-) - (D+) > 200 mV and D- > ViH (min)	(D-) - (D+) > 200 mV
Single-ended 0 (SE0)	D+ and D- < VoL (max)	D+ and D- < ViL (max)	D+ and D- < ViH (min)
Single-ended 1 (SE1)	D+ and D- > Vose1(min)	D+ and D- > ViL (max)	
Data J state: Low-speed Full-speed	Differential "0" Differential "1"	Differential "0" Differential "1"	
Data K state: Low-speed Full-speed	Differential "1" Differential "0"	Differential "1" Differential "0"	
Idle state: Low-speed  Full-speed	NA	D- > ViHZ (min) and D+ < ViL (max) D+ > ViHZ (min) and D- < ViL (max)	D- > ViHZ (min) and D+ < ViH (min) D+ > ViHZ (min) and D- < ViH (min)
Resume state	Data K state	Data K state	
Start-of-Packet (SOP)	Data lines switch from Idle to K state		
End-of-Packet (EOP) <sup>4</sup>	SE0 for approximately 2 bit times <sup>1</sup> followed by a J for 1 bit time <sup>3</sup>	SE0 for ≥ 1 bit time <sup>2</sup> followed by a J state for 1 bit time	SE0 for ≥ 1 bit time <sup>2</sup> followed by a J state
Disconnect (at downstream port)	NA	SE0 for ≥2.5 μs	
Connect (at downstream port)	NA	Idle for ≥2 ms	Idle for ≥2.5 μs
Reset	D+ and D- < VoL (max) for ≥10ms	D+ and D- < ViL (max) for ≥10 ms	D+ and D- < ViL (max) for ≥2.5 μs

## 7.4 USB总线

### ➤ USB OTG技术

- ID引脚用于区分 (Host & Device)
- OTG 技术就是在没有主机的情况下，实现从设备之间的数据传送。
- USB 装置就摆脱了原来主从架构的限制，实现了端对端的传输模式。
- 主从设备判断：
- Micro AB型

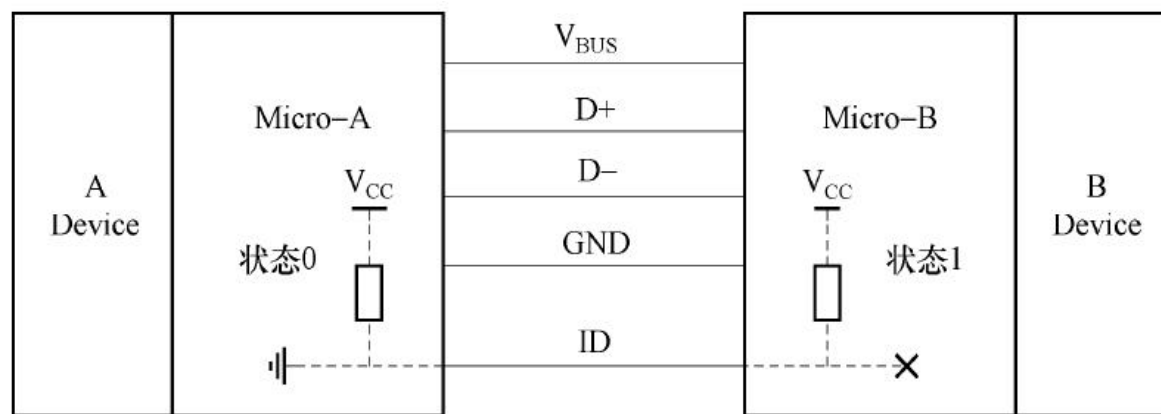


图 7-23 USB OTG 主从设备



## 7.4 USB总线

### ➤ USB OTG协议

- **主机协商协议** (Host Negotiation Protocol, HNP)，用于初始B设备与初始A设备之间切换Host角色。
- **会话请求协议** (Session Request Protocol, SRP)，允许A device 在总线空闲时通过切断VBUS 来节省电源消耗，也为B device 启动总线活动提供了一种方法。
- **连接检测协议** (Attach Detection Protocol, ADP)，对远程USB设备接入本地设备或者从本地设备中拔出进行检测。





## 7.4 USB总线

### ➤ OTG功能的扩展

- 当两个OTG 设备连接到一起的时候，系统会根据ID 线对地电阻来决定OTG 设备在USB 总线中的地位，通常电阻阻值为 $R < 10\ \Omega$  和 $R > 100\ \text{k}\Omega$ ，通过R的值决定ID 的状态值。
- 手机和外界的数据通信接口除了需要具备USB OTG 的功能之外，还需要承担诸如音/视频接口、串行信息输出接口、调试接口和工厂模式下的数据通信接口等诸多功能。
- ID引脚承担更多功能，进行功能复用。



## 7.4 USB总线

### ➤ OTG功能的扩展

表 7-9 FSA9480 电阻值和设备对应表（部分）

编码值					对应电阻值 /kΩ	设备类型
4	3	2	1	0		
0	0	0	0	0	GND	USB OTG Mode
1	0	0	1	1	80.070	Audio Device Type 2
1	0	1	0	1	121.000	TTY Converter
1	0	1	1	0	150.000	UART Cable
1	1	0	1	0	365.000	Audio/Video Cable
1	1	1	0	0	523.000	Factory Mode Boot OFF – UART
1	1	1	0	1	619.000	Factory Mode Boot ON – UART





## 7.4 USB总线

### ➤ USB通信协议——传输类型

- **控制传输**：用来支持外设与主机之间的控制、状态、配置等信息的传输，为外设与主机之间提供控制通道。
- **同步传输**：支持具有一定的周期性、有限的时延和带宽，且数据传输速率不变的外设与主机间的数据传输。
- **中断传输**：支持游戏手柄、鼠标和键盘等输入设备，这些设备与主机间数据传输量小，无周期性，但对响应时间敏感，要求立即响应。
- **数据块传输**：支持打印机、扫描仪、数码相机等外设，这些外设与主机间传输的数据量大，USB 在满足带宽的情况下才进行该类型的数据传输。



## 7.4 USB总线

### ➤ USB通信协议——描述符

- USB设备定义了一套描述设备功能和属性的具有固定结构的描述符，由特定格式排列的一组数据结构组成。

表 7-10 USB 标准描述符类型表

描述符类型	编码值
设备描述符 (DEVICE)	1
配置描述符 (CONFIGURATION)	2
字符串描述符 (STRING)	3
接口描述符 (INTERFACE)	4
端点描述符 (ENDPOINT)	5
设备限定描述符 (DEVICE_QUALIFIER)	6
其他速率配置描述符 (OTHER_SPEED_CONFIGURATION)	7
电源接口描述符 (INTERFACE_POWER)	8



## 7.4 USB总线

### ➤ USB通信协议——设备类型

表 7-11 USB 设备类型

类代码	所应用描述符	类功能描述
00H	设备描述符	Use class information in the interface descriptors——由接口描述符中的类信息给出
01H	接口描述符	Audio——音频设备
02H	设备描述符和接口描述符	Communications and CDC Control——通信设备类（CDC，Communications Device Class）
03H	接口描述符	HID（Human Interface Device）——HID 人机接口设备
05H	接口描述符	Physical——物理设备
06H	接口描述符	Image——成像设备
07H	接口描述符	Printer——打印设备
08H	接口描述符	Mass Storage——大容量存储设备
09H	设备描述符	Hub——USB Hub 设备



## 7.5 I<sup>2</sup>C总线

### ➤ I<sup>2</sup>C (Inter Integrated Circuit)

- 两线式串行总线，SCL/SDA。
- 每个连接到总线的器件都可以通过唯一的地址和一直存在的简单的主机/从机关系软件**设定地址**。
- 多主机总线。
- 串行的8位双向**数据传输位速率**在标准模式下可达100kb/s，快速模式下可达400kbt/s，高速模式下可达3.4Mb/s。
- **设备数量**受总线的最大电容400 pF限制。相同型号的器件，则还受器件地址位的限制。

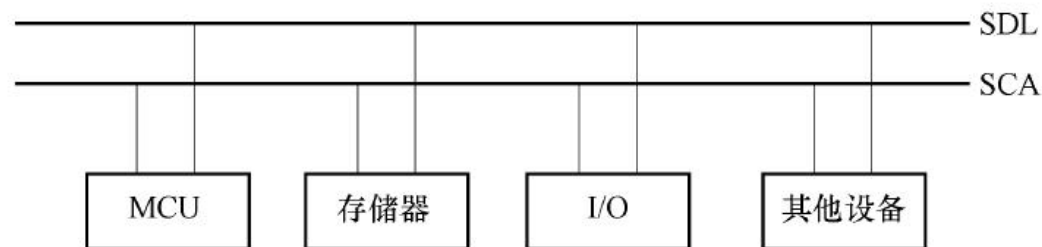


图 7-30 I<sup>2</sup>C 总线连接图

## 7.5 I<sup>2</sup>C总线

### ➤ I<sup>2</sup>C的启停条件

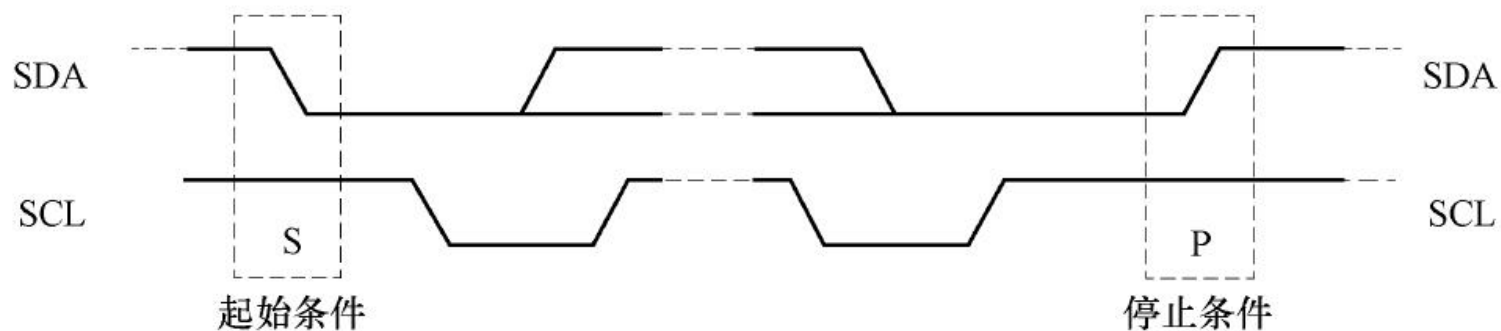


图 7-34 I<sup>2</sup>C 数据传输起始停止条件

## 7.5 I<sup>2</sup>C总线

### ➤ I<sup>2</sup>C的响应时序

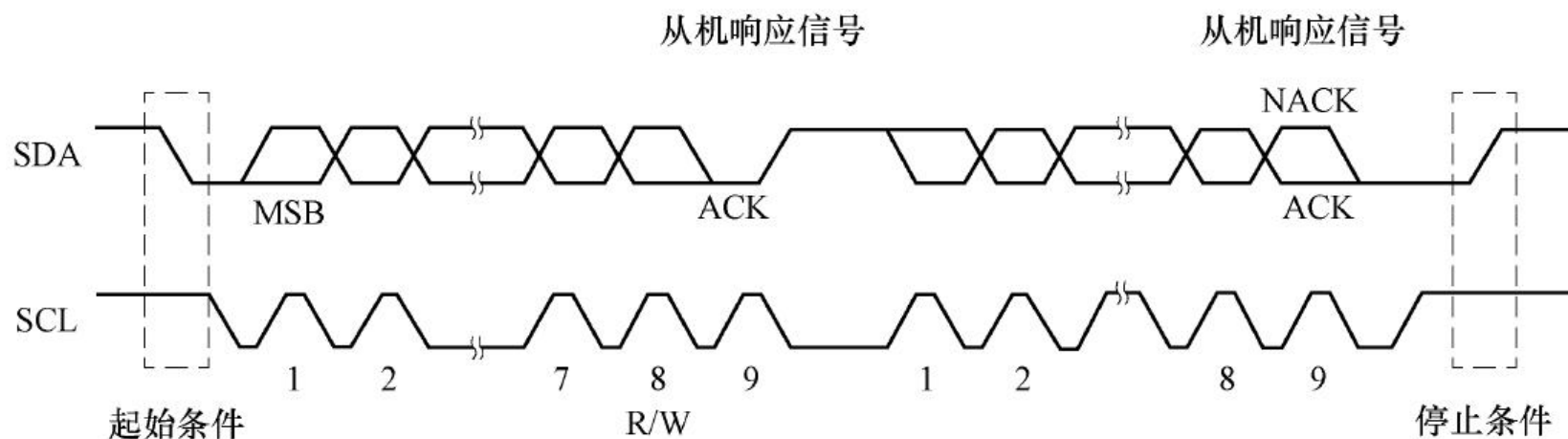


图 7-35 I<sup>2</sup>C 总线的响应时序

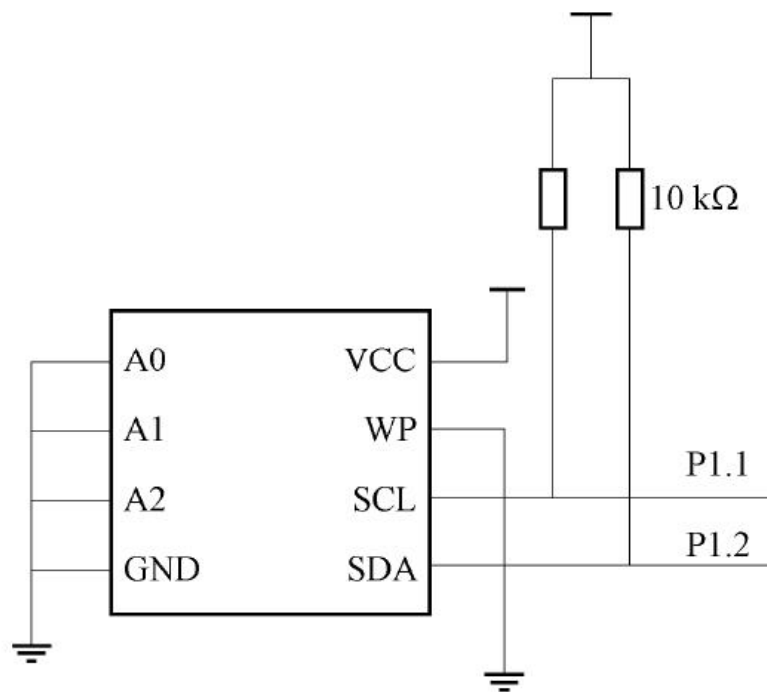
表 7-13 三种数据格式

主机发送到从机发送数据	S	从机地址	0	A	数据	A	(n)	数据	A/ $\overline{A}$	P
第一个字节后，主机读从机	S	从机地址	1	A	数据	A	(n)	数据	$\overline{A}$	P
复合格式	S	从机地址	R/ $\overline{W}$	A	数据	A/ $\overline{A}$	(n)	Sr	(R)	P



## 7.5 I<sup>2</sup>C总线

### ➤ I<sup>2</sup>C 接口访问EEPROM



管脚名称	功能
A0~A2	器件地址选择
SDA	串行数据/地址
SCL	串行时钟
WP	写保护
Vcc	+ 1.8~6.0 V 工作电压
Vss	地

图 7-36 硬件连接图



# 感谢关注聆听！



张华平

Email: [kevinzhang@bit.edu.cn](mailto:kevinzhang@bit.edu.cn)

微博: @ICTCLAS张华平博士

实验室官网:

<http://www.nlpir.org>



大数据千人会

